

BETRIEBSDOKUMENTATION

Anschluss-Steuerung fuer serielle und parallele Interfaces

robotron K 8071

VVB Robotron-Elektronik Dresden

r o b o t r o n

Produzent:
VEB Robotron-Elektronik Dresden
DDR 8010 Dresden
Grunaer Strasse 2

Aenderungen im Sinne des technischen Fortschritts vorbehalten.
Im Interesse einer staendigen Weiterentwicklung werden alle Leser
gebeten, dem Herausgeber Hinweise zur Verbesserung mitzuteilen.
Nachdruck und jegliche Vervielfaeltigung, auch auszugsweise, sind
nur mit Genehmigung des Herausgebers zulaessig.

Herausgeber:
VEB Robotron-Elektronik Dresden
DDR 8010 Dresden
Grunaer Strasse 2

INHALTSVERZEICHNIS

| | Seite |
|---|-------|
| 1. Verwendungszweck | 4 |
| 2. Technische Daten | 5 |
| 2.1. Leistungskennwerte | 5 |
| 2.2. Anschlusskennwerte | 5 |
| 2.3. Varianten | 8 |
| 2.4. Umgebungsbedingungen | 8 |
| 2.5. Schutzmassnahmen | 9 |
| 3. Beschreibung der Funktion | 10 |
| 3.1. Beschreibung der Hardware | 10 |
| 3.1.1. Interface S2 (V.24) | 10 |
| 3.1.2. Interface IFSS (20mA-LOOP) | 13 |
| 3.1.3. Seriell-Interface-Steuerung (S2, IFSS) | 14 |
| 3.1.4. Interface IFSP (PARALLEL) | 16 |
| 3.1.5. Parallel-Interface-Steuerung (IFSP) | 18 |
| 3.1.6. Adressierung | 20 |
| 3.1.7. Bus-Anpassung | 21 |
| 3.1.7.1. Interruptschaltungen | 21 |
| 3.1.7.2. Mikroprogramm-Steuerwerk | 23 |
| 3.2. Programmierhinweise | 27 |
| 3.2.1. Programmierung der Seriell-Interface-Steuerung | 27 |
| 3.2.2. Programmierung des Parallel-Interfaces (IFSP) | 36 |
| 4. Beschreibung der Konstruktion | 40 |
| 5. Transport, Lagerung, Verpackung, Entpackung | 40 |
| 6. Montage und Installation | 41 |
| 7. Binstellung | 41 |
| 8. Inbetriebnahme und Betrieb | 45 |
| 9. Pflege und Wartung | 45 |
| 10. Instandsetzung | 45 |

Erzeugnisbezeichnung : Anschluss-Steuerung fuer
serielle und parallele Interfaces
robotron K 8071
Kurzbezeichnung : ASP K 8071
Notation
Vertraeglichkeitsniveau : S-D8I16V2L

1. Verwendungszweck

Der Modul ASP K 8071 ermoeeglicht die Anpassung von Peripherie-Geraeten bzw. den Anschluss von Daten-Uebertragungs-Einrichtungen (DU&E) an den MMS-16 - Bus. Es werden die standardisierten Schnittstellen IFSS (20mA-LOOP), S2 (V.24) und IPSP (PARALLEL) zur Verfuegung gestellt.

Die seriellen Interfaces IFSS bzw. S2 sind fuer asynchrone oder synchrone Duplex-Datenuebertragungen bei verschiedenen Datenformaten und Uebertragungsgeschwindigkeiten programmierbar. Das parallele Interface IPSP ist nur als Ausgabekanal vorhanden und vor allem fuer den Anschluss eines Druckers vorgesehen.

2. Technische Daten2.1. Leistungskennwerte

| | | |
|--------------------------|---|------------------------------------|
| Interner Arbeitstakt | : | 2,458 MHz (= 1/4 CCLK (9,832 MHz)) |
| E/A - Register | : | 38 fuer seriellen Teil (IFSS, S2) |
| | : | 16 fuer parallelen Teil (IFSP) |
| E/A - Adressen | : | 9 fuer seriellen Teil |
| | : | 5 fuer parallelen Teil |
| | : | 2 fuer allgemeine Steueraufgaben |
| <u>Uebertragungs-</u> | | |
| Geschwindigkeit bei IFSS | : | max. 9600 Baud |
| | : | max. 20 kBit/s |
| | : | etwa 20 kByte/s |

2.2. Anschlusskennwerte

| | | |
|----------------------------|---|---|
| MMS-16 - Bus - Signale | : | /ADRO.../ADRF /DO.../D7 /INT0.../INT7 /XACK /INTA /IOWC /IORC /INIT /CCLK /BPRO - /BPRN 00, 5P, 12P, 12N |
| Belastung am MMS-16 - Bus: | : | alle Signale je 1 Buslast |
| Energieversorgung | : | + 5 V : 1,5 A +12 V : 0,15 A -12 V : 0,10 A |
| Leistungsaufnahme | : | gesamt etwa 10 W |
| Konstruktive Kennwerte | : | Modul umfasst eine Steckereinheit Typ-Nr. 4.56.700590.8/01 fuer Steckraster 20,32 mm Mehrlagen-Leiterplatten- Typ-Nummer : 031-0400 Abmessung : 233,4 x 160 mm ² Bauhoehe : 13,5 mm Masse : 300 g |

Steckverbinder
 Rueckverdrahtungsseite : X1 : Steckerleiste 96-polig
 IBC, C96M-C1A DIN 41612
 Griffseite (IFSS) : X3 : Subminiatur-D, 25-polig, BL
 (S2) : X4 : Subminiatur-D, 25-polig, BL
 (IFSP) : X5 : Subminiatur-D, 25-polig, SL

Peripherie - Kanäle : 1 E/A-Kanal IFSS (X3) : 20mA-LOOP
 1 E/A-Kanal S2 (X4) : V.24
 1 A - Kanal IFSP (X5) : PARALLEL

Serielle Schnittstelle
 IFSS (20mA-LOOP) : TGL 42886
 20 mA - Stromschleife: "1" = 15...25 mA
 "0" = 0... 3 mA
 Galvanische Trennung ueber Optokoppler
 (mit Zusatzisolation, siehe Punkt 2.5.)
 Uebertragungsrate max. 9600 Baud
 Kabellaenge max. 500 m
 Schnittstellen-Leitungen:
 SD+, SD- = Sendeachse
 ED+, ED- = Empfangschleife
 Asynchron-Betrieb

Serielle Schnittstelle.
 S2 (V.24) : TGL 29077/ 01,02
 CCITT - V.24, V.28
 Signalpegel: "BIN" bzw. "0" : > +3 V
 "AUS" bzw. "1" : < -3 V
 Uebertragungsrate max. 20 kBit/s
 Kabellaenge max. 15 m
 Schnittstellen-Leitungen:
 102, 103, 104, 105, 106, 107, 108, 109,
 111, 113, 114, 115, 125, 140, 141, 142
 Asynchron- oder Synchron-Betrieb

Parallele Schnittstelle
 IFSP (PARALLEL) : Nur Ausgabe-Kanal
 MM-SKR 004-76
 IM MRK fuer RT 29-80
 TTL - Pegel, Sender: o.K., 40 mA
 Uebertragungsrate etwa 20 kByte/s
 Kabellaenge max. 15 m
 Asynchrone Datenausgabe
 Schnittstellen-Leitungen:
 A0, AC, A1, A2, A3, A4, D0...D7,
 S0, SC, S1, S2, S3, S4, S5, DPO

Steckverbinder-Belegungen

IFSS (20mA-LOOP); X3 : 1
 2...9
 10
 11
 12
 13
 14
 15
 16
 17...18
 19
 20
 21
 22...23
 24
 25

GND (Schirm)
 -
 SD-
 -
 VDI (VDI-: Kontakte
 ED- koennen fuer
 ED+ VDI-gerechten
 - Anschluss
 VDI verwendet
 - werden.
 SD+ Siehe
 - Einstell-
 VDI vorschrift!)
 -
 VDI

S2 (V.24) : X4 : 1
 2
 3
 4
 5
 6
 7
 8
 9...14
 15
 16
 17
 18
 19
 20
 21
 22
 23
 24
 25

101 GND (Schirm)
 103 Sendedaten
 104 Empfangsdaten
 105 Aufforderung zum Senden
 106 Bereit zum Senden
 107 DUeE betriebsbereit
 102 GND (Betriebserde)
 109 Empfangssignalpegel
 -
 114 Sendeschrittakt von DUeE
 -
 115 Empfangsschrittakt v. DUeE
 141 Lokale Pruefschleife Ein
 -
 108 DEE betriebsbereit
 140 Ferne Pruefschleife Ein
 125 Ankommender Ruf
 111 Wahl der Uebertragungsgeschwindigkeit von DEE
 113 Sendeschrittakt von DEE
 142 Testzustandsmeldung

IFSP (PARALLEL) : X5 : 1
 2
 3
 4
 5
 6
 7
 8
 9
 10
 11
 12
 13

GND
 S1
 S2
 S3
 S4
 S5
 GND
 A4
 A3
 A2
 A1
 A0
 C0

Steuersignale des Senders

Statussignale des Empfaengers

Empfaenger bereit
 Sender bereit

| | | | |
|----|----|-----|-----------------------------------|
| X5 | 14 | SC | Sendersteuersignal |
| | 15 | AC | Empfaengersteuersignal |
| | 16 | - | |
| | 17 | D0 | \ |
| | 18 | D1 | |
| | 19 | D2 | |
| | 20 | D3 | |
| | 21 | D4 | |
| | 22 | D5 | |
| | 23 | D6 | |
| | 24 | D7 | -> Daten (niederwertiges Byte) |
| | 25 | DPO | Paritaetsbit (n.w.Byte) |

E/A - Adressen : Adressbit A5...A0 einstellbar durch Wickelverbindung
 A4...A0 intern fuer Kanal-adressierung festgelegt
 Fuer ASP-Adresse 0300 (hexadezimal) gilt beispielsweise:

| | | |
|---------|---------------------|--------------|
| IFSS | Datenkanal | 03 1A |
| | Steuer-/Status-K. | 03 1E |
| | Zeitkanal | 03 14 |
| S2 | Datenkanal | 03 18 |
| | Steuer-/Status-K. | 03 1C, 03 1B |
| | Zeitkanal | 03 12 |
| IFSP | Datenkanal | 03 0A |
| | Steuerkanale | 03 06, 03 08 |
| | Statuskanal | 03 08 |
| | Steuerkanale intern | 03 0C, 03 0E |
| IFSS/S2 | - Testzustaende | 03 04 |
| ASP | - Steuerkommandos | 03 00, 03 02 |

2.3. Varianten Keine Varianten.

2.4. Umgebungsbedingungen

Fuer den Modul ASP K 8071 gelten die Einsatzgrenzbedingungen
 0 / +55 / +30 / 90 // 10 / 1 / 10 /.

2.5. Schutzmassnahmen

Der Modul ASP K 8071 wird mit Kleinspannung betrieben und erzeugt intern keinerlei gefaehrliche Spannungen. Notwendige Schutzmassnahmen haengen vom sicherheitstechnischen Konzept des Finalerzeugnisses sowie von den fuer die entsprechende Erzeugnisgruppe geltenden Sicherheitsstandards ab.

Der Modul ASP K 8071 ermoeoglicht fuer das Interface IFSS im Passivmodus eine sicherheitstechnische galvanische Trennung.

Folgende Isolationsbedingungen werden eingehalten:

Kriech- und Luftstrecken : 4 mm

Pruefspannung : 2500 V_{eff}, 1 min

nach 48 h Feuchtekonditionierung
bei 93 % rel. Luftfeuchte
zwischen 20 °C und 30 °C

(Entsprechend den Bedingungen "Zusatzisolation" nach IEC 380/435
und VDE 0806/0805)

3. Beschreibung der Funktion3.1. Beschreibung der Hardware

Unter Hinweis auf das Blockschaltbild (Bild 3.1) sowie den Stromlaufplan der ASP K 8071 werden beginnend mit den Interfaces die Funktionsgruppen dieses Moduls in ihrem Aufbau und ihrer Arbeitsweise beschrieben.

Fuer die Realisierung der Interface-Signalspiele werden die integrierten Schaltkreise U 855 D (PIO), U 856 D (SIO) und U 857 D (CTC) eingesetzt. Die Anpassung dieser Schaltkreise an den MMS16-Bus besorgt ein Mikroprogramm-Steuerwerk. Alle auf die ASP bezogenen Lese-, Schreib- und Unterbrechungs-Zyklen am Systembus werden damit zeitoptimal in Steuersignalfolgen fuer die Interface-Steuerschaltkreise umgesetzt.

3.1.1. Interface S2 (V.24)

In diesem Abschnitt wird die Realisierung des Interfaces S2 entsprechend folgender Abgrenzung beschrieben (Siehe Stromlaufplan):

| Bezeichnung und Signalname in ASP | | | Leitungs-Nr. S2 Steckverbinder X4 |
|--------------------------------------|--------|-------|--------------------------------------|
| Sendedaten | TDS2 | ----> | 103 |
| Sendeaufforderung | /RT105 | ----> | 105 |
| DEE bereit | /DT108 | ----> | 108 |
| Ferne Testschleife | /TESTF | ----> | 140 |
| Nahe Testschleife | /TESTN | ----> | 141 |
| Sendeschrittakt von DEE | TC113 | ----> | 113 |
| Interner Takt | TAKTI | | 111 |
| Sendetakt | TCS2 | <---- | 114 |
| Empfangstakt | RCS2 | <---- | 115 |
| Testzustand | /TZ142 | <---- | 142 |
| DUEE betriebsbereit | /CT107 | <---- | 107 |
| DUEE sendebereit | /CT106 | <---- | 106 |
| Empfangssignalpegel | /DC109 | <---- | 109 |
| Empfangsdaten | RDS2 | <---- | 104 |

Das Interface S2 ist vorgesehen fuer die Verbindung von Daten-End-Einrichtungen (DEE) mit Daten-Uebertragungs-Einrichtungen (DUEE) - Signalumsetzern, z.B. MODEM - zur seriellen Daten-Fern-Uebertragung (DFUE) auf telefonie-typischen Uebertragungswegen. Als nationaler Standard fuer S2 gilt die TGL 29077, Blatt 01 und 02. International ist das Interface standardisiert in Form von Empfehlungen des CCITT der Serie V, speziell gelten die Empfehlungen CCITT - V.24 fuer die Definition der Schnittstellen-Leitungen.

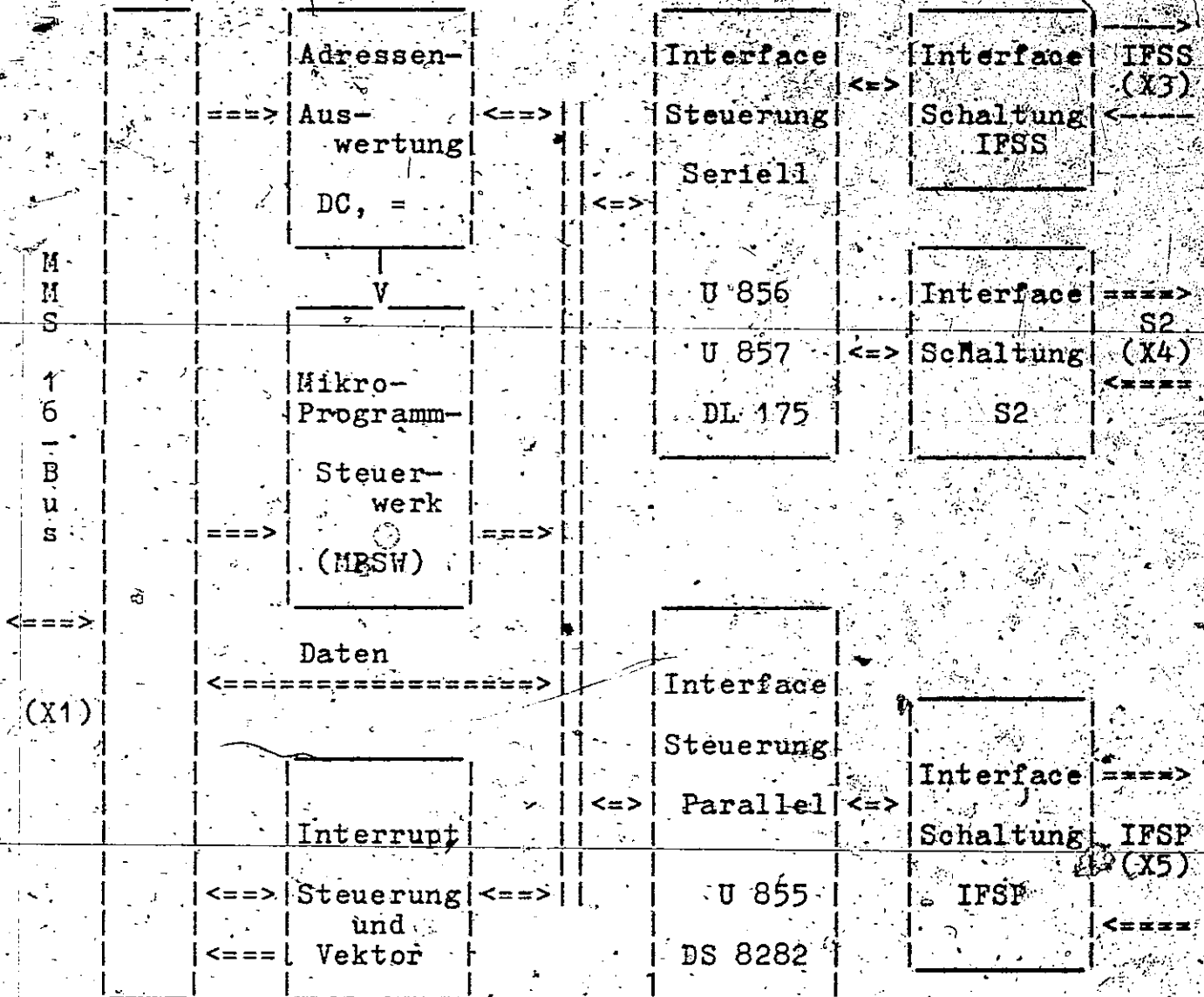


Bild 3.1: Blockschaltbild der ASP K 8071

Fuer kurze Uebertragungswege (bis 15 m) kann das Interface S2 auch fuer die direkte Verbindung zu anderen Endgeraeten benutzt werden. Das Kabel stellt dann ein sogenanntes Null-MODEM dar. Die Datenfernuebertragung kann im Synchron- oder Asynchron-Betrieb auf Standleitungen (systemeigene oder ueberlassene Leitungen) oder auf vermittelten Zwei- oder Vierdraht-Uebertragungswegen bis zu einer Geschwindigkeit von 20 kBit/s erfolge. Dabei ist Simplex-, Halbduplex- oder Duplex-Betrieb moeglich. Im Synchronbetrieb werden Sende- und Empfangs-Schrittakt von der DUeE geliefert, im Asynchronbetrieb erfolgt interne Taktversorgung (TAKTI ----> TCS2 = RCS2). Der nach aussen zur Verfuegung gestellte Takt auf Leitung 113 (TC113) ist symmetrisch und hat die halbe Frequenz des internen Taktes TAKTI.

Fuer die Pegelwandlung werden Schaltkreise TA 75150 als Treiber und TA 75154 als Empfaenger eingesetzt. Da die Stromversorgung mit +12 V/-12 V erfolgt, sind die zulaessigen Pegelgrenzen :

Steuer- und \ "EIN" : + 3 V ...+ 12 V : "0" / Daten-
 Meldesignale / "AUS" : - 3 V ...- 12 V : "1" \ signale

Die Leitung 111 - Wahl der (hohen oder niedrigen) Uebertragungsgeschwindigkeit der DUE wird auf der ASP fest eingestellt.

Mit Hilfe eines Test-Steuer-Registers koennen verschiedene interne und externe Testzustaende eingestellt werden. Fuer einen internen Test des seriellen Teils der ASP (IFSS und S2/V24)

kann mit Hilfe des Signals TESTI = High und eines Multiplexer-Schaltkreises 74LS257 ein interner Kurzschluss fuer die Datenleitungen TDS2 - RDS2 (und gleichzeitig der Datenleitungen des Interfaces IFSS) hergestellt werden. Damit koennen im dynamischem Betrieb alle an der seriellen Datenuebertragung beteiligten Schaltungsteile der ASP, ausser den Interface-S2-Steuersignalen und den Interface-Treiber- und -Empfaenger-Schaltkreisen, ueberprueft werden. Die Treiberstufen werden in diesem Falle deaktiviert. Nach aussen werden beide serielle Interfaces nur wirksam, wenn das Signal TESTI= Low ist! Fuer Tests der DUE-Strecken ausserhalb der ASP stehen die Signale TESTN und TESTF entsprechend CCITT-X.150 zur Verfuegung.

Bei internem Test kann nur im Asynchronbetrieb gearbeitet werden. Mit jedem Ruecksetzen am MMS-16-Bus (/INIT) wird das Teststeuerregister geloescht, damit sind die Datenleitungen fuer S2 (und IFSS) auf Normalbetrieb geschaltet!

Fuer Pruefzwecke und Pehlersuche erfolgt eine optische Anzeige (Leuchtdioden) der Betriebsbereitschaft der DUE (Signal /CT106) und der DEE (Signal /RT105).

Das Interface S2 bietet die Moeglichkeit der Ferneinschaltung eines Geraetes. Dazu wird das Interfacesignal 125 ueberwacht. Nach einer Pegelwandlung fuer den "AUS"-Zustand "-12..-3 V" -> 0 V wird das Signal am Steckverbinder X1:C05 zur Weiterverwendung bereitgestellt.

Die Steckverbinder-Belegung an X4 entspricht den Forderungen der Standards NM MRK fuer RT 21-79, bzw. ISO 2110, bzw. DIN 66021:

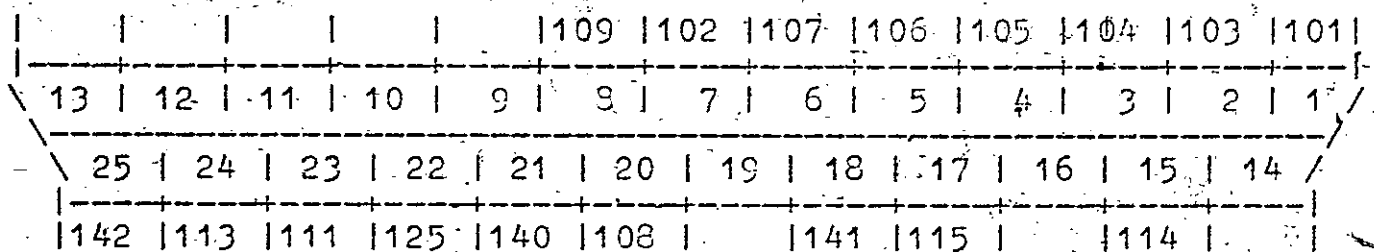


Bild 3.2: Belegung Steckverbinder S2 (V.24), BL 25-polig von vorn

Bis maximal 500 m Kabelweg kann die Datenuebertragung mit Geschwindigkeiten bis 9600 Baud erfolgen. Uebertragungen ueber grossere Entfernungen sind nur bei proportionaler Verringerung der Geschwindigkeit moeglich. Die Konstantstromstufen der ASP lassen Schleifenwiderstaende bis 300 Ohm zu. Mit dem Signal TESTI kann fuer ASP-interne Testzwecke die Datenuebertragungsstrecke abgeschaltet werden. Fuer den Testfall wird somit eine Verbindung der Signale TDSS und RDSS erreicht. Fuer den Betriebsfall, der auch nach jedem Ruecksetzen erreicht wird, ist TESTI = LOW erforderlich. (Siehe auch Abschnitt 3.1.1.) Beim Zustand "Internal Test" kommt es in der Sendeschleife zu einer Stromunterbrechung (BREAK). Die Belegung des 25-poligen Steckverbinders fuer das IPSS wurde wie folgt festgelegt:

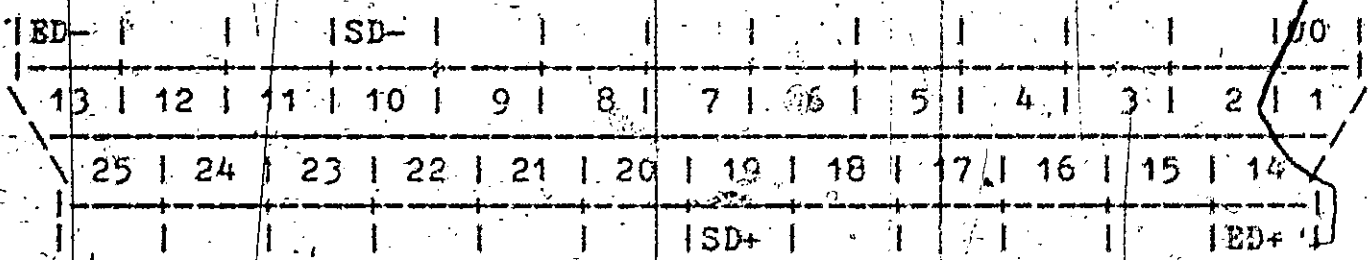


Bild 3.4: Belegung Steckverbinder IPSS, BL 25-polig von vorn

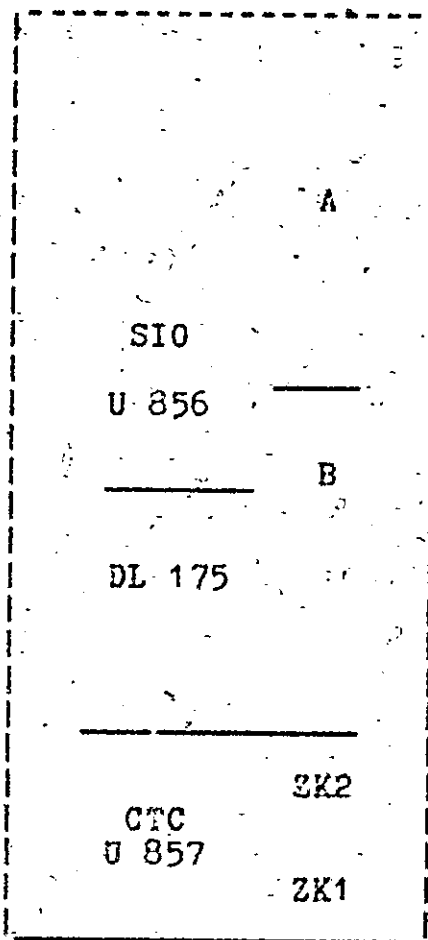
3.1.3. Seriell-Interface-Steuerung (S2, IPSS)

Fuer die Steuerung der beiden seriellen Interfaces (S2 und IPSS) werden ein Schaltkreis fuer serielle Ein- und Ausgabe (SIO) U 856, ein Zaehler-/Zeitgeber-Schaltkreis (CTC) U 857 und ein Register DL 175 fuer die Teststeuersignale eingesetzt (siehe Bild 3.5). Waehrend der CTC die Uebertragungs-Takte zur Verfuegung stellt, erfuellt der SIO umfangreiche Aufgaben fuer die asynchrone und synchrone Datenuebertragung. Seine Hauptaufgabe ist die Parallel-Serien- und Serien-Parallel-Wandlung der Daten fuer die je zwei Ein- und Ausgabe-Kanaele, wobei durch Programmierung eine Vielzahl von Varianten eingestellt werden kann. Ausserdem werden fuer den Anschluss von Daten-Uebertragungs-Einrichtungen Steuer- und Status-Leitungen zur Verfuegung gestellt. Um alle fuer S2 benoetigten Signale realisieren zu koennen, sind Steuer- und Status-Leitungen beider SIO-Kanaele (A und B) sowie die Ausgaenge des Teststeuerregisters dem Interface S2 wie folgt zugeordnet:

| Signalbezeichnung | SIO - Anschluss | Signalname in ASP | S2 - Leitungs-Nr. |
|---------------------|-----------------|-------------------|-------------------|
| Sendeaufforderung | RTSA | RT105 | -> 105 |
| Sendebereitschaft | CTSA | CT106 | <- 106 |
| DUE betriebsbereit | CTSB | CT107 | <- 107 |
| DEE betriebsbereit | DTRA | DT108 | -> 108 |
| Empfangssignalpegel | DCDA | DC109 | <- 109 |
| Testzustand | DCDE | TZ142 | <- 142 |
| ferne Testschleife | von | TESTI | -> 140 |
| Nahe Testschleife | DL 175 | TESTN | -> 141 |

ASP-interner Bus

- /RESET →
- /M1 →
- /RD →
- /IORQ →
- C →
- D0
- ... ↔
- D7
- A1 →
- A2 →
- /CSSIO →
- /CSCTC →
- /TE
- INT ←
- IEISIO →
- IEOSIO ←
- IEICTC →
- IEOCTC ←



- TDS2
- ← RDS2
- ← TCS2
- ← RCS2
- RT105
- ← CT106
- DT108
- ← DC109
- ← CT107 (S2)
- ← TZ142
- TESTN
- TESTP
- TESTI
- TDSS
- ← RDSS (IFSS)
- ← RTCIFSS
- TAKTI

Bild 3.5: Funktionsblock Seriell-Interface-Steuerung

Die Daten- und die Takt-Leitungen des SIO- Kanals A sind dem S2 und die des Kanals B dem IFSS zugeordnet :

| Signalbezeichnung | SIO - Anschluss | Signalname in ASP | S2- bzw. IFSS- Signalname |
|------------------------|-----------------|-------------------|---------------------------|
| Sendedaten S2 | TxDA | TDS2 | → 103 |
| Empfangsdaten S2 | RxDA | RDS2 | ← 104 |
| Sendschrittakt S2 | TxCA | TCS2 | ← 114 |
| Empfangsschrittakt S2 | RxCA | RCS2 | ← 115 |
| Sendedaten IFSS | TxDB | TDSS | → SD+, SD- |
| Empfangsdaten IFSS | RxDB | RDSS | ← ED+, ED- |
| Uebertragungstakt IFSS | RxTxCB | RTCIFSS | ← - |

Damit sind fuer den SIO- Kanal A unter Hinzuziehung der angegebenen Status-Leitungen des Kanals B alle im SIO programmierbaren synchronen und asynchronen Betriebsarten bei Nutzung der im SIO enthaltenen Unterstuetzungen fuer Daten-Uebertragungs-Prozeduren fuer das Interface S2 anwendbar.

Fuer den SIO- Kanal B kommen zur Steuerung des IFSS nur asynchrone Betriebsarten in Frage.

Die Schritttakte fuer die seriellen Datenuebertragungen werden vom CTC-Kanal 1 (Zeitkanal 1, ZK 1) fuer S2 und vom CTC-Kanal 2 (ZK 2) fuer IFSS zur Verfuegung gestellt. Durch Programmierung von CTC und SIO koennen verschiedene Daten-Uebertragungs-Raten eingestellt werden.

Rechnerseitig werden die beiden Interface- Steuerschaltkreise SIO und CTC und das Teststeuerregister an den ASP-internen Bus angeschlossen. Er wird von den Funktionsblöcken Bus-Anpassung, Interrupt-Steuerung und Adressierung gebildet und auch zum Betreiben der Interface- Steuerung fuer IPSP genutzt.

Mit den Adressleitungen A1 und A2 erfolgt die interne Adressierung der Daten-, Steuer- und Zeit-Kanaele. Mit den Interrupt-Freigabe-Signalen IBI und IEO werden die Schaltkreise SIO, CTC und PIO in eine ASP-interne Interrupt-Prioritaetskette eingeordnet. Der Peripherie-Takt C wird durch vierfache Teilung aus dem Systemtakt /CCLK gewonnen und den Schaltkreisen ueber voneinander entkoppelte Leitungen zugefuehrt.

3.1.4. Interface IPSP (PARALLEL)

In diesem Abschnitt wird die Realisierung des Interface IPSP entsprechend folgender Abgrenzung beschrieben (siehe Stromlaufplan):

| Signalname in ASP | | Signalname IPSP |
|-------------------|--------|-------------------|
| | | Steckverbinder X5 |
| SOSP | -----> | /S0 |
| AOSP | <----- | /A0 |
| SCRDY | -----> | /SC |
| ACOSP | <----- | /AC |
| DB0...DB7 | -----> | /D0.../D7, /DPO |
| S1SP...S5SP | -----> | /S1.../S5 |
| A1ST...A4ST | <----- | /A1.../A4 |

Das Interface - IPSP stellt ein vereinheitlichtes Uebertragungs- und Signalsystem zwischen E/A- Geræten und Anschluss-Steuerungen von Rechnern bei sternfoermigem Anschluss und mit paralleler Datenuebertragung dar. Als Standardisierungs-Material wird in KROS-R 5005 auf das NH NRK fuer RT 29-80 verwiesen, wobei fuer verschiedene Geræteklassen, spezielle Festlegungen getroffen wurden.

Auf der ASP wird nur ein Ausgabekanal des IPSP realisiert, der vorwiegend fuer den Anschluss eines alpha-numerischen Druckers vorgesehen ist. Durch Programmierung und Umschaltungen ist die ASP soweit variierbar, dass auch andere IPSP - Ausgabegeræte betrieben werden koennen. Die Unterschiede liegen dabei in der Bedeutung, der Anzahl und den Gueltigkeits-Zeitpunkten der Steuer- und Status-Signale.

Die verwendeten Signale des IPSP-Ausgabe-Kanals haben folgende Bedeutung:

| | |
|---------|--|
| S0 | Sender (Rechner mit ASP) betriebsbereit |
| A0 | Empfaenger (Drucker) betriebsbereit |
| SC | Sender-Steuersignal |
| AC | Empfaenger-Steuersignal |
| DO...D7 | Datenleitungen (niederwertig) *1) |
| DPO | Paritaetsbit (des niederwertigen Bytes) |
| | Ergaenzung erfolgt auf ungerade Paritaet |
| S1...S5 | Status-/Steuer-Leitungen des Senders |

Fuer Drucker-Anschluss gilt:
 S1 : Paritaetskontrolle vorhanden (synchron zu SC)
 S2 : Ruecksetzen des Geraetes (asynchron)
 S3 : Formatsteuerung / Druckformat *2)
 S4 : Positionssteuerung / (synchron zu SC)
 S5 : Druckverbot (asynchron)
 A1...A4 Status-Leitungen des Empfaengers.
 Fuer Drucker gilt: *3)
 A1 : Paritaetsfehler (synchron mit AC)
 A2 : Geraetefehler (synchron mit AC)
 A3 : Puffer nicht leer (asynchron)
 A4 : Datentraeger-Ende (asynchron)

- *1) Das 8. Datenbit (D7) wird nur bei Geraeten mit Positionssteuerung bei Stellenzahl >128 benutzt
- *2) Bei "EIN" gelten D0...D7 als Steuerinformation
- *3) Auf der ASP ist mittels Umschalter einstellbar, ob ein Statussignal asynchron gueltig ist, oder synchron mit AC uebernommen werden muss.

Der Datenaustausch erfolgt beim IFSP im "Abfrage-Antwort-Betrieb". Das Zeitdiagramm ist in Bild 3.6 dargestellt.

Der in diesem Abschnitt behandelte Schaltungsteil zur Bildung des IFSP dient vorwiegend der elektrischen Anpassung. Als Treiber werden Schaltkreise SN 7406 mit offenem Kollektor und 40 mA Belastbarkeit und als Empfaenger Schaltkreise SN 74LS14 (Schmitt-Trigger) eingesetzt. Auf der Empfangsseite wird ausserdem eine Anpassung mit dem Wellenwiderstand des Kabels gefordert (180 Ohm an +5V, 390 Ohm an Masse). Die Datensignale D0...D7 werden vor dem Anlegen an die Treiber mit einem Schaltkreis DS8286 verstaerkt, um daraus mit einem Schaltkreis SN 74180 noch das Paritaetsbit DPO bilden zu koennen.

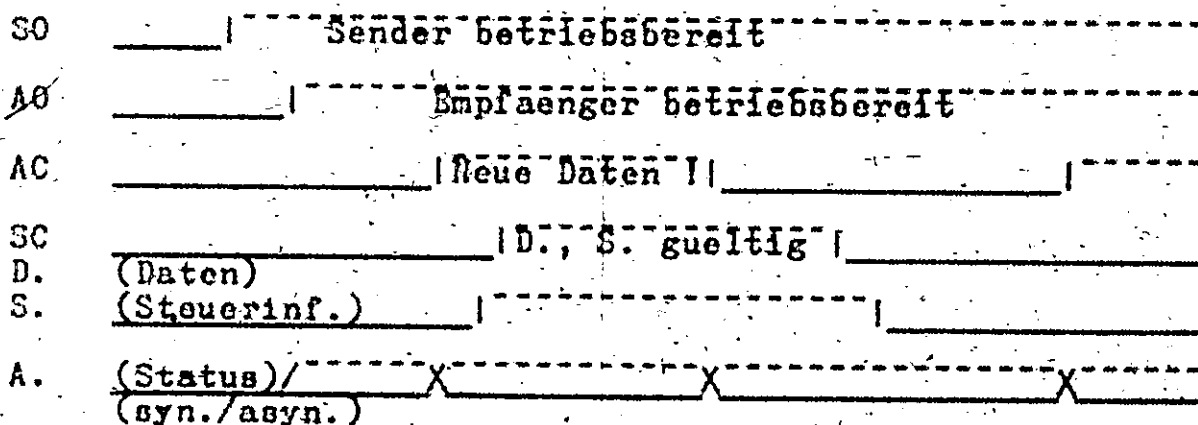


Bild 3.6: Zeitdiagramm IFSP / Ausgabe

Die Statussignale A1...A4 koennen wahlweise (Umschalter fuer jedes Signal) direkt weiter verwendet (asynchron) oder mit dem Einschalten des Steuersignals AC zwischengespeichert (synchron) werden. Damit ist eine Anpassung an die Bedingungen verschiedener Gerateklassen mit IFSP moeglich.

Die Bedingungen, dass die Steuer-signale (AC, SC) nur gueltig sind, wenn die Bereitschaftssignale (AO, SO) aktiv (EIN) sind, und die Steuer-signale sich nur abwechselnd aendern duerfen, fuehrt zu den Verknuepfungen

AC * AO = ACOSP als internes Empfaenger-Steuer-signal und
 SCR DY * ACOSP = SC als internes Sender-Steuer-signal
 ("*" = "UND")

Das Bereitschaftssignal SO wird nach dem Spannungs-Einschalten der ASP zwangsweise inaktiv (AUS) geschaltet und kann durch Programm eingeschaltet werden.

Der Bereitschaftszustand der ASP wird entsprechend Signal SO und der des Gerates entsprechend AO auf der ASP fuer Pruef- und Testzwecke optisch (Leuchtdioden) angezeigt.

3.1.5. Parallel-Interface-Steuerung (IFSP)

Die Steuerung des IFSP wird bei der ASP im wesentlichen von einem Schaltkreis fuer parallele Ein- und Ausgabe (PIO) U 855 D vorgenommen. Ein zusaetzlicher Register-Schaltkreis DS 8282 wird fuer die Ausgabe der Steuer- bzw. Statusinformationen (S1-S5) benutzt. Dabei werden die Signale S1...S5 den Datenleitungen D1...D5 zugeordnet. Diese Steuer- und Statusinformationen muessen vor den zugehoerigen Interface-Daten ausgegeben werden und bleiben bis zu einer erforderlichen Veraenderung wirksam.

Die 8 Datenbit des IFSP werden ueber den Kanal B' des PIO ausgegeben, der daeuer in der Betriebsart "Byte-Ausgabe" (Modus 0) betrieben wird. Die Quittierungs-Signale /STROBE und READY dieses Kanals werden den Interface-Steuer-signalen /ACOSP und SCR DY zugeordnet. Damit zeigt READY = SCR DY --> High die Gueltigkeit der im Ausgaberegister (Kanal B) stehenden Daten an und mit der Signalflanke /ACOSP = /STROBE ---> High quittiert das angeschlossene Gerat die Uebernahme der Daten, wobei im PIO ein Interrupt ausgeloeset wird. Andererseits wird mit dem Uebergang /ACOSP --> Low die Bereitschaft zur Uebernahme neuer Daten angezeigt. Da diese Signalflanke ueber den Eingang /STROBE des PIO aber keine Wirkung hervorruft, wird das Signal ACOSP zusammen mit den Empfaenger-Statussignalen AOSP, A1ST, ... A4ST dem PIO-Kanal A zur Auswertung zugefuehrt. Ausserdem wird fuer Pruefzwecke das Paritaetsbit DPO auf einen Eingang dieses Kanals gelegt. Die Auswertung dieser Signale kann in den Betriebsarten INTERRUPT oder POLLING erfolgen. Ein Bit des Kanals A wird fuer die Ausgabe des Sender-Bereitschafts-Signals SOSP benoetigt. Der PIO - A - Kanal muss somit in der Betriebsart "Bit-Ein-Ausgabe" (Modus 3) arbeiten, die Signale werden wie folgt zugeordnet:

| | | | | | |
|---------|---|---------|---|-------------------------|-------|
| PIO- A0 | : | Eingang | : | Empfaenger-Bereitschaft | AOSP |
| A1 | : | Eingang | : | Empfaenger-Statussignal | A1ST |
| A2 | : | Eingang | : | Empfaenger-Statussignal | A2ST |
| A3 | : | Eingang | : | Empfaenger-Statussignal | A3ST |
| A4 | : | Eingang | : | Empfaenger-Statussignal | A4ST |
| A5 | : | Eingang | : | Empfaenger-Steuersignal | ACOSP |
| A6 | : | Eingang | : | Paritaetsbit | DPO |
| A7 | : | Ausgang | : | Sender-Bereitschaft | /SOSP |

Rechnerseitig wird die IFSP-Steuerung an den ASP-internen Bus angeschlossen, der von den Funktionsbloecken Bus-Anpassung, Interrupt-Steuerung und Adressierung gebildet und auch zum Betreiben der Seriellen Interface-Steuerung genutzt wird. (Bild 3.7)

ASP-interner Bus :

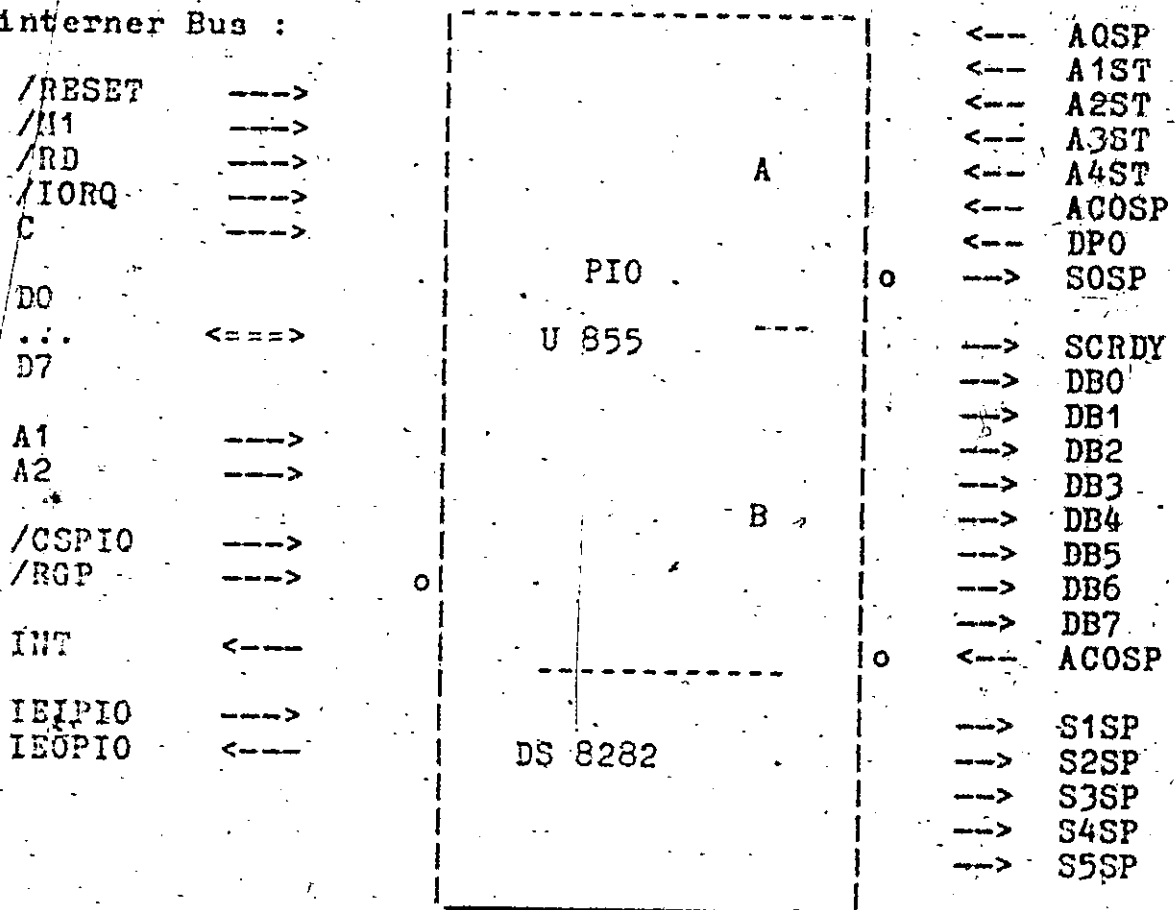


Bild 3.7: Funktionsblock Interface-Steuerung IFSP

Eine Besonderheit beim Anschluss des PIO ist die Bildung seines Ruecksetz-Signals. Da der PIO keinen Eingang fuer /RESET besitzt, wird ein Ruecksetzen ueber die Verlaengerung des /M1-Signals bei inaktiven Signalen /RD (Lesesyklus) und /IORQ (E/A-Anforderung) angewendet: $\text{/RESET} * \text{/M1} = \text{/M1PIO}$.

Zum Betreiben des IFSP benoetigt die Interface-Steuerung eine Adresse fuer das Register zur Steuerwert-Ausgabe (/RGP) und eine fuer die Anwahl des PIO (/CSP10), sowie die beiden Adress-Signale A1 und A2 zur internen Adressierung der PIO-Kanaele. Mit den Interrupt-Freigabe-Signalen IEI und IEO kann der PIO in die ASP-interne Interrupt-Prioritaets-Kette eingeordnet werden.

3.1.6. Adressierung

Fuer die ASP koennen aus dem E/A- Adressbereich der ZVE die be-
 noetigten Adressen mittels Wickelbruecken ausgewaehlt werden. Aus
 dem hoehervertigen Adressbereich A8...AF wird fuer die ASP vor-
 zugsweise der Bereich 03 (Hex.) empfohlen. Aus dem niederwertig-
 em Adressbereich werden die Bits A5...A7 fuer die Baugruppen-
 Adressierung verwendet und fuer die ASP vorzugsweise als jeweils
 0 empfohlen. Aus den Adressbits A1...A4 werden die ASP-internen
 Kanaladressen gebildet. Fuer spezielle Anwendungen wird ueber die
 zusaetzliche Auswertung des Adressbits A0 erreicht, dass beim
 Lesen der ungeraden Adressen (...01,...03,...05,...07) stets der Wert
 00 gelesen wird und eine Ausgabe auf diese Adressen ohne Wirkung
 bleibt. Der Zugriff auf diesen Adressbereich wird mit dem Quit-
 tungssignal /XACK abgeschlossen.

Die fuer A5...AF vorzugsweise empfohlenen Adresswerte werden bei
 der Produktion des Moduls als Standardwert eingestellt und sind
 fuer die dynamische und statische Pruefung erforderlich.
 Die interne Adressierung (gerade Adressen) wurde wie folgt fest-
 gelegt:

| A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0 | Verwendung | |
|----|----|----|---------|----|----|----|---------|-----------------------------|--|
| | | | 0 | 0 | 0 | 0 | 0 | Kommando "EI" (Enable INT) | |
| | | | 0 | 0 | 0 | 1 | 0 | Kommando "RETI" | |
| | | | 0 | 0 | 1 | 0 | 0 | Test-Kommando "TE" | |
| | | | 0 | 0 | 1 | 1 | 0 | /RGP | |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | /CSPIO, Kanal A, Daten | |
| | | | 0 | 1 | 0 | 1 | 0 | /CSPIO, Kanal B, Daten | |
| | | | 0 | 1 | 1 | 0 | 0 | /CSPIO, Kanal A, Steuerwort | |
| | | | 0 | 1 | 1 | 1 | 0 | /CSPIO, Kanal B, Steuerwort | |
| | | | 1 | 0 | 0 | 0 | 0 | /CSCTC, ZK 0 | |
| | | | 1 | 0 | 0 | 1 | 0 | /CSCTC, ZK 1 | |
| | | | 1 | 0 | 1 | 0 | 0 | /CSCTC, ZK 2 | |
| | | | 1 | 0 | 1 | 1 | 0 | /CSCTC, ZK 3 | |
| | | | 1 | 1 | 0 | 0 | 0 | /CSSIO, Kanal A, Daten | |
| | | | 1 | 1 | 0 | 1 | 0 | /CSSIO, Kanal B, Daten | |
| | | | 1 | 1 | 1 | 0 | 0 | /CSSIO, Kanal A, Steuerwort | |
| | | | 1 | 1 | 1 | 1 | 0 | /CSSIO, Kanal B, Steuerwort | |
| | | | A7...A4 | | | | A3...A0 | | |

Bild 3.8: Interne Adressierung der ASP K 8071

Damit werden die E/A-Adressen wie folgt den E/A-Kanaelen zugeord-
 net (Adressen hexadezimal, entsprechend Standardfestlegung):

| | | | |
|--------|------------------------|--------------|--|
| IPSS : | Datenkanal | 03 1A | |
| | Steuer-/Status-Kanal | 03 1E | |
| | Zeitkanal | 03 14 | |
| S2 : | Datenkanal | 03 18 | |
| | Steuer-/Status-Kanaele | 03 1C, 03 1E | |
| | Zeitkanal | 03 12 | |

| | | | |
|--------|---------------------|--------|-------|
| IFSP : | Datenkanal | 03 0A | |
| | Steuerkanale | 03 06, | 03 08 |
| | Statuskanal | 03 08 | |
| | Steuerkanale intern | 03 0C, | 03 0E |

Frei verfügbare sind die beiden Zeitkanäle

CTC-ZK 0 : 03 10

CTC-ZK 3 : 03 16.

Die beiden Adressen 03 00 und 03 02 werden für Steuerzwecke bei Interruptarbeit verwendet und die Adresse 0304 zum Einstellen der Testzustände für den seriellen Teil der ASP. (Siehe auch Abschnitt 3.1.1.1)

Die MMS-16-Bus-Adressleitungen werden über Treiber-Schaltkreise DS 8287 auf die ASP geführt. Der Vergleich mit der über Wickelverbindungen eingestellten ASP-Adresse erfolgt mittels 4-Bit-Vergleicher-Schaltkreisen SN 74LS85. Bei positivem Vergleichsergebnis wird das Signal ASPAD aktiviert. Für die Dekodierung der ASP-internen Adressen werden bei Lese- oder Schreibzyklen ASPAD und A1...A4 sowie das interne Steuersignal /IORQ den Dekoder-Schaltkreisen DS 8205 zugeführt.

Wenn die ASP im Interrupt-Betrieb arbeitet, muss eine weitere Adresse dekodiert werden. Im Interrupt-Anerkennungs-Zyklus (INTA) wird über die Adressleitungen AA, A9, A8 angegeben, welche Interrupt-Anforderung (die ASP ist für die ZVE eine Interruptquelle) anerkannt und damit bearbeitet wird. Auch diese Adresse ist auf der ASP mit Wickelverbindungen einstellbar (Standardwert: 0,1,1). Bei positivem Vergleichsergebnis wird von einem Vergleicher-Schaltkreis SN 74LS85 das Signal ASPINTAD aktiviert.

3.1.7. Bus - Anpassung

3.1.7.1. Interrupt - Schaltungen

Für die Anmeldung und Bearbeitung von Interrupts ist auf der ASP eine Anpassung der Arbeitsweise der eingesetzten Peripherie-Steuer-Schaltkreise (SIO, PIO, CTC) an die Bedingungen des MMS 16 erforderlich.

Die Interrupt-Anmeldeleitungen werden zu einer Sammelleitung zusammengefasst. Das Durchschalten einer ASP-internen Interrupt-Anforderung auf den MMS 16-Bus muss sperrbar sein, damit keine intern höherpriorisierte Anmeldung auf den Bus gelangt, während ein Interrupt behandelt wird. Erst mit Beenden dieser Routine durch ein Kommando "RETI" (Rückkehr vom Interrupt) oder durch ein Kommando zur Interrupt-Freigabe "EI" (Enable Interrupt) kann die ASP einen neuen Interrupt bei der ZVE anmelden. Diese Kommandos werden durch Entschlüsselung der E/A-Adressen (Hex.) 03 00 für "EI" und 03 02 für "RETI" durch eine Pseudo-Ausgabe an diese Adressen gewonnen.

Außerdem muss der Zustand der ASP-Interrupt-Leitung auf dem Bus erhalten bleiben, während ein Interrupt-Anerkennungs-Zyklus (INTA) läuft. Somit muss eine Neuansmeldung verhindert werden, auch wenn die /INT-Leitung bereits wieder inaktiv ist; bzw. ein

Bei Ausgabe des Interrupt-Vektors an die ZVE wird dieser aus Systemgruenden um 2 Bit verschoben. Die beiden niederwertigsten Bit entfallen, die so frei gewordenen beiden hoeherwertigen Bit koennen durch Wickelverbindungen festgelegt werden :

| | | | | | | | | | |
|---------------------------------|-----|----|----|----|----|----|----|----|----|
| Vektoradressregister | SIO | V7 | V6 | V5 | V4 | X3 | X2 | X1 | 0 |
| | CTC | V7 | V6 | V5 | V4 | V3 | X2 | X1 | 0 |
| | PIO | V7 | V6 | V5 | V4 | V3 | V2 | V1 | 0 |
| | | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| Vektoradresse nach Verschiebung | | V7 | V6 | V5 | V4 | V3 | V2 | X1 | X0 |

Die ASP-interne Interrupt-Prioritaetskette fuer die Peripherie-Steuer-Schaltkreise wird standardmaessig ueber Wickelverbindungen auf die Reihenfolge SIO - CTC - PIO eingestellt:

"EIN" -> IEISIOxIEOSIO -> IEICTCxIEOCTC -> IEIPIOxIEOPIO

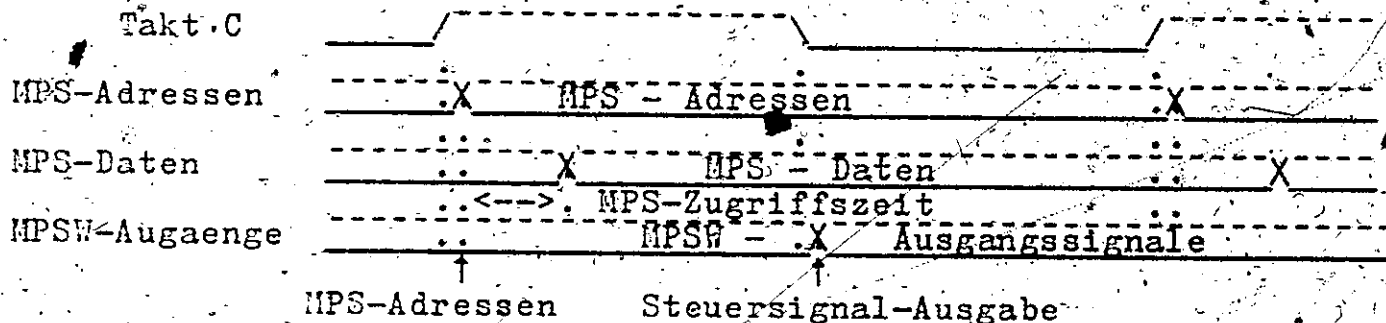


Bild 3.11: Takt- Diagramm fuer Mikro-Programm-Steuerwerk

3.1.7.2. Mikro-Programm-Steuerwerk

Fuer die Anpassung der ASP-intern einen Bus bildenden Signale zum Betreiben der Peripherie-Steuer-Schaltkreise U 855/PIO, U 856/SIO und U 857/CTC an den MMS-16-Bus wird ein Mikroprogramm-Steuerwerk (MPSW) benutzt. Damit werden Lese-, Schreib- und INTA (Vektorlese-) -Zyklen und die RETI-Steuerung der ZVE in ASP-interne Steuerfolgen umgesetzt. Folgende Signale sind vom MPSW zu steuern:

- R1M } Signale zur Rueckfuehrung
- R2M } auf die 4 niederwertigen Adressleitungen
- R3M } des Mikroprogramm-Speichers (MPS)
- R4M } (->max. 16 Mikroprogramm-Schritte)
- XACK --> /XACK auf MMS-16-Bus
- M1M --> /M1 \ Steuersignale
- IORQM --> /IORQ | -> fuer
- RDM --> /RD / SIO, PIO, CTC
- ED4DM --> Umschaltung der RETI-Kodes ED und 4D
- CSED4D --> Einschalten des Treibers fuer ED und 4D
- /CSDATM --> Einschalten des Treibers fuer Datenleitungen
- /IVEK --> Einschalten des Treibers fuer Interruptvektor

Fuer die Steuerung der hoehervwertigen 4 Adressleitungen (von insgesamt 8 Adressbits) des MPS werden folgende Signale benoetigt:

| | |
|--------|---|
| WRAD | Abgeleitet vom Bus-Signal IOWC (Schreibzyklus) |
| RDAD | Abgeleitet vom Bus-Signal IORC (Lesezyklus) |
| INTAD | 2.INTA-Signal bei aktivem ASPINTAD (Siehe 3.1.6.) |
| RETIAD | Kommando "RETI" (Siehe 3.1.6.) |

Die Adress-Signale werden mittels Schaltkreisen DL 175 zwischengespeichert. Das MPSW muss synchron mit den Peripherie-Steuer-Schaltkreisen arbeiten und deshalb mit dem gleichen Takt versorgt werden. Da die Schaltkreise die Steuersignale mit steigender Taktflanke abtasten, muessen sie vom MPSW mit der fallenden Taktflanke zur Verfuegung gestellt werden. Das wird durch Zwischenspeichern der Signale in Register-Schaltkreisen DL 175 mit der fallenden Taktflanke erreicht. Die MPSW-Adressen werden mit steigender Taktflanke uebernommen (Bild 3.11). Der Takt C wird durch 4-fache Teilung aus dem Bus-Takt gewonnen.

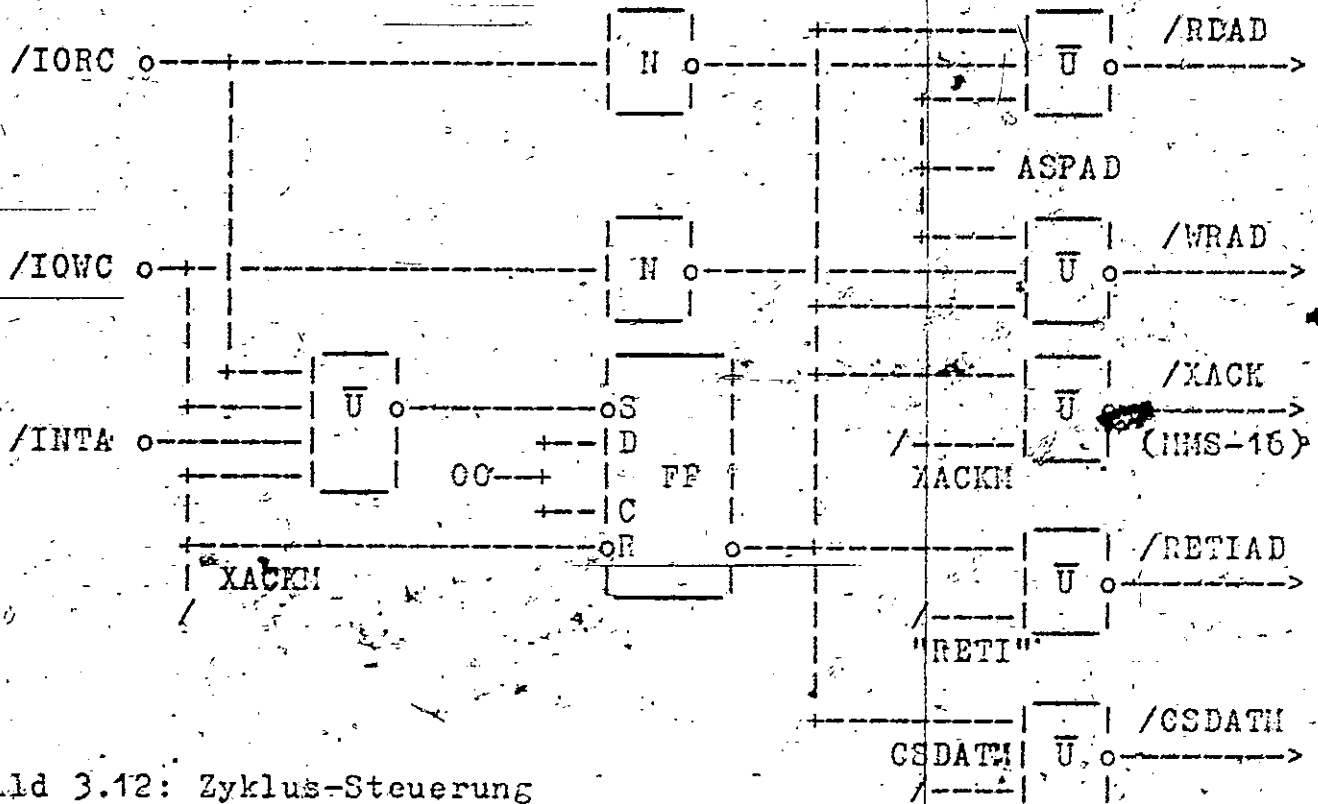


Bild 3.12: Zyklus-Steuerung

Zur systemrichtigen Anpassung aller Signalspiele sind noch Sonderschaltungen erforderlich. Es muss dafuer gesorgt werden, dass unmittelbar aufeinanderfolgende gleiche Zyklen von der ASP auch als solche erkannt werden. Deshalb muss der Zustand, dass die Signale /IORC, /IOWC und /INTA inaktiv sind, waehrend /XACKM (ASP-intern) noch aktiv ist, erkannt und gespeichert werden, bis das Mikro-Programm seinen Anfangszustand wieder erreicht hat (/XACKM inaktiv). Dieses Signal wird fuer die Bildung der Mikro-Programm-Adress-Signale WRAD, RDAD, RETIAD und des Freigabe-Signals fuer den Daten-Treiber-Schaltkreis und das Bus-Signal /XACK benutzt (Bild 3.12).

Als Mikro-Programm-Speicher kommen 3 PROM-Schaltkreise NH 74S287 zum Einsatz, von 2 Schaltkreisen werden die Steuersignale und von einem die 4 Adress-Signale fuer den folgenden Schritt geliefert. Den Inhalt des Mikro-Programm-Speichers zeigen folgende Tabellen (Bilder 3.13, 3.14).

| Adressen | ROM 1 | ROM 2 | ROM 3 | Zyklus |
|-----------|-------|-------|-------|--------|
| 00 ... 0F | 0 | 0 | 0 | |
| 10 | 4 | 4 | 1 | WRITE |
| 11 | 4 | 4 | 2 | |
| 12 | 4 | 4 | 3 | |
| 13 | 0 | 4 | 4 | |
| 14 | A | 0 | 5 | |
| 15 | A | 0 | 6 | |
| 16 | 1 | 0 | 6 | |
| 20 | C | 4 | 1 | READ |
| 21 | C | 4 | 2 | |
| 22 | C | 4 | 3 | |
| 23 | D | 4 | 3 | |
| 40 | 2 | 0 | 4 | VEKTOR |
| 44 | 2 | 0 | 5 | |
| 45 | 6 | 8 | 6 | |
| 46 | 6 | 8 | 7 | |
| 47 | 7 | 8 | 7 | |
| 90 | A | 2 | 8 | RETI |
| 98 | A | 2 | 9 | |
| 99 | 0 | 2 | A | |
| 9A | 0 | 2 | B | |
| 9E | A | 3 | C | |
| 9C | B | 3 | C | |
| ... FF | 0 | 0 | 0 | |

Bild 3.13: Mikro-Programm - Speicher-Inhalt (hexadesimal)

3.2. Programmier - Hinweise

Zur Programmierung der Interface-Steuerungen ist die genaue Kenntnis der Herstellerangaben (Technische Beschreibung) der Schaltkreise U 855 D (PIO), U 856 D (SIO), U 857 D (CTC) von VEB Funkwerk Erfurt / Kombinat Mikroelektronik notwendig. In dieser Dokumentation werden nur Angaben gemacht, die den speziellen Einsatz dieser Schaltkreise im HMS-16-Modul ASP K8071 betreffen. Für alle Interrupt-Betriebsarten gilt grundsätzlich, dass alle Interrupt-Behandlungs-Routinen mit einem Kommando "RETI" (Siehe Abschnitt 3.1.6) abgeschlossen werden müssen.

3.2.1. Programmierung der Seriell-Interface-Steuerung

3.2.1.1. Allgemeine Hinweise

Für die seriellen Datenübertragungen muss die Interface-Steuerung bezüglich folgender Parameter programmiert werden :

- Arbeitsweise synchron (Zeichen- oder bit-synchron) oder asynchron
- Datenformat 5,6,7 oder 8 Bit
- Stop-Bit-Länge im-Asynchronbetrieb 1, 1,5 oder 2 Bit
- Paritätsbit-Erzeugung /-Prüfung : ja/nein, gerade/ungerade
- Erkennen von Paritäts-, Überlauf-, Rahmenfehlern
- BREAK - Erkennung und Erzeugung
- Taktmodi : Baudrate x1 bei Synchron-Betrieb
Baudrate x16, x32, x64 bei Asynchron-Betrieb
- Baudrate (Übertragungstakte)
- Steuerung der Testmodi (siehe Teststeuerregister)
- Steuerung von Daten-Übertragungs-Einrichtungen (DUoE)
- Interne Zeichen- und Flag-Synchronisation
- 1-Zeichen- oder 2-Zeichen-Synchronisation
- Adress-Erkennung bei bitsynchronem Betrieb
- Automatisches Herausfiltern von Synchronzeichen
- CRC-Kode im Synchronbetrieb (CRC-16 oder CRC-CCITT)
- Interrupt-Betriebsarten oder Polling-Betrieb

In den Schaltkreisen SIO und CTC stehen dafür folgende 8-Bit-Register zur Verfügung :

| | | | | | |
|--------|-----|-------|---------|-------|--|
| AASP+0 | ZK0 | Frei | \ | S | Betriebsarten-Steuerregister |
| +2 | ZK1 | Takt | S2(V24) | ---> | Zeitkonstanten-Register |
| +4 | ZK2 | Takt | IPSS | L | Vektoradress-Register (ZK01) |
| +6 | ZK3 | Frei | / | <--- | |
| +8 | DKA | S2 | \ | S---> | Sendepuffer -> Sende-Schieberegister |
| +A | DKB | IPSS/ | <--- | L | Empfangspuffer 1,2,3 <- L-Schieberg. |

AASP+C
+E

SKA S2
SKB S2, IFSS

| | | | | |
|----------------------------|--------|----|---|------------------|
| Kommando | Zeiger | 0 | 0 | Statusregister 0 |
| Interrupt-Steuerregister | | 1 | 1 | Statusregister 1 |
| Vektoradress-Register (B1) | | 2 | 2 | Statusregister 2 |
| Empfaenger-Steuerregister | | 3 | | |
| Betriebsarten-Steuerreg. | | 4 | | |
| Sender-Steuerregister | | 5 | | |
| SYNC / Adresse | | 16 | | |
| SYNC / Flag | | 17 | | |

L = Lesen
S = Schreiben
DK = Datenkanal
SK = Steuer/Statuskanal

AASP = 0310 (hexadez.) fuer die seriellen Interfaces (s. 3.1.6.)

Die Status- und Steuerregister (Lese- und Schreibregister) werden dabei ueber eine Zeigeradressierung mit 2 Befehlen erreicht:

1. Einschreiben einer Zeigeradresse in das Schreibregister 0 (Nicht gleichzeitig mit Kommando)
2. Lesen bzw. Schreiben des mit dem Zeiger adressierten Registers (danach steht Zeiger wieder auf 0).

Die Daten-Lese-bzw. Schreib-Operationen beziehen sich grundsatzlich auf die Pufferregister.

Die Zeitkanale 0 und 3 sind zur Erzeugung von Zeitintervallen im Interrupt-Betrieb frei verfuegbar. Die im Zeitkanal 0 eingetragene Vektoradresse gilt aber als Grundwert fuer alle 4 Zeitkanale. Ebenso gibt es fuer die Kanale des SIO nur ein Vektor-Adress-Register, das im SIO-Kanal B untergebracht ist.

Mit den angegebenen 3 Adressen werden 37 Register erreicht. Weiterhin ist das Teststeuerregister einzustellen.

3.2.1.2. Register der Seriell-Interface-Steuerung

- Teststeuerregister (Adresse 03 04)

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | |
|----|----|---------------------------------|---------|----|------------------|------------------|--------------------------------|--|
| | | | | | /TESTN S2/141 | /TESTP S2/140 | TESTI | |
| D0 | 0 | TESTI = Low | | | | | Normalbetrieb serielle Kanale | |
| | 1 | TESTI = High | | | | | Interner Test (serielle Daten) | |
| D1 | 0 | S2/ 140 | Inaktiv | | | | | |
| | 1 | Aktiv (Ferne Testschleife EIN) | | | | | | |
| D2 | 0 | S2/ 141 | Inaktiv | | | | | |
| | 1 | Aktiv (Lokale Testschleife EIN) | | | | | | |

- Betriebsarten-Steuerregister der Zeitkanäle 0,1,2,3
(Adressen 0310...0316)

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|------------------|-----------------------|--|----|----|-----------------------------|------------------|----|
| INT- Freigabe | 0 (Zeit- geber) | P Vorteiler | 0 | 0 | Zeit- konstante laden | Rueck- setzen | 1 |
| D0 | 1 | Identifiziert das Betriebsarten-Steuerregister | | | | | |
| D1 | 0 | Kanal zaehlt | | | | | |
| D2 | 1 | Zaehlung unterbrochen, bis Zk eingegeben wurde | | | | | |
| D2 | 0 | Es folgt keine Zeitkonstante (Zk) | | | | | |
| D5 | 1 | Naechstes Steuerwort fuer diesen Kanal ist eine Zk | | | | | |
| D5 | 0 | P = 16 Vorteiler fuer Takt C | | | | | |
| D6 | 1 | P = 256 Vorteiler fuer Takt C | | | | | |
| D6 | 0 | Betriebsart "Zeitgeber" | | | | | |
| D6 | 1 | Betriebsart "Zaehler" | | | | | |
| D7 | 0 | Interrupt des Kanals gesperrt (Takterzeugung) | | | | | |
| D7 | 1 | Interrupt des Kanals freigegeben (Time-Out) | | | | | |

- Zeitkonstanten-Register der Zeitkanäle 0,1,2,3
(Adressen 0310...0316)

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|---|-----|-----|-----|-----|-----|-----|-----|
| TC7 | TC6 | TC5 | TC4 | TC3 | TC2 | TC1 | TC0 |
| D0...7 Zeitkonstante 1...255, (0 = 256) falls vorher im Betriebsarten-Steuerwort D2 = 1 | | | | | | | |

- Vektor-Adress-Register im Zeitkanal 0
(Adressen 0310...0316)

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|--------|--|--|----|----|----|----|----|
| V7 | V6 | V5 | V4 | V3 | 0 | 0 | 0 |
| E0 | 0 | Identifiziert das Vektor-Adress-Register | | | | | |
| D2, D1 | 00 | Interrupt vom ZK 0 | | | | | |
| | 01 | Interrupt vom ZK 1 | | | | | |
| | 10 | Interrupt vom ZK 2 | | | | | |
| | 11 | Interrupt vom ZK 3 | | | | | |
| D7...3 | Vorgebarer Vektor-Adressteil fuer ZK 0,1,2,3 | | | | | | |

- SR0 : Kommando- und Zeiger-Register fuer SKA und SKB
(Adressen 031C, 031E)

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|-----------------|-----------------|---|----------|----|----|------------|----|
| CRC-Ruecksetzen | | | Kommando | | | Zeiger (Z) | |
| D2...0 | 000 | Zeiger zur Adressierung der Schreib- oder Lese-Register (SR, LR) | | | | | |
| | 111 | Wird nach Zugriff auf 0 zurueckgestellt | | | | | |
| D5...3 | Kommando: | | | | | | |
| | 000 | 0 Nullkommando (keine Wirkung) | | | | | |
| | 001 | 1 Sende Irrung (Bitsynchron-Betrieb) | | | | | |
| | 010 | 2 Ruecksetzen Status-Interrupts bzw. Freigabe der Statuseingaenge | | | | | |
| | 011 | 3 Ruecksetzen des Kanals | | | | | |
| | 100 | 4 Ruecksetzen "Empfaenger-Interrupt bei 1. Zeichen" | | | | | |
| | 101 | 5 Ruecksetzen von noch anstehenden Sender-Int. | | | | | |
| | 110 | 6 Fehler-Ruecksetzen | | | | | |
| | 111 | 7 Rueckkehr vom Interrupt (RETI) (nur im Kanal A vorhanden) | | | | | |
| D7, D6 | CRC-Ruecksetzen | | | | | | |
| | 00 | Nullkode (keine Wirkung) | | | | | |
| | 01 | Ruecksetzen CRC-Pruefung beim Empfaenger | | | | | |
| | 10 | Ruecksetzen CRC-Generator des Senders | | | | | |
| | 11 | Ruecksetzen Statusbit "Senden CRC/Sync" in LRO | | | | | |

- SR1 : Interrupt-Steuerregister fuer SKA und SKB (Z=1)

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|----|----|---|-----------------------|----|------------------------|---------------------|--------|
| 0 | 0 | 0 | Empfaenger-INT - Modi | | Status beeinfl. Vektor | INT-Freigabe Sender | Status |
| D0 | 0 | Externe Status-Interrupts gesperrt | | | | | |
| | 1 | freigegeben als einmaliges Resultat von Uebergaengen auf den Anschlussen /DCD oder /CTS oder bei BREAK (0 auf Datenleitung) zu Beginn des Sendens von CRC- oder Synchron- Zeichen CTSA = S2/106, CTSE = S2/107, DCDA = S2/109, DCDE = S2/142 | | | | | |
| D1 | 0 | Sender-Interrupt gesperrt | | | | | |
| | 1 | freigegeben (Interrupts treten auf, wenn der Sendepuffer leer wird.) | | | | | |
| D2 | 0 | Interrupt-Vektor wird nicht veraendert | | | | | |
| | 1 | Status beeinflusst den Vektor (V3..V1 von SR2/LR2): (wirkt nur im Kanal B) V3 = 0 Kanal B 1 Kanal A | | | | | |

V2, V1 = 00 Sendepuffer leer
 01 Extern-/Status-Aenderung
 10 Empfangszeichen vorhanden
 11 Spezielle Empfangsbedingung:
 Paritaetsfehler, Empfaenger-Ueber-
 lauf, Rahmenfehler, Rahmenende

D4, D3 Empfaenger-Interrupt-Modi
 00 Empfaenger-Interrupt gesperrt
 01 Empfaenger-Interrupt nur beim ersten Zeichen
 10 Empfaenger-Interrupt / Paritaetsfehler ---> Vektor
 bei jedem Zeichen \ Paritaetsfehler -//- Vektor
 11 WAIT / READY - Funktionsauswahl fuer DMA-Verkehr
 (nicht genutzt)

- SR2 : Vektor-Adress-Register fuer SKA und SKB (Z=2)

| | | | | | | | |
|----|----|----|----|----|----|----|----|
| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| V7 | V6 | V5 | V4 | V3 | V2 | V1 | 0 |

D7...0 SR2 ist nur im Kanal B vorhanden, Vektor-Adress-
 teil V7...V4 wird gemeinsam fuer Kanäle A und B
 eingetragen. V3...V1 wird im INTA-Zyklus modifi-
 ziert, wenn im SR1 D2=1 eingestellt ist.
 (Beachte Abschnitt 3.4.7.1.: Vektorverschiebung!)

- SR3 : Empfaenger-Steuerregister fuer SKA und SKB (Z=3)

| | | | | | | | |
|----------------------------|--------------------|----------------------------|------------------|---------------------------|-------------------------|-------------------|----|
| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| Empfangs- Zeichenlaenge | Autom. Freigabe | Beginn Fang- Betrieb | CRC- Freigabe | Adress- Such- Modus | SYNC- Lade- Sperr | Empf. Freigabe | |

D0 0 Empfaenger
 1 gesperrt
 1 freigegeben

D1 0 SYNC-Zeichen werden in Empfaenger-Puffer geladen
 1 Fuehrende SYNC-Zeichen werden nicht geladen

D2 0 SDLC : Kein Adressensuchen
 1 SDLC : Betriebsart Adressensuchen
 (Vergleich mit Adresse in SR6 oder der
 allgemeinen Adresse 11111111)

D3 0 CRC-Pruefung des Empfaengers
 1 gesperrt
 1 freigegeben (CRC-Berechnung beginnt mit dem
 Anfang des letzten Zeichens, das aus dem Empfangs-
 Register in das Pufferregister uebertragen wurde)

D4 0 Kein Fangbetrieb
 1 Beginn Fangbetrieb (Zeichensynchronisation)
 (auch nach Ruecksetzen oder Empfaenger-Freigabe)

| | | | |
|--------|----|--|----------------------|
| D5 | 0 | Statussignale /DCD und /CTS sind normale Bingaenge ihren Zustand zeigt LRO | |
| | 1 | Statuseingang /DCD steuert zusaetzlich Empfaenger-Freigabe bei DCD=1 (DCDA=S2/109, DCDB=S2/142) Statuseingang /CTS steuert zusaetzlich Sender-Freigabe bei CTS=1 (CTSA=S2/106, CTSB=S2/107) Fuer SKB gilt: D5 =0 (keine automatische Freigabe) | |
| D7, D6 | 00 | 5 Bit/Zeichen | Datenformat |
| | 01 | 7 Bit/Zeichen | der Empfangs-Zeichen |
| | 10 | 6 Bit/Zeichen | |
| | 11 | 8 Bit/Zeichen | |

- SR4 : Betriebsarten-Steuerregister fuer SKA und SKB (Z=4)

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|--|------------------------|--|----|----------------|----|------------------------------------|----|
| Uebertragungstakt fuer Sender und Empfaenger | | Synchronisations Modi | | Stopbit-Laenge | | Paritaet gerade/ ungerade ja/ nein | |
| D0 | 0 | Ohne \ Paritaets-Pruefung/ | | | | | |
| | 1 | Mit / Erzeugung | | | | | |
| D1 | 0 | ungerade \ | | | | | |
| | 1 | gerade / Paritaet | | | | | |
| D3, D2 | 00 | Synchron-Betrieb | | | | | |
| | 01 | 1 \ Stopbit je Zeichen/ | | | | | |
| | 10 | 1,5 -> bei | | | | | |
| | 11 | 2 / Asynchron-Betrieb | | | | | |
| D5, D4 | Zeichensynchronisation | | | | | | |
| | 00 | Monosynchron (8-Bit-SYNC) | | | | | |
| | 01 | Bisynchron (16-Bit-SYNC) | | | | | |
| | 10 | Bitsynchron (SDLC, 01111110-Flag) | | | | | |
| D7, D6 | 11 | Externe Zeichensynchronisation | | | | | |
| | 00 | Datenrate x1 = Taktfrequenz bei Synchron-Betrieb | | | | | |
| | 01 | Datenrate x16 = \ Taktfrequenz (RxC, TxC) | | | | | |
| | 10 | Datenrate x32 = -> im | | | | | |
| | 11 | Datenrate x64 = / Asynchron-Betrieb | | | | | |
| Bedingung: ASP-Takt C > 4,5xDatenrate | | | | | | | |

- SR5 : Sender-Steuerregister fuer SKA und SKB (Z=5)

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|-----|----------------------|----------------------------|--------------|--------------------|----------|-----|--------------|
| DTR | Sender Zeichenlaenge | | BREAK-Senden | Sender-Freigabe | CRC-Kode | RTS | CRC-Freigabe |
| D0 | 0 | CRC-Berechnung des Senders | | gesperrt | | | |
| | 1 | | | freigegeben | | | |
| D1 | /RTS-Ausgang | | | | | | |
| | 0 | Inaktiv (High) | | RTSA = S2/105 | | | |
| | 1 | Aktiv (Low) | | RTSB nicht benutzt | | | |

| | | | |
|--------|----|--|-------------------------------|
| D2 | 0 | CRC-Kode nach CCITT : $x^{16} + x^{15} + x^2 + 1$ | |
| | 1 | SDLC : $x^{16} + x^{12} + x^5 + 1$ | |
| D3 | 0 | Sender gesperrt (TxD = High) | |
| | 1 | freigegeben | |
| D4 | 0 | BREAK (Unterbrechung auf der Daten-Sendeleitung) gesperrt | |
| | 1 | freigegeben (TxD = Low) | |
| D6, D5 | 00 | 1...5 Bit/Zeichen | Datenformat der Sende-Zeichen |
| | 01 | 7 Bit/Zeichen | |
| | 10 | 6 Bit/Zeichen | |
| | 11 | 8 Bit/Zeichen | |
| | | Datenformat bei 1...5 Datenbit (D): 1111000D Sende 1-Bit-Zeichen .../... 000DDDDD Sende 5-Bit-Zeichen | |
| D7 | 0 | /DTR-Ausgang Inaktiv (High) | DTRA = S2/108 |
| | 1 | Aktiv (Low) | DTRB nicht benutzt |

- SR6 : Synchronzeichen- bzw. Adress- Register (Z=6)

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|----------------------------------|----|----|----|----|----|----|----|
| SR6 bedeutet bei Betriebsart | | | | | | | |
| MONOSYNC : Sende-SYNC-Zeichen | | | | | | | |
| BISYNC : 1. Byte des 16-Bit-SYNC | | | | | | | |
| BITSYNC (SDLC): Adressenfeld | | | | | | | |

- SR7 : Synchronzeichen- bzw. Flag- Register (Z=7)

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|----------------------------------|----|----|----|----|----|----|----|
| SR7 bedeutet bei Betriebsart | | | | | | | |
| MONOSYNC : Empfangs-SYNC-Zeichen | | | | | | | |
| BISYNC : 2. Byte des 16-Bit-SYNC | | | | | | | |
| BITSYNC (SDLC): 01111110-Flag | | | | | | | |

- LRO : Statueregister 0 von SKA und SKB (Z=0)
(Adressen 031C, 031E)

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|------------------|---------------------------|-----|-------------------|-----|--------------------------|-----|--------------------------------|
| BREAK/ Irrung | CRC/SYNC Senden | CTS | Synchr/ fangen | DCD | Sende- puffer leer | INT | Empf. Zeichen verfuegbar |
| D0 = 0 | Keine Empfangszeichen | | | | | | |
| 1 | Empfangszeichen vorhanden | | | | | | |

- D1 0 Kein Interrupt
- 1 Beliebiger Interrupt im Kanal A oder B
- D2 0 Sendepuffer nicht leer
- 1 Sendepuffer ist leer geworden
- D3 0 /DCD-Eingang (Abspeichern der 1. Aenderung)
- 1 Inaktiv (High) | DCDA = S2/109
- 1 Aktiv (Low) | DCDE = S2/142
- D4 0/1 Zustand des SYNC-Einganges im Asynchron-Betrieb
- 0 Synchronisation erreicht | Synchron-
- 1 Beginn Suchmodus | Betrieb
- D5 0 /CTS-Eingang (Abspeichern der 1. Aenderung)
- 1 Inaktiv (High) | CTSA = S2/106
- 1 Aktiv (Low) | CTSB = S2/107
- D6 0 CRC- bzw. SYNC- Zeichen- Senden
- 1 Ja
- D7 1 Asynchron-Betrieb:
BREAK (Unterbrechung; Null-Folgen)
Zur BREAK-Ende-Erkennung muss nach BREAK-Interrupt ein entsprechendes Ruecksetzen (SRO, Kommando 2) erfolgen
- 0 Synchron-Betrieb (BITSYNC/SDLC):
Daten oder Flags erkannt
- 1 Irrungsfolge (7x oder mehr "1")

- LR1 : Statusregister 1 von SKA und SKB (Z=1)

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|-----------------|---------------------------|---|----------------------|---------------|----|----|----------------|
| Rahmen- ende | CRC/ Rahmen- Fehler | Empf. Ueber- lauf | Paritaets- fehler | Restkodierung | | | Sender leer |
| D0 | 1 | Sender leer (nur im Asynchron-Betrieb) | | | | | |
| D3..1 | 1 | Laenge des Informationsfeldes bei SDLC-Empfang | | | | | |
| D4 | 1 | Paritaetsfehler | | | | | |
| | 0 | Nein | | | | | |
| | 1 | Ja (bei freigegebener Paritaets-Pruefung) | | | | | |
| D5 | 0 | Kein Empfaenger-Ueberlauf | | | | | |
| | 1 | Fehler "Empfaenger-Ueberlauf" (mehr als 3 Zeichen empfangen ohne Einzulesen) | | | | | |
| D6 | 1 | CRC- oder Rahmen-Fehler | | | | | |
| | 0 | Nein | | | | | |
| | 1 | Ja | | | | | |
| D7 | 1 | BITSYNC (SDLC): Rahmenende (gueltiges Ende-Flag) | | | | | |

- LR2 : Statusregister 2 fuer SKA und SKB (Z=2)

| | | | | | | | |
|----|----|----|----|----|----|----|----|
| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| V7 | V6 | V5 | V4 | V3 | V2 | V1 | 0 |

D7..0 Nur im SKB lesbar!
 Inhalt entspricht dem Vektor-Adress-Register SR2 (nur Kanal B), wenn im Interrupt-Steuerregister SR1 das Bit D2=0 ist.
 Sonst Modifizierung wie bei SR1 angegeben.
 Der Kode 011 (V3...V1) gilt auch, wenn kein Interrupt vorliegt; dann ist aber LRO/D1=0.

3.2.1.3. Berechnung der Uebertragungstakte

Die Daten-Uebertragungs-Geschwindigkeit (Datenrate) der seriellen Interfaces wird durch Programmierung von SIO und CTC nach der Gleichung

$$v = \frac{C}{P \times K \times S \times F} \quad [\text{Bit/s}]$$

eingestellt.

Die Einflussgroessen bedeuten:

C = 2,458 MHz ASP-Takt (C = 1/4 /CCLK)
 P = 16 oder 256 Programmierbarer Verteiler im Zeitkanal
 K = 1...256 Programmierbare Zeitkonstante im Zeitkanal
 S = 1 Takt unsymmetrisch, nur fuer Asynchronbetrieb
 2 Takt symmetrisch, nur fuer Synchronbetrieb bei S2
 F = 1 Synchron-Betrieb
 16 Asynchronbetrieb :
 32 | -> Programmierbarer Nachteiler
 64 / im Datenkanal (SR4)

CTC/ZK1 und SIO/A werden fuer Interface S2 und CTC/ZK2 und SIO/B fuer Interface LFSS benutzt. Der CTC kann z.B. in der Betriebsart "Zeitgeber" ohne Interrupt fuer die Takterzeugung programmiert werden; das Betriebsarten-Steuerwort lautet dann : 00P00111 (Nachfolgend: K). Fuer ausgewaehlte Uebertragungs-Geschwindigkeiten werden in Tabelle Bild 3.15 Einstellwerte angegeben. (Kennzeichen "*": Beispiel fuer Uebertragungsrates 9600 Baud)

3.2.1.4. Spezielle Programmierhinweise

Der Schaltkreis-Hersteller gibt folgende speziellen Programmier-Hinweise an :

- Bei der Programmierung der Zeitkanale des CTC wird fuer den Interrupt-Betrieb folgende Reihenfolge empfohlen:
 1. Laden des Interrupt-Vektors im ZK0
 2. Laden des Betriebsarten-Steuerwortes im ZKx
 3. Laden der Zeitkonstante im ZKx

Bei der Programmierung der Steuer-/Status-Kanaele des SIO ist folgende Reihenfolge einzuhalten:

1. Einstellen der Haupt-Betriebsart, insbesondere Laden der Betriebsarten-Steuerregister SR4
2. Einstellen weiterer Bedingungen fuer die ausgewaehlte Betriebsart (z.B. SR2, SR1)
3. Freigabe von Sender bzw. Empfaenger (SR5 bzw. SR3)

| K | Synchron | | Asynchron | | | | |
|----------|----------|-------|-----------|--------|------|------|----|
| | S | 2 | * | 1 | | | |
| | P | 16 | 256 | * | 16 | 22 | 64 |
| * 1 | | 76800 | 4800 | * 9600 | 4800 | 2400 | |
| 2 | | 38400 | 2400 | 4800 | 2400 | 1200 | |
| 4 | | 19200 | 1200 | 2400 | 1200 | 600 | |
| 8 | | 9600 | 600 | 1200 | 600 | 300 | |
| 16 | | 4800 | 300 | 600 | 300 | 150 | |
| 32 | | 2400 | 150 | 300 | 150 | 75 | |
| 64 | | 1200 | 75 | 150 | 75 | | |
| 128 | | 600 | | 75 | | | |
| 256 (=0) | | 300 | | | | | |
| 400 | | 400 | | 50 | | | |

Bild 3.15: Tabelle zur Berechnung der Uebertragungsraten.

3.2.2. Programmierung des Parallel-Interfaces (IPSP)

3.2.2.1. Allgemeine Hinweise

Fuer das IPSP besteht die Programmierung vor allem in der Einstellung der Betriebsarten des PIO. Grundsaeztlich wird in der ASP der PIO-Kanal A im Modus 2 (Bit-Ein-Ausgabe) mit A0...A6 als Eingangen und A7 als Ausgang und der PIO-Kanal B im Modus 0 (Byte-Ausgabe) betrieben.

Fuer Datenausgabe sowie interne und Interface-Steuerzwecke stehen fuer das IPSP folgende Adressen zur Verfuegung:

- AASP + 6 /RGP ---> Interface-Steuersignal-Register
- + 8 PIO/A, Daten | ---> Ausgang A7: "Betriebsbereit", SC
- | <--- Eingange A0..A5: Geratetestatus
- | <--- Eingang A6: Paritaetsbit SPC
- + A PIO/B, Daten ---> Interface-Daten-Register
- + C PIO/A \ Steuer- | ---> Interrupt-Vektoren
- + E PIO/B / worte | ---> Betriebsarten-Steuerworte
- | ---> E/A-Steuerworte
- | ---> Interrupt-Steuerworte
- | ---> Interrupt-Maske
- | ---> Allgemeine Interrupt-Freigabe

AASP=0300 (hexadez.) fuer Parallel-Interface-Steuerung (s.3.2.2.6.)

Die verschiedenen Steuerworte der beiden PIO-Kanaele werden durch den Zustand bestimmter Bits dieser Worte unterschieden. Insgesamt sind mit den angegebenen 5 E/A-Adressen 16 Register schreib- bzw. lesbar.

Eine Ausgabe ueber das IFSP laeuft nach folgendem Schema ab:

- * Nach Einschalten der Betriebsspannung: S0 = 0 (Inaktiv)
Um im Interruptbetrieb arbeiten zu koennen, muss der Modul ZVE dafuer programmiert werden!
(Siehe Betriebsdokumentation MMS 16-Modul-ZVE K 2771)
- * Initialisierung des IFSP-Kanals:
Status A: Modus 3, A0...A6 = Eingang, A7 = Ausgang
Status E: Modus 0
(eventuell jeweils Interruptbetrieb)
- Sendersteuersignale (/RGP): Inaktiv (0)
- Daten A: S0 einschalten ueber PIO/A7 = /S0 = "0"
- Warten auf Empfaenger-Bereitschaft (PIO/A0 --> "1")
im Polling- oder Interruptbetrieb
- * Ausgabe von Steuersignalen: S1...S5 ueber RGP
bzw. Daten: D0...D7 ueber PIO/B
- Dabei Statusabfrage (nur Kanal A) oder Auswertung von Interrupts:

| | |
|------------------|---|
| Interrupt-Quelle | Interrupt-Ursache |
| PIO/E | Empfaenger-Steuersignal AC->Inaktiv (Zeichen uebernommen) |
| PIO/A5 | Empfaenger-Steuersignal AC->Aktiv (Ausgabeanforderung, Status gueltig) |
| PIO/A4 | Empfaenger-Status A4 |
| PIO/A3 | Empfaenger-Status A3 |
| PIO/A2 | Empfaenger-Status A2 |
| PIO/A1 | Empfaenger-Status A1 |
| PIO/A0 | Empfaenger-Bereitschaft A0 (S.o.) |
| PIO/A6 | Paritaetsbit DPO (nur fuer Pruefung) |

- * Beendigung: S0 = Inaktiv ueber PIO/A7 = /S0 = "1"

3.2.2.2. Steuerworte der PIO-Kanaele

- Interrupt-Vektor : Kennzeichen: D0 = 0

| | | | | | | | |
|----|----|----|----|----|----|----|----|
| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| V7 | V6 | V5 | V4 | V3 | V2 | V1 | 0 |

- Betriebsarten-Steuerwort : Kennzeichen: D3...D0 = 1111

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|----|----|---|----|----|----|----|----|
| M1 | M0 | x | x | 1 | 1 | 1 | 1 |
| 0 | 0 | Modus 0: Byte-Ausgabe | | | | | |
| 0 | 1 | Modus 1: Byte-Eingabe | | | | | |
| 1 | 0 | Modus 2: Byte-Ein-Ausgabe (Nur Kanal A) | | | | | |
| 1 | 1 | Modus 3: Bit-Ein-Ausgabe | | | | | |

Im Modus 3 muss folgen :

- E/A-Steuerwort : E/Ax = 1/2 Eingang/Ausgang

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|------|------|------|------|------|------|------|------|
| E/A7 | E/A6 | E/A5 | E/A4 | E/A3 | E/A2 | E/A1 | E/A0 |

- Interrupt-Steuerwort : Kennzeichen: D3...D0 = 0111

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|------------------|-------------|--|----------------|----|----|----|----|
| INT- Freigabe | UND ODER | High Low | Maske folgt | 0 | 1 | 1 | 1 |
| D4 | 1 | Höchstes Steuerwort ist Interrupt-Maske | | | | | |
| D5 | 0 | Low-Pegel ist aktives Signal | | | | | |
| D5 | 1 | High-Pegel ist aktives Signal | | | | | |
| D6 | 0 | Verknüpfung der entsprechend Interrupt- | | | | | |
| D6 | 1 | Maske ausgewählten Signale mit aktivem Pegel führt zu Interrupt | | | | | |
| D7 | 0 | Interrupt gesperrt | | | | | |
| D7 | 1 | Interrupt freigegeben | | | | | |

- Interrupt-Maske : Muss auf Interrupt-Steuerwort folgen

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|---|-----|-----|-----|-----|-----|-----|-----|
| IM7 | IM6 | IM5 | IM4 | IM3 | IM2 | IM1 | IM0 |
| IMx. 0 Kanal-Leitungen (Ax bzw. Bx) nehmen auf Interrupt-Bildung Einfluss | | | | | | | |

Zu jeder Zeit kann angewendet werden:

- Allgemeines Interrupt-Steuerwort: Kennzeichen: D3.D0 = 0011

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|----------|----|-----------------------|----|----|----|----|----|
| INT | | | | | | | |
| Freigabe | x | x | x | 0 | 0 | 1 | 1 |
| D7 | 0 | Interrupt gesperrt. | | | | | |
| | 1 | Interrupt Freigegeben | | | | | |

3.2.2.3. Spezielle Programmier-Hinweise

Vom Schaltkreis-Hersteller wird empfohlen, vor dem Rucksetzen der Interrupt-Freigabe in den PIO-Kanaelen die ZVE "interrupt-unfähig" zu machen, um keinen falschen Interrupt-Vektor zu lesen.

4. Beschreibung der Konstruktion

Die Baugruppe ASP K 8071 ist als Karteneinschub passfähig zur Gefäßkonstruktion des AG A7100 und des HMS 16 auf der Grundlage der TGL RW 834 und der TGL 32270.

Der Karteneinschub besteht aus der BLP mit Frontplatte.
 Beachte: Die mittige Befestigung erfolgt mittels Linsenschraube 2,5x8 und Kreuzschlitz nach TGL 0-7935.
 Das Teilungsmass beträgt 4 TE (20,32 mm).

Die Abmessung der Leiterplatte beträgt 233,35 x 160 mm².
 Die Leiterplatte ist als Mehrlagenleiterplatte mit 4 Ebenen ausgeführt.

Anschlüsse fuer Interfaces:

| | | |
|------------------|----|---------------------------------------|
| IFSS (20mA-LOOP) | X3 | Buchsenleiste 25-polig, Subminiatur-D |
| S2 (V.24) | X4 | Buchsenleiste 25-polig, Subminiatur-D |
| IFSP (PARALLEL) | X5 | Steckerleiste 25-polig, Subminiatur-D |

Der Schirmanschluss der Interface-Kabel führt auf dem Wege Kabelschirm - Griffschale - Steckverbindergehäuse - Frontplatte an das Gefäßpotential.

Das Interface IFSS ist konstruktiv so ausgelegt, dass eine sicherheitstechnische galvanische Trennung möglich ist (s.2.9.)

5. Transport, Lagerung, Verpackung und Entpackung

Der Modul ASP K 8071 wird in einer Sammelverpackung (Kiste) oder in Wellpapp-Schiebeschachteln einzeln verpackt ausgeliefert. Er ist bis zur Inbetriebnahme in der Originalverpackung zu transportieren und zu lagern.

Lagerungsbedingungen: +5 °C bis +35 °C; kurzzeitig -10 °C;
 maximale relative Luftfeuchte 85% bei 25 °C
 Zur Neuwertehaltung ist eine relative Luftfeuchte - 60% anzustreben. Dethnung ist auszuschliessen. Die maximale Lagerdauer beträgt 6 Monate.

Entpackung: Der Modul ist aus der Sammelverpackung zu entnehmen, bei der Einzelverpackung ist der Klebebandverschluss vorsichtig zu trennen. Der Modul ist nur an Stellen zu beruehren, die frei von Bauelementen und Leiterzuegen sind.

Verpackung: Der Modul ist nur in der Lieferverpackung des Herstellers zu verpacken. Dabei ist bei der Einzelverpackung auf die Verwendung der Schaumstoffpolster zu achten. Die Einzelverpackung ist zu verkleben. Die Verpackung ist fuer Strassen-, Luft- und Eisenbahntransport ausgelegt.

Einzelverpackung: - Abmessung: (300 x 220 x 55) mm
 Masse 0,25 kg

6. Montage und Installation

Der Modul ASP K 8071 darf nur in Finalerzeugnissen eingesetzt werden, die die Anschlusskennwerte nach Punkt 2.2. erfüllen. Die Einbaulage kann waagrecht und senkrecht sein. Bei waagrechtem Einbau muss die Bestueckungsseite nach oben zeigen. Es ist zu gewährleisten, dass die Luft Eintrittstemperatur 0°C nicht unterschreitet und dass die Luftaustrittstemperatur in Höhe der Leiterplattenkante $+55^{\circ}\text{C}$ nicht überschreitet. Im Bedarfsfall ist zur Einhaltung der oberen Grenztemperatur eine geeignete Belüftung vorzusehen.

Der Modul ist im gesteckten Zustand mit den in der Frontplatte befindlichen Kreuzschlitzschrauben im Finalerzeugnis zu befestigen.

Hinweis:

Der fuer IFSS und V.24 an den 25-poligen Buchschleifen vorgesehene Anschluss "Schl/m" bzw. "Schütserde" (Kontakt 1) kann auf dem Modul ASP K 8071 nicht direkt mit Schutzleiterpotential verbunden werden. Die Verbindung des Kabelschirmes mit Schutzleiterpotential erfolgt normalerweise ueber die metallisierte Griffschale des Steckverbinders und deren Befestigungsschrauben. Ist diese Verbindung in besonderen Faellen nicht moeglich (nicht-metallisierte Griffschale), kann ersatzweise ueber Wickelverbindungen (X1005-X1006 bzw. X1101-X1102) Kontakt 1 mit Logiknullpotential verbunden werden, das dann aber im Gerat fest mit dem Schutzleiter verbunden sein muss.

Die Wickelverbindungen von Kontakt 1 nach Logiknullpotential sind unzulässig, wenn

- Logiknullpotential und Schutzleiterpotential im Gerat getrennt sind, oder
- bei IFSS beide Stromschleifen auf der Seite des Moduls im Passivmodus arbeiten und die Bedingungen "Zusatzisolation" (s.2.5) eingehalten werden muessen.

7. Einstellung

Die Lage der Einstellelemente der ASP sind im Bild 7.1 angegeben. Fuer die statische und die dynamische Pruefung des Moduls sowie als Vorzugswerte beim Einsatz des Moduls in einem Finalerzeugnis gelten die im folgenden als Standardwerte gekennzeichneten Wickelverbindungen. Schalter sind entsprechend den Pruefanleitungen einzustellen.

- E/A-Adress-Bereich: Wickelfelder X15, X17, X19

| Adress-Bit | F | E | D | C | B | A | 9 | 8 | 7 | 6 | 5 | |
|--------------------------|----------------------------|----|----|----|----------------------------|----|----|----|---------------------|----|----|--|
| Wickelstift | X15-04 | 03 | 02 | 01 | X17-04 | 03 | 02 | 01 | X19-03 | 02 | 01 | |
| LOW | X1506, X1508 | | | | X1706, X1708 | | | | X1905 | | | |
| HIGH | X1505, X1507 | | | | X1705, X1707 | | | | X1904, X1906 | | | |
| Standardwert | 0 0 0 0 | | | | 0 0 1 1 | | | | 0 0 0 | | | |
| Wickel - verbindungen | X1501-06-02 X1503-08-04 | | | | X1701-05-02 X1703-08-04 | | | | X1901-02- -03-05 | | | |

- Interface IPSS - Varianten: Wickelfelder X10, X20

| Wickelverbindg. | aktiv | passiv |
|-----------------------------|---------------------------------------|----------|
| Sender | (*) X1001-04, X1002-09 | X1001-03 |
| Empfänger | (*) X1007-10, X1009-09 | X1009-10 |
| Kabelschirm | (*) X1005-06 | |
| Anschluss gemäß VDI 2630/32 | | |
| Sender | X2004-X1002, X1001-X1003, X2003-X1004 | |
| Empfänger | X2002-X1007, X1009-X1010, X2001-X1008 | |
| Standardwert: | (*) Sender aktiv / Empfänger aktiv | |

- Interface S2 - Varianten: Schalter S1, Wickelfeld X13

| Betriebsart | synchron | asynchron |
|-----------------|--|--------------|
| Schalter S1 | (*) EIN | AUS |
| Signal 111 | niedrige Geschwindigkeit | hohe |
| Wickelverbindg. | X1301-02 | (*) X1303-02 |
| Kabelschirm | X1301-02 (*) | |
| Standardwert: | (*) Synchronbetrieb, hohe Geschwindigkeit (der DUEB). | |

- Interface IPSP - Varianten: Schalter S2

| Statussignale des Gerätes | synchron | asynchron |
|---------------------------------|----------|-----------|
| A1 | EIN | AUS |
| A2 | EIN | AUS |
| A3 | EIN | AUS |
| A4 | EIN | AUS |
| Vor statischer Prüfung (AFE) : | EIN | |
| Nach statischer Inbetriebnahme: | AUS | |

Interrupt-Ebene: Wickelfeld X10

| | | | | | | | | |
|-----------------|----------|----|----|----|----|----|----|----|
| INT - Ebene | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
| Wickelstift X10 | 01 | 02 | 03 | 04 | 05 | 06 | 07 | 08 |
| Standardwert | 2 | | | | | | | |
| Wickelverbindg. | X1809-04 | | | | | | | |

Interrupt-Adresse: Wickelfeld X16

| | | | |
|-----------------|-------------------------|----|----|
| Address-Bit | A | 9 | 8 |
| Wickelstift X16 | 03 | 02 | 01 |
| LOW X16 | 05 | | |
| HIGH X16 | 04 | 06 | |
| Standardwert | 0 | 1 | 1 |
| Wickelverbindg. | X1601-02-04 X1603-05 | | |

Interrupt-Vektor-Adressbereich: Wickelfeld X14

| INT-Vektor- Adress-Bereich | INT-Vektor-Bit | | Standard-Einstellung |
|-------------------------------|----------------|----|----------------------|
| | V7 | V6 | |
| 00 ... 3F | 0 | 0 | |
| 40 ... 7F | 0 | 1 | X1401-03, X1402-04 |
| 80 ... BF | 1 | 0 | |
| C0 ... FF | 1 | 1 | |
| Wickelstift X14 | 03 | 04 | |
| | LOW : X1401 | | HIGH : X1402 |

Interrupt-Prioritätskette: Wickelfeld X12

| Signale | HIGH | IEI ^{SIO} | | IEI ^{CTC} | | IEI ^{PIO} | |
|-----------------|-----------------------------|--------------------|-----------|--------------------|----------|--------------------|-----|
| | | IEO | IEO | IEO | IEO | IEO | IEO |
| Wickelstift X12 | 07 | 06 | 02 | 01 | 03 | 04 | 05 |
| Standardwert | Reihenfolge SIO - CTC - PIO | | | | | | |
| Wickelverbindg. | X1207-06, | | X1202-01, | | X1203-04 | | |

Taktversorgung: Schalter S3

Vor statischer Prüfung (ATE): AUS
Nach statischer Inbetriebnahme: EIN

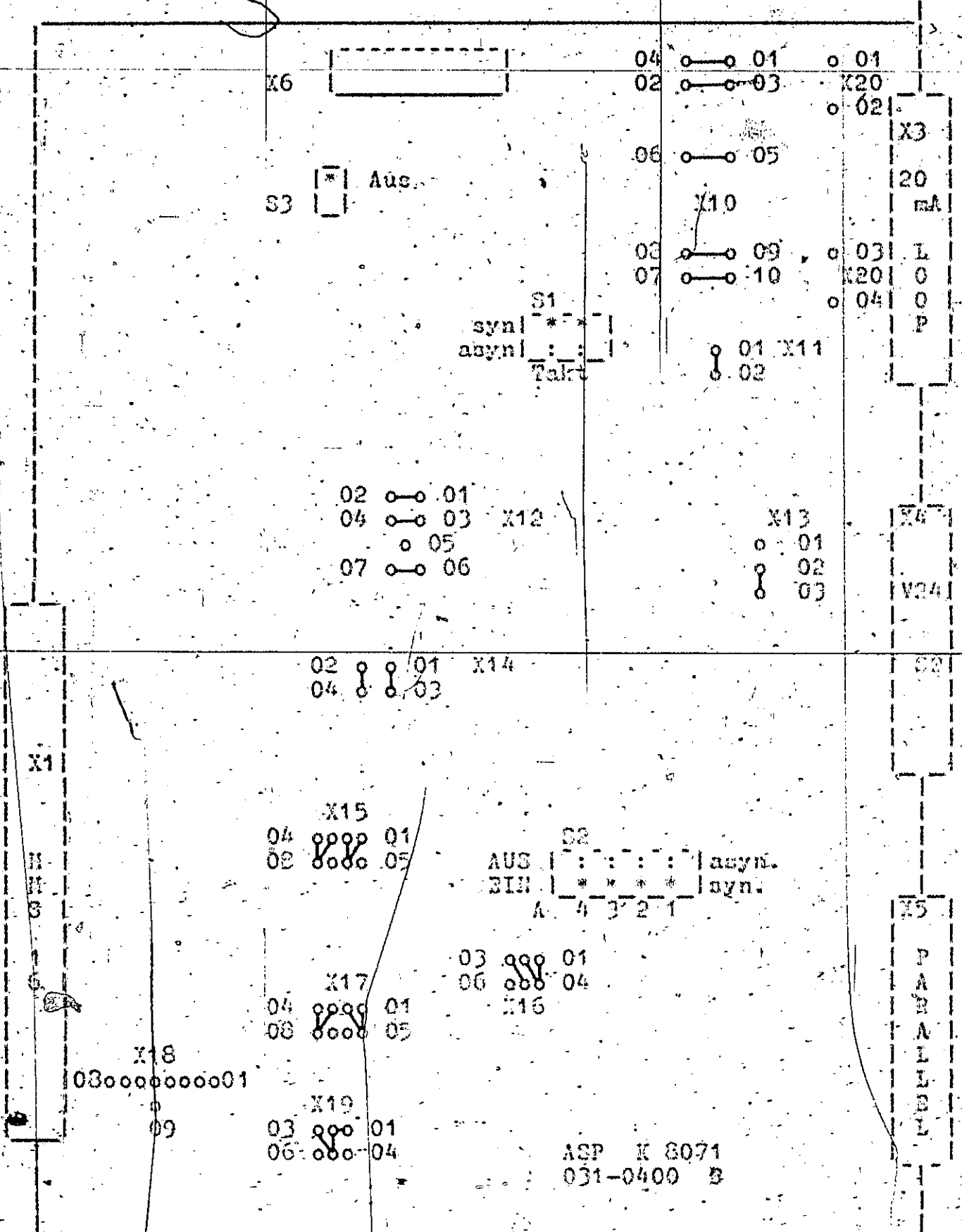


Bild 7.1: Lage der Einstellelemente der BLP ASP K 8071

8. Inbetriebnahme und Betrieb

Die Inbetriebnahme der ASP K 8071 erfolgt mit Hilfe von Prüfprogrammen innerhalb eines Rechners, wobei Standardeinstellung entsprechend Punkt 7. vorausgesetzt wird. Der Anwender kann sich fuer andere Einstellvarianten auch selbst Inbetriebnahme-Programme schaffen. Das Initialisieren der ASP-internen Funktionsgruppen sowie Betreiben der E/A-Kanäle hat dabei unter Beachtung der Angaben unter Punkt 3., insbesondere der Programmierhinweise zu erfolgen.

9. Pflege und Wartung

Pflege und Wartung sind nicht erforderlich.

10. Instandsetzung

Im Fehlerfall erfolgt die Modulreparatur durch den Technischen Kundendienst. Der mittels Prüfprogramm als fehlerhaft ermittelte Modul wird ausgetauscht.