

Betriebsdokumentation Mikrorechner K 1520

VEB Robotron-Elektronik Zella-Mehlis

1980

---

Exporteur:

Robotron-Export-Import  
Volkseigener Außenhandelsbetrieb der  
Deutschen Demokratischen Republik  
DDR - 1080 Berlin  
Friedrichstraße 61

Hersteller:

VEB Robotron Elektronik  
DDR - 6060 Zella-Mehlis  
Straße der Antifa 63-66  
Postschließfach 96

Ingenieurhochschule  
für Seefahrt  
Warnemünde/Wustrow  
DDR 253 Warnemünde  
Hochschulbibliothek

Inhaltsverzeichnis

I.

Baugruppenübersicht K 1520

II.

Technische Beschreibung K 1520

III.

Mehrrechnersystem MS 1

IV.

Montage- und Inbetriebnahmevorschrift K 1520

V.

Betriebsvorschrift K 1520

VI.

Fehlerortung K 1520

VII.

Technische Beschreibung ZBE-K 2521 ... K 2524

VIII.

Technische Beschreibung ZBE-K 2525

IX.

Technische Beschreibung

OPS - K 3520

PFS - K 3820

OFS - K 3620

X.

Technische Beschreibung

OPS - K 3525

OPS - K 35 21

OFS - K 3621

XI.

Technische Beschreibung ADA

XII.

Technische Beschreibung ASV

XIII.

Technische Beschreibung AFS

XIV.

Technische Beschreibung BVE

XV.

Technische Beschreibung BDE

XVI.

Technische Beschreibung ABD

XVII.

Technische Beschreibung PPE und PAE

XVIII.

Technische Beschreibung PLC

Schaltplansatz 1.11.004650.0/04

## I.

### Baugruppenübersicht MR K 152/

Lfd. Nr.	Chiffre	Benennung	Beuunterlagen-Nr.	Stück	Bemerkungen
1	K0120	STE-Einsatz STS K0120	1.11.004600.0/01	(1)	5 STE
2	K0121	-; STS K0121	1.11.004601.0/01	(1)	11 STE
3		Abstandrohr	1.11.004631.0/00	(4)	
4		Scheibe	1.11.004630.0/00	(4)	
5		Senkschraube BM 4x16 TGL 5683-5.8 gal Zn c	0.5003 1371.0/90	(4)	
6		Federring B4 TGL 7403 gal Zn c	0.5070 1071.0/90	(4)	
7		Sechskantmutter M4 TGL 0-439-50 gal Zn c	0.5019 0091.0/90	(4)	
8	K7622	Bedieneinheit BDE K 7622.00	1.11.004750.0/01	(1)	ohne Gefäß
9	K7622	-; BDE K 7622.01	1.11.004790.0/01	(1)	mit Gefäß
10	K0521	Verbindungskabel LTG K 0521.01	1.11.004661.0/01	(2)	2,5 m; zu VLA-BVE
11	K0521	-; LTG K 0521.02	1.11.004662.0/01	(2)	1,2 m; zu VLA-BVE
12	K0521	-; LTG K 0521.03	1.11.004663.0/01	(2)	0,6 m; zu VLA-BVE
13	K0522	Steckereinheit Typ 012-7021	1.12.517021.0/01	(1)	VLA 1
14	K0522	-; Typ 012-7026	1.12.517026.0/01	(1)	VLA 2) } zu lfd.Nr. 10-12

Lfd. Nr.	Chiffre	Benennung	Bauunterlagen-Nr.	Stück	Bemerkungen
15	K3520	Steckeinheit Typ 012-7011	1.12.517011.0/01	(1)	OPS 1)
16	K3520	-; Typ 012-7016	1.12.517016.0/01	(1)	OPS 2)
17	K3620	-; Typ 012-7031	1.12.517031.0/01	(1)	OPS 1)
18	K3620	-; Typ 012-7036	1.12.517036.0/01	(1)	OPS 2)
19		Integr. Schaltkr. 0260; Y708	1.15.951726.0/90	(6)	zu lfd.Nr. 17 und 18
20	K3820	Steckeinheit Typ 012-7041	1.12.517041.0/01	(1)	PFS 1)
21	K3820	-; Typ 012-7046	1.12.517046.0/01	(1)	PFS 2)
22		Integr. Schaltkr. Q260 Y708	1.15.951726.0/90	(16)	zu lfd.Nr. 20 und 21
23	K3525	Steckeinheit Typ 012-7121	1.12.517121.0/01	(1)	OPS 1)
24	K3525	-; Typ 012-7126	1.12.517126.0/01	(1)	OPS 2)
25	K3521	-; Typ 012-7131	1.12.517131.0/01	(1)	OPS 1)
26	K3521	-; Typ 012-7136	1.12.517136.0/01	(1)	OPS 2)
27		Zelle KBL 0,225 TGL 22807	0.6360 0064.0/90	(3)	zu lfd.Nr. 25 und 26
28	K3621	Steckeinheit Typ 012-7141	1.12.517141.0/01	(1)	OPS 1)
29	K3621	-; Typ 012-7146	1.12.517146.0/01	(1)	OPS 2)

# robotron

Lfd. Nr.	Chiffre	Benennung	Bauunterlagen-Nr.	Stück	Bemerkungen
30		Zelle KBL 0,225 TGL 22807	0.6360 0064.0/90	(3)	zu lfd.Nr. 28 und 29
31		Integr. Schaltkr. Q260; Y 708	1.15.951726.0/90	(6)	zu lfd.Nr. 28 und 29
32	K4120	Steckeinheit Typ 012-7051	1.12.517051.0/01	(1)	BVE 1)
33	K4120	-; Typ 012-7056	1.12.517056.0/01	(1)	BVE 2)
34	K7022	-; Typ 012-7061	1.12.517061.0/01	(1)	ABD 1)
35	K7022	-; Typ 012-7066	1.12.517066.0/01	(1)	ABD 2)
36	K6022	-; Typ 012-7091	1.12.517091.0/01	(1)	ADA 1)
37	K6022	-; Typ 012-7096	1.12.517096.0/01	(1)	ADA 2)
38	K8021	Steckeinheit Typ 012-7161	1.12.517161.0/01	(1)	ASV 1)
39	K8021	-; Typ 012-7166	1.12.517166.0/01	(1)	ASV 2)
40	K5121	-; Typ 078-2081	1.78.022081.0/01	(1)	AFS 1)
41	K5121	-; Typ 078-2086	1.78.022086.0/01	(1)	AFS 2)
42	K2521	-; Typ 012-7101	1.12.517101.0/01	(1)	ZRE 1)
43	K2521	-; Typ 012-7106	1.12.517106.0/01	(1)	ZRE 2)
44	K2522	-; Typ 012-7102	1.12.517102.0/01	(1)	ZRE 1)

Lfd. Nr.	Chiffre	Benennung	Bauunterlagen-Nr.	Stück	Bemerkunen
45	K2522	-; Typ 012-7107	1.12.517107.0/01	(1)	ZRE 2)
46	K2523	-; Typ 012-7103	1.12.517103.0/01	(1)	ZRE 1)
47	K2523	-; Typ 012-7108	1.12.517108.0/01	(1)	ZRE 2)
48	K2524	-; Typ 012-7104	1.12.517104.0/01	(1)	ZRE 1)
49	K2524	-; Typ 012-7109	1.12.517109.0/01	(1)	ZRE 2)
50		Integr. Schaltkr. 0260; Y708	1.15.951726.0/90	(3)	zu lfd.Nr. 42 bis 50
51	K2525	Steckeinheit Typ 012-7111	1.12.517111.0/01	(1)	ZRE 1)
52	K2525	-; Typ 012-7116	1.12.517116.0/01	(1)	ZRE 2)
53		Integr. Schaltkr. Q260; Y708	1.15.951726.0/90	(8)	zu lfd.Nr. 51 und 52
54	K0420	Steckeinheit Typ 078-2071	1.78.022071.0/01	(1)	PPE 1)
55	K0420	-; Typ 078-2 076	1.78.022076.0/01	(1)	PPE 2)
56	K0421	PROM-Löschgerät	1.78.016000.0/01	(1)	PLG
57	K0422	PROM-Aufnahme- gerät	1.78.010020.0/01	(1)	PAE zu lfd.Nr.56
58					
59					

Lfd. Nr.	Chiffre	Benennung	Bauunterlagen-Nr.	Stück	Bemerkungen
60		Verpackung	1.77.021390.0/01	(1)	für K 0120
61		-;	1.77.021391.0/01	(1)	für K 0121
62		-;	1.77.021392.0/01	(1)	für K 7622.01
63		-;	1.77.021393.0/01	(1)	für K 7622.00
64		-;	1.77.022139.0/01	(1)	für 1 STE
65		Sammelverpackung	0.8155 7116.0/00	(1)	für 8 STE
66		Verpackung	0.8155 7116.0/00	(1)	für K 0421
67		Verpackung	1.77.021152.0/00	(1)	für K 0422
68		Verpackung	1.77.021162.0/00	(1)	
69		Betriebsdokumentation	1.11.004650.0/97	(1)	

- ( ) projektabhängige Stückzahl
- 1) indirekter Steckverbinder
- 2) direkter Steckverbinder

## II.

### Technische Beschreibung K 1520

## Inhaltsverzeichnis

	Seite
<u>1. Übersicht über den MR K 1520</u>	
1.1. Kurzübersicht und technische Daten	II-3
1.2. MR K 1520-Gerätekonfiguration	II-3
1.3. Liste der Gerätekomponenten K 1520	II-10
<u>2. Struktur des Rechners</u>	
2.1. Blockschaltungen	II-13
2.1.1. Systembusgenerierung	II-13
2.1.2. Speicheranschluß	II-13
2.1.3. Anschluß peripherer Schaltkreise am Systembus und Koppelbus	II-14 II-15
2.2. Bus des MR K 1520	
2.2.1. Kontaktbelegung	II-16
2.2.2. Bezeichnung und Bedeutung der Signale	II-16
2.3. Befehlsliste MRS K 1520	II-18
2.3.1. Befehlszeilenaufbau	II-26
2.3.2. Beschreibung der Mnemonik Q300	II-26
<u>3. Zusammenstellung von Gerätekonfigurationen MR K 1520</u>	II-49
3.1. Rückverdrahtung und Steckeneinheiteneinsätze	II-49
3.2. Prioritätenzuordnung	II-50
3.3. Busweiterleitung	II-51
3.4. Anschluß von Speichern und E/A-Geräten	II-52
3.4.1. Speicheranschlüsse	II-52
3.4.2. E/A-Anschlüsse	II-52
3.5. Mehrrechnerkopplung	II-53
3.6. Stromversorgung	II-53
<u>4. Weitere Dokumentation für den Anwender</u>	II-53

## 1.

### Übersicht über den MR K1520

#### 1.1.

##### Kurzübersicht und technische Daten

###### 1.1.1.

###### Bezeichnung

Mikrorechnersystem K1520 (MRS K1520), bestehend aus dem Mikrorechner K1520 (MR K1520) und den Systemunterlagen K1520 (SUL K1520).

###### 1.1.2.

###### Produzent

Robotron-Elektronik Zella-Mehlis; für Steckeinheiten  
Robotron-Elektronik Riessa.

###### 1.1.3.

###### Kurzcharakteristik

Der Mikrorechner K1520 stellt ein Baugruppensystem dar. Aus einem oder mehreren (bei Mehrrechnerkopplung) Zentrale-Recheneinheit (ZRE)-Modulen, Speichermodulen und Anschlußsteuerungen, die über einen gemeinsamen Rechnerbus zusammenarbeiten, sowie Zusatzbaugruppen werden konkrete Einsatzfälle des MR K1520 zusammengestellt.

Der MR K1520 findet in vielen Geräten der Datenerfassung und Datenverarbeitung Anwendung.

Ein umfangreicher Einsatz erfolgt auch in den Bereichen der Volkswirtschaft, die elektronische Steuerungen großer Flexibilität bereitzustellen haben.

## 1.1.4.

### Systemumfang

MR K1520, in Finalgeräte einzubauender ("OEM"-) Mikrorechner, besteht aus

- Steckeinheitenmoduln
- einem Steckeinheiteneinsatz (als Gefäß), montierbar in EGS-Baugruppeneinsätzen in den Formen:
  - OEM - Single-Board-Rechner (endgeprüft), eine Steckeinheit
  - OEM - Baugruppenverbund (endgeprüft), ein Satz Steckeinheiten
  - OEM - Baugruppenrechner (endgeprüft), als mit Steckeinheiten bestückter Steckeinheiteneinsatz
  - OEM - Mehrrechner-System K1520.

Systemunterlagen K1520 (ab K8 verfügbar)

- Gross-MOS zur Programmaufbereitung auf Rechnern der Familie 4000 und der ESER
- Betriebssysteme
- Basis-MOS.

## 1.1.5.

### Systemprinzipien

Prinzip des minimalen Hardwareaufwandes:

- 8 bit Verarbeitungsbreite
- Für die meisten Schaltkreise eine einzige Speisespannung (+ 5 V)
- Nur für einige wenige Schaltkreise bzw. Funktionsgruppen (PROM, V24-Anschluß) sind die zusätzlichen Spannungen
  - 5 V und  $\pm 12$  V erforderlich.
- Einphasen-TTL-Takt
- Unterbringung sämtlicher Nebenfunktionen wie Systemsteuerung, Prioritätskodierung in den Hauptbausteinen, wodurch mit einem geringen Bausteinsortiment große Universalität erreicht wird.

#### - Bausteinsortiment:

- . Spezifische Bausteine des Systems: Q300 bis Q304
- . Speicherbausteine: Q240, Q250, Q260 u.e.
- . Treiber/Empfänger und Dekoder: SE05, SE12, SE16
- . Bausteine zur Realisierung logischer Netzwerke z.B. PE21, PS75, PS86, PLOO, PS08, PZ54 sowie Bausteine der KME10-Reihe D100 und D200 (PS00, PS03 usw., BE93, BHO4, BH10 usw.).

Hohe Arbeitsgeschwindigkeit durch

- kurzen Befehlszyklus (standardmäßig  $1,6 \mu s$ )
- fortgeschrittene Architektur, z.B. der Registerstruktur mit 22 Registern
- optimalen Befehlssatz mit ca. 150 Befehlen bei 11 verschiedenen Adressierungsarten

Fähigkeiten des Prozessors

- in Richtung 16-Bit-Verarbeitung durch 16-bit-Arithmetikbefehle mit zusätzlichen Adressierweisen  
komplettem zweiten unabhängigen Registersatz einschließlich Akkumulator sowie möglichen Aufbau von 16-bit-Registern in der ZRE  
blockweise Datenbehandlung
- in Richtung Maschinensteuerung durch Einzelbitoperationen in der ZRE und den peripheren Bausteinen.

#### 1.1.6.

##### Einsatzgebiete

Automatische Prozeßsteuerung APS,  
Labor- und Prüffeldautomatisierung LPA,  
Informationsverarbeitungssysteme IVS,  
Wiss.-technische und ökonomische Rechner WTÖR,

Sonstiges, z.B.

- Verkehrsflußsteuerungen, Verkehrsmittelsteuerung
- Haustechniksteuerung
- Programmentwicklungssystem

i.1.7.

Technische Daten

**Aufbau des Mikrorechners**

- Kernstück des Systems ist der Modul ZRE mit  
Zentralprozessor  
Speicher (Standard, 1K Byte RAM, 3K Byte PROM)  
Zeitgeber/Zähler  
Taktgenerator  
Anfangslöschung  
Kopplungsinterface zur Mehrrechnerkopplung  
Die ZRE erzeugt den Systembus.
- Anschluß von Baugruppenmoduln zur modularen Erweiterung der Speicher und Peripherieausrüstung (je nach Erfordernissen des Einsatzfalles) über den Systembus (58pol. Steckverbinder an Rückverdrahtungsleiterplatte).  
Spezifische Verbindungen zwischen einzelnen Moduln erfolgen über den Koppelbus (zweiter 58pol. Steckverbinder an der Rückverdrahtungsleiterplatte).
- Anschluß peripherer Geräte (Lochbandleser usw.) über griffseitige Steckverbinder der Anschlußsteuer-Module K1520 (2 Stück 39pol. Steckverbinder).

**Systembus zur Verbindung der Module gebildet aus**

- 8 bit breitem bidirektionalen Datenbus
- 16 bit breitem Adressenbus zur direkten Speicher- und E/A-Geräteadressierung
- 19 Steuerleitungen als Steuerbus
- 6 Leitungen für Takt und Stromversorgung

- so ausgebildet, daß kundenspezifische und eigene Baugruppen zur Systemaufwertung problemlos anschließbar sind
- geeignet für
  - . prozessorgesteuerte Operationen
  - . DMA-Operationen

Betriebsspannung:  $\pm 5$  V,  $\pm 12$  V

Leistungsparameter: s. Technische Beschreibung ZRE K2521, darüber hinaus:

- Speicheradressierungsbereich erweiterbar auf 128K Byte
- anschließbare Module lt. Liste der Gerätekomponenten K1520 (Pkt. 1.3.)
- Unterbrechungssystem:
  - 1 nicht maskierbarer Interrupteingang
  - 1 maskierbarer Interrupteingang
  - 1 Interrupteingang für direkten Speicherverkehr (DMA) Prioritätszuordnung über zwei Daisy-chain-Ketten.
- Einige ausgewählte Operationszeiten bei folgendem Speicherplatzbedarf

Addiere Datenbyte mit (Speicherplatz HL) und schreibe Ergebnis nach Speicherplatz HL:

12,7  $\mu$ s bei 7 Byte

Umspeichern Datenfeld 256 Worte ( $\approx 16$  bit) aus Bereich A in Bereich B. Länge steht in Adr. C:

4,32 ms bis 15 Byte + Datenbereich

Bitmanipulation: In Abhängigkeit vom Vorzeichen in den Zellen  $AZ_i$  ( $i = 1 \dots 16$ ) ist Bit 1 in der Zelle B zu verändern.

420  $\mu$ s bei 34 Bytes

Konvertierung: Ab Adresse A stehen 4 Ziffern im ISO-7-bit-Code. Sie sind ab Adresse B im BCD-Code abzuspeichern.

78,8  $\mu$ s bei 25 Bytes.

## Umgebungsbedingungen

Einsatzbedingungen gem. TGL 26465: 5/60/30/95/10-1<sub>E</sub>  
(bei Schadstoffkonzentration nach TGL 9200/03, Codesziffer 1 ist der Koppelwert auf 30/80 zu begrenzen).

TKL 3 und LKL 3 nach TGL 26465:

Siehe hierzu auch die Beschreibungen der einzelnen Baugruppen.

## Konstruktiver Aufbau, Einbaubedingungen

Die Konstruktion genügt den Forderungen des EGS bzw. sichert die Einbaufähigkeit in EGS-Gefäße.

### - Steckeinheit

Format: 215 x 170 mm<sup>2</sup>

Art: Zweiebenenleiterplatte

### - Steckraster: 20 mm

### - Steckeinheiteneinsätze

120 mm breit für 5 StE

240 mm breit für 11 StE

steckbar in den EG-Einsätzen des EGS wie einzelne Leiterplatten und aufreihbar bis auf z.B. 480 mm.

## Verwendete indirekte Steckverbinder: (PdAu)

### - System- und Koppelbus

. auf Steckeinheit je eine Steckerleiste 304-58

TGL 29331/03

. in Rückverdrahtung je eine Buchsenleiste 434-58

TGL 29331/03

### - griffseitig Busverstärker und Adapter für Verbindungsleitung

auf Steckeinheit 2 Stück Buchsenleiste 202-58

TGL 29331/03

am Kabel je eine Steckerleiste 102-58 TGL 29331/03

### - griffseitig Anschlußsteuerung für robotron-Geräte

auf Steckeinheit 2 Stück Buchsenleiste 402-39

TGL 29331/04

am Kabel je eine Steckerleiste 322-39 TGL 29331/04

Alle Steckeinheiten sind bei spezieller Anforderung auch mit direktem Steckverbinder ( Leiterkamm) ausrüstbar.

## Zuverlässigkeit

- Für jede OEM-Baugruppe ist der zulässige mittlere Ausfallabstand festgelegt. Daraus werden für jede dieser Baugruppen die Garantiebedingungen abgeleitet
  - Orientierungswert für eine Konfiguration mit
    - ZRE-Modul (3K Byte PROM) 1x
    - 4K Byte stat. RAM 1x
    - 8K Byte PROM 1x
    - Anschlußsteuerung
    - 3 Kanäle Parallelinterface 1x
    - Steckeinheiteneinsatz 1x
- MTBF  $\approx$  15 900 h
- Mittlere Reparaturdauer: 0,5 h (Bedingung: Steckeinheiten-austausch: neue Steckeinheit ist beim Nutzer vorhanden)
  - Mittlerer Fehlfunktionsabstand (ZRE): 10 000 h

## 1.1.8.

### Systemunterlagen

- Betriebssysteme, z.B.:
  - . BS für MR-Entwicklungssystem
  - . Echtzeitsteuerprogrammsystem internspeicherorientiert
  - . Echtzeitsteuerprogrammsystem externspeicherorientiert mit Steuerprogramm, Assembler, Binder/Lader, Editor, Testsystem u.a.
- Sprachen: Assemblersprache, Makrosprache, BASIC
- Wirtsrechnerunterlagen: Cross-Assembler, Cross-Binder  
Cross-Simulations- und Testsystem

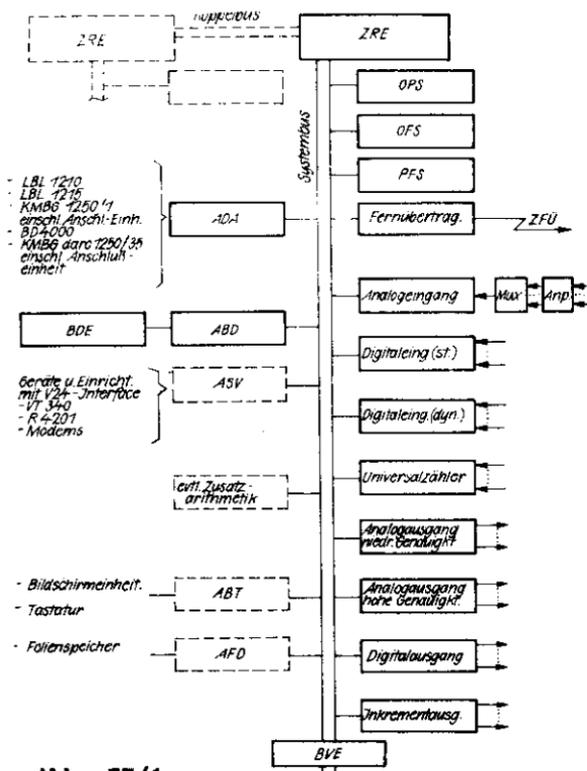
**Cross-Korrekturprogramm  
Cross-Aufbereitungssystem für  
R 4000, R 4200  
Cross-MOS für Rechner des ESER**

**- Basis-Systemunterlagen: E/A-Module**

**Mathematische Standardprogramme  
Konvertierungsprogramm (z.B.  
Festkomma, Gleitkomma)  
Dienst- und Testprogramme**

**1.2.**

**MR K1520 Gerätekonfiguration (Beispiel mit Einbeziehung  
von anwenderspezifischen Baugruppen)**



**Abb. II/1**

## Liste der Gerstekomponenten K 1520

Bezeichnung	Kurzbezeichnung.	Chiffre	Technische Hauptparameter und Bemerkungen
Zentrale Recheneinheit	ZRE	K2521	Mit -Zähler/Zeitgeber - Taktgenerator - Anfangslöschung (1K Byte stat. RAM, bis Parallel-E/A-Interf. 3K Byte EPROM) - Zentralprozessor Q300 - 4K Byte Speicher
		K2522	Wie K2521, aber ohne Taktgenerator/Anfangslöschung
		K2523	Wie K2521, aber ohne Zähler/Zeitgeber
		K2524	Wie K2522, aber ohne Zähler/Zeitgeber
		K2525	Mit - Zähler/Zeitgeber - Taktgenerator - Anfangslöschung - Zentralprozessor Q300 - 6K Byte EPROM
Operativspeicher	OPS	K3520	n-MOS 4K Byte stat. RAM
		K3521	C-MOS 4K Byte stat. RAM
		K3525	n-MOS 16K Byte dyn. RAM
Operativ-/ Festwertspeicher	OPS	K3620	n-MOS 2K Byte stat. RAM/ bis 6K Byte EPROM
		K3621	C-MOS 2K Byte stat. RAM/ bis 6K Byte EPROM
Festwertspeicher	PFS	K3820	bis 16K Byte EPROM
Busverstärker	BVE	K4120	Zur Systemverlängerung und als Adapter für Prüfrechner
Anschlußsteuerung für Folienspeicher	AFS	K5121	Anschluß von max. 4 Floppy-Disk-Laufwerken des Typs MF 3200
Anschlußsteuerung für robotron- Geräte	ADA	K6022	1x Ausgabekanal, 1x Eingabekanal Für Anschluß von Geräten mit SIF 1000

Bezeichnung	Kurzbezeichnung	Chiffre	Technische Hauptparameter und Bemerkungen
Anschlußsteuerung für Bedieneinheit	ABD	K7022	Zum Anschluß der BDE K7622
Bedieneinheit	BDE	K7622	Für Inbetriebnahme und Service
Anschlußsteuer-einheit für V.24	ASV	K8021	2 duplexfähige Kanäle für Schnittstelle V.24 nach CCITT
Steckeinheiten-Einsatz	STS	K0120	120 mm breit, für 5 STE Mit Systembus in Form gedruckter Rückverdrahtung
PROM-Programmier-einrichtung	PPE	K0420	120 mm breit, für 11 STE mit Systembus in Form gedruckter Rückverdrahtung
EPROM-Löschgerät	ELG	K0421	Für Prüfung und Programmierung von PROM's der Typen U555, I8708 bzw. ROM's der Typen U505, I8308
PROM-Aufnahme-einheit	PAE	K0422	Für paralleles Löschen von max. 8 EPROM's
Verbindungsleitung	LTG	K0521	Zum griffseitigen Anschluß an PPE K0420
Adapter für Verbindungsleitung	VLA	K0522	Für griffseitigen Anschluß des BVE K4120 Zur Kopplung des BVE K4120 mit dem Sekundärbus

Anmerkung: Bei Steckeinheiten gilt:  
 Chiffre "Kxxx.00" mit indirektem Steckverbinder  
 Chiffre "Kxxx.05" mit direktem Steckverbinder

## 2.

### Struktur des Rechners

#### 2.1.

#### Blockschaltungen

##### 2.1.1.

#### Systembusgenerierung

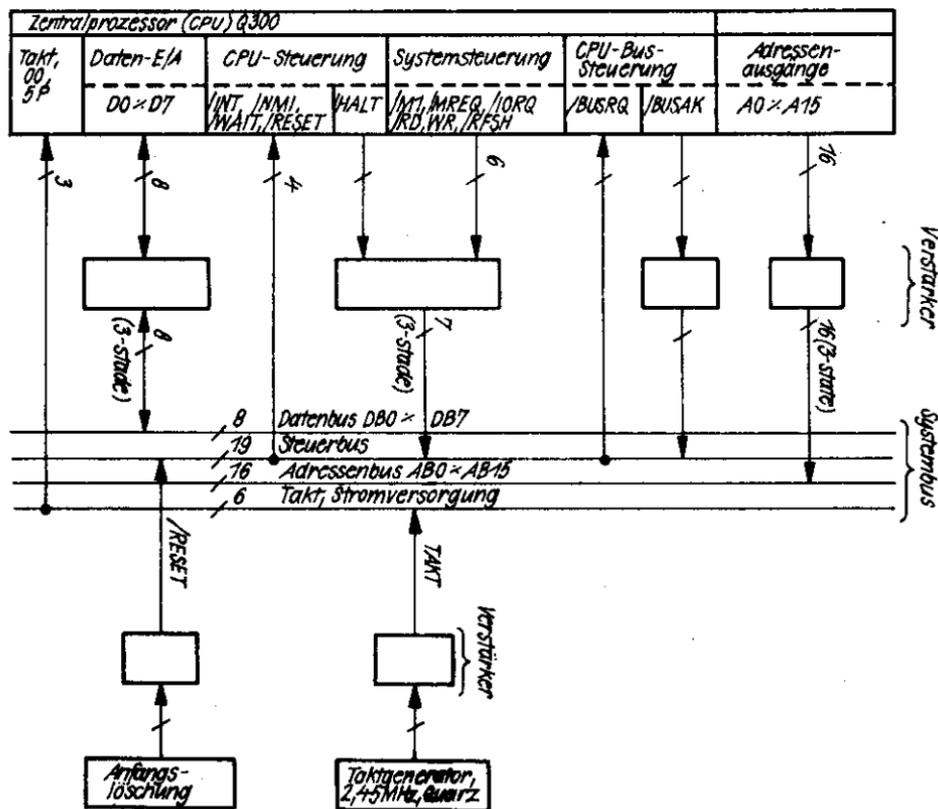


Abb. II/2

## 2.1.2.

### Speicheranschluß an Systembus

Beispiel: 1K Byte RAM, 3K Byte EPROM (auf K2521 bis K2524)

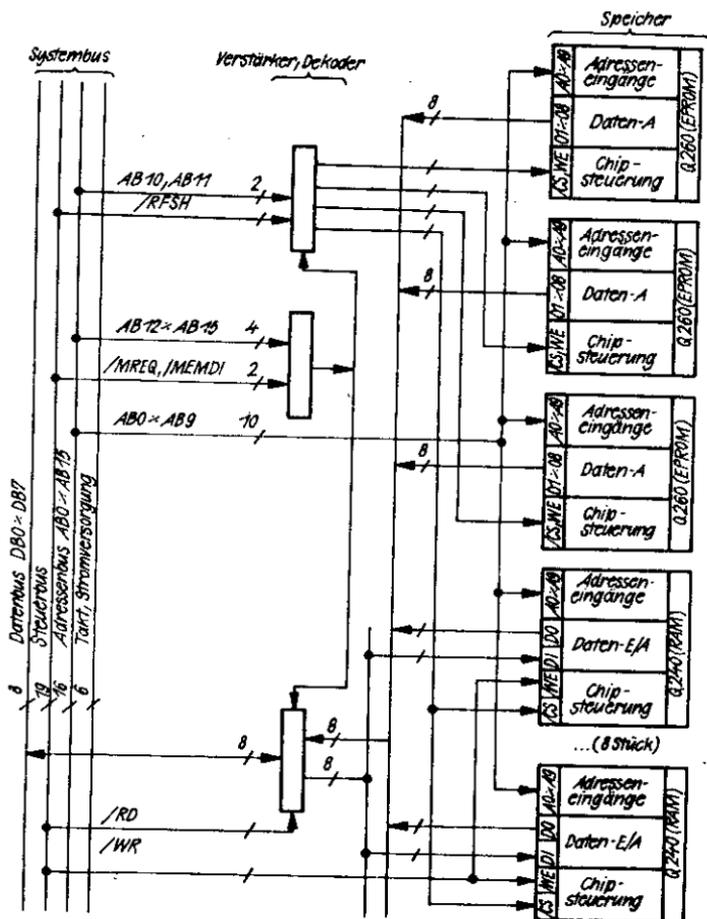
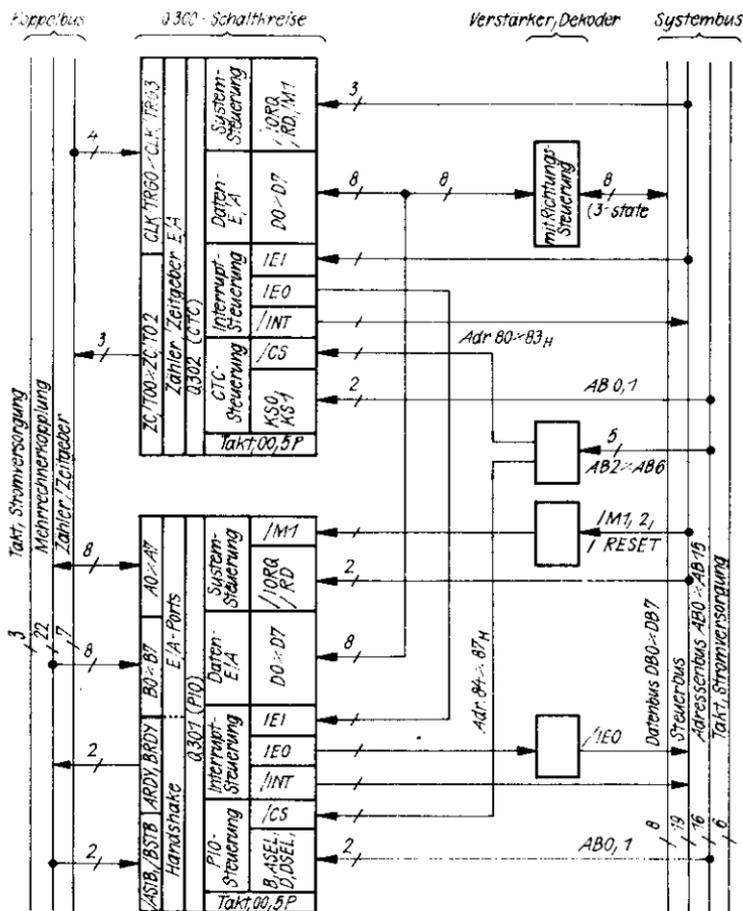


Abb. II/3

## 2.1.3.

### Anschluß peripherer Schaltkreise am Systembus und Koppelbus (auf K2521)



## 2.2.

### Bus des MR K1520

#### 2.2.1.

#### Kontaktbelegung

Systembus			Koppelbus		
Spann-Name	B/C	A	Spann-Name	B/C	A
5P	29	5P	00	29	00
12P	28	12P	00	28	00
/BA1	27	/BA0	12N, 12NR	27	12N, 12NR
/4LT	26	/M1	/1E1	26	/1E0
/RDY	25	/RESH	CLK TRG 0	25	ZC/T00
/IORQ	24	/1LT	CLK TRG 1	24	ZC/T01
/INT	23	/A10	CLK TRG 2	23	ZC/T02
00	22	/001	SUE	22	CLK/TRG 3
00	21	/1AT	/MEMD! 2	21	/MEMD! 1
BUSRQ	20	/RESH	/S.1	20	/RDYAS
AB1	19	/A0	MEMPR	19	MEMAS
AB3	18	AB2	/OPR	18	10AS
AB5	17	AB4	/PASTB	17	/PBSTB
AB7	16	AB6	PA1	16	PA0
(5N)	15	5N	PA3	15	PA2
AB9	14	AB8	PA5	14	PA4
AB11	13	AB10	PA7	13	PA6
AB13	12	AB12	PARDY	12	PBSTB
AB15	11	AB14	PA1	11	PB0
/1E1	10	/1E0	PA3	10	PB2
/MEMD!	9	/MEMRQ	PB5	9	PB4
/RD	8	/NR	PB7	8	PB6
DB0	7	DB1	/1EP	7	UM
DB2	6	DB3	/PRDY	6	/PSTB
DB4	5	DB2	/RESET	5	00
DB6	4	DB1	TAKT0	4	00
5PG	3	5PG	Sondersp. -Inw.-Sign.	3	Sondersp. -Inw.-Sign.
00	2	00	---	2	---
00	1	00	5P	1	5P

Abb. II/5

Erläuterungen zur Kontaktbelegung

1. 12N: - 12 V; 12NR: Rohspannung zur Erzeugung von Sonderspannungen auf der Steckeinheit.
2. Zweite E/A-Prioritätenkette (wahlweise an erste anschließen).
3. Zeitgeber/Zähler-Signale (auf ZRE erzeugt).
4. Spannungsüberwachung (bei CMOS-Speichern).
5. Speichererweiterung über 64K Byte (bei Speichersteckeinheiten).
6. Signal zur Netzein- und Ausschaltung (für Anwendersteckeinheiten).
7. Von EVE K 4120 für den Anschluß des Prüfrechners belegt.
8. Parallel-E/A der ZRE, z.B. für Mehrrechnerkopplung (bei ZRE K2521 bis K2524 belegt).
9. Interrupt Enable Parallel. Signal für externe Beschleunigungsschaltung Interruptprioritätenkette.
10. Sonderspannung oder Anwendersignal.
11. Anstelle der Signale der Parallel-E/A (bei ZRE K 2521 bis K 2524) bei der ZRE K 2525 Signale für den Anschluß einer alphanumerischen Kleinanzeige:  
E/C9 - AB4A, A8 - AB5A, B/C8 - AB6A, A6 - /BUSRQA,  
B/C6 - NUT.
12. Entspricht /BUSAK auf der ZRE.
13. B/C - Bestückungsseite der Leiterplatte,  
A - Lötseite der Leiterplatte.

2.2.2.Bezeichnung und Bedeutung der Signale

Der BUS des MR K 1520 wird durch 2 Bündel Signalleitungen sowie die Leitungen zur Stromversorgung der Baugruppen gebildet, die konstruktiv zwei 58poligen Steckverbindern jeder Steckeinheit zugeordnet sind.

Das erste Leitungsbündel umfaßt die zum Systemaufbau unbedingt erforderlichen Hauptsignale und wird als Systembus bezeichnet. Er bildet die gemeinsame Verbindung zwischen ZRE, Speichern und E/A-Einheiten zum Informationsaustausch zwischen diesen. Er ist für durch die ZRE gesteuerte (prozessorgesteuerte) Operationen und direkten Speicherverkehr (DMA-Operationen) geeignet. An den Bus sind eine ZVE und mehrere DMA-Einheiten anschließbar. Konstruktiv ist er im STS durch eine gedruckte Rückverdrahtung in Form durchgehender Leitungen realisiert. Das zweite Leitungsbündel wird als Koppelbus bezeichnet und umfaßt Signale, die, von der Spezifik der Baugruppen abhängig, vorhanden sind und die Kopplung mehrerer Rechner zu einem Mehrrechnersystem ermöglichen sowie die Zeittakt- und Steuersignale der Echtzeituhr und Stromversorgungs- und Überwachungsleitungen. Seine freien Steckverbinderschlüsse (Pins) können in der Rückverdrahtung zur Herstellung spezifischer Verbindungen zwischen den Steckeinheiten benutzt werden.

Der Systembus des Mikrorechners K 1520 wird durch folgende Leistungsgruppen gebildet:

Leitungsgruppe	Anzahl Pins	Bezeichnung
Datenbus	8	DB0...DB7
Adreßbus	16	AB0...AB15
Steuer- und Kontrollbus	19	/MREQ, /IORQ, /RD, /WR, /RFSH, /M1, /HALT, /BUSRQ, /INT, /NMI, /WAIT, /RDY, /RESET /MEMDI, /IODI, /EI, /IBO, /BAI, /BAO
Takt	1	TAKT
Stromversorgung	14	5P, 12P, 5N, 5PG, 00
	58	

Die Signale besitzen die folgende Bedeutung:

Signal-Name	Signalbedeutung	Aktiv. Pegel	Ltg.-anzahl	Wirkungsrichtung bezogen auf ZRE bzw. DMA	Sonstige Bedingungen
1	2	3	4	5	6
DB0... DB7	Datenbus: Leitungen führen beim Datenaustausch auf dem Bus die Befehls- bzw. Dateninformationen	High = L	8	bidirektional	Am Bus angeschlossene Sender müssen 3-State-Ausgänge besitzen
AB0... AB15	Adreßbus: Leitungen führen die Adresse für Informationsaustausch mit dem Speicher bzw. E/A-Gerät AB0...AB15 sind mit /MREQ als Speicheradresse gültig (64K Byte) AB0...AB7 sind mit /IORQ als E/A-Geräteadresse gültig (256 Eingabe/256 Ausgabeadressen) AB8...AB15 sind mit /IORQ gültig und enthalten bei Ein- und Ausgabebefehlen den Inhalt vom CPU-Register A bzw. B (je nach Befehlsart) bzw. den Inhalt des oberen Bytes des Registers des DMA-Kanals AB0...AB6 sind mit /RFSH als Refreshadresse für das Auffrischen dynamischer RAM gültig.	High = L	16	unidirektional, die Bus-herrschaft besitzende Einheit (z.B. CPU oder DMA-Einheit) ist Sender	- " -

1	2	3	4	5	6
/MREQ	<p><u>Speichertransfergesuch:</u> Signal zeigt an, daß der Adreßbus eine gültige Adresse für eine Speicherlese- bzw. -schreiboperation führt.</p>	Low	1	unidirektional, die Busherrschaft besitzende Einheit (z.B. ZRE oder DMA-Einheit) ist Sender	6 Sender müssen 3-state-Ausgänge besitzen
/IORQ	<p><u>Ein-/Ausgabetransfergesuch:</u> Signal zeigt an, daß der Adreßbus im unteren Byte (AB0...AB7) eine gültige E/A-Geräteadresse führt und die Daten auf AB8...AB15 gültig sind. Das Signal wird von der ZRE auch erzeugt, wenn ein Interruptgesuch vom Prozessor akzeptiert wurde und der neue Befehl bzw. Interruptvektor auf den Datenbus gelegt werden darf (s. /M1)</p>	Low	1	unidirektional, die Busherrschaft besitzende Einheit (z.B. ZRE oder DMA-Einheit) ist Sender	6 Sender müssen 3-state-Ausgänge besitzen
/RD	<p><u>Lesen:</u> Signal zeigt an, daß durch den Prozessor bzw. DMA-Kanal Informationen (Daten oder Befehle) vom Speicher bzw. E/A-Gerät gelesen werden sollen</p>	Low	1	- " -	- " -
/WR	<p><u>Schreiben:</u> Signal zeigt an, daß vom Prozessor bzw. der DMA-Einheit gültige Daten auf den Datenbus gelegt wurden, die im Speicher einzutragen bzw. vom E/A-Gerät zu übernehmen sind</p>	Low	1	- " -	- " -

1	2	3	4	5	6
/RFSH	<p><u>Auffrischen:</u> Signal zeigt an, daß die unteren 7 Bit des Adresbusses eine Refresh-Adresse zum Auffrischen dyn. RAM bilden. In Verbindung mit /MRBQ sollte dieses Signal benutzt werden, jeweils eine Refresh-Leseoperation durchzuführen.</p>	Low	1	<p>unidirektional, die Pusherscheft besitzt (z.B. ZRE) kann Sender sein</p>	<p>Sender müssen 3-state-Ausgänge besitzen</p>
/M1	<p><u>Befehlslesesyklus:</u> Signal zeigt an, daß der laufende Prozessorkyklus ein Befehlslesesyklus des auszuführenden Befehls ist. In Verbindung mit dem Signal /IORQ zeigt es an, daß ein Interruptgesuch akzeptiert wurde und der Interruptvektor auf den Datenbus zu legen ist.</p>	Low	1	- " -	- " -
/HALT	<p><u>Prozessor-Halt:</u> Das Signal zeigt an, daß sich der Prozessor im Halt-Zustand befindet und zur weiteren Arbeit auf einen Interrupt wartet.</p>	Low	1	- " -	- " -
/BUSRC	<p><u>Gesuch auf direkten Speicherverkehr:</u> Das Signal zeigt dem Prozessor an, daß ein Gesuch auf direkten Speicherverkehr durch eine DMA-Einheit gestellt wurde. Das Signal besitzt bezgl. der Prozessorunterbrechung höchste Priorität.</p>	Low	1	<p>Sammelleitung, ZRE ist Empfänger</p>	<p>Sender müssen open-Kollektor-Stufen besitzen.</p>

1	2	3	4	5	6
/INT	<p><u>Maskiertes Unterbrechungsgesuch:</u> Signal kennzeichnet ein Unterbrechungsgesuch eines peripheren Gerätes an den Prozessor. Unmaskiertes Unterbrechungsgesuch:</p> <p><u>Signal kennzeichnet ein Unterbrechungsgesuch an den Prozessor, Es besitzt höhere Priorität als /INT und wird unabhängig vom Zustand des prozessor-internen Interrupt-Enable-FF akzeptiert.</u></p> <p>(Diese Leitung sollte vorzugsweise für Netzausfallinterrupt benutzt werden).</p>	Low	1	Sammelleitung, ZRE ist Empfänger	Sender müssen Open-Kollektor- Stufen besitzen
/INMI		Low	1	- " -	- " -
/WAIT	<p><u>Warten:</u> Signal zeigt dem Prozessor an, daß der Speicher bzw. das S/A-Gerät nicht für einen Datenaustausch "bereit" sind. (Der Prozessor tritt solange in einen Wartezustand ein, wie das Signal aktiv ist).</p>	Low	1	Sammelleitung, ZRE oder DMA- Einheit ist Empfänger	- " -
/RDY	<p><u>Bereit:</u> Signal zeigt auf dem Bus an, daß der angesprochene Speicher oder das angesprochene S/A-Gerät am Bus vorhanden ist und für Lese- oder Schreiboperationen zur Verfügung steht.</p>	Low	1	Sammelleitung, auswertende Funktionsein- heit (Buszeit- überwacher, Steuerung der Übertragungs- richtung o.ä.) ist Empfänger	- " -

1	2	3	4	5	6
/RESET	<p><u>Rücksetzen:</u> Signal dient als zentrales Rücksetzsignal im Rechner.</p>	Low	1	Sammelleitung, alle Funktions-einheiten sind Empfänger	6 Sender müssen Open-Kollektor-Stufen besitzen
/MEMDI	<p><u>Speichersperrung:</u> Das Signal dient der Sperrung aller Speichermodule für Lese- und Schreiboperationen. Die Signale /MREQ und /M1 werden davon nicht beeinflusst. Das Signal wird bei Simulation des Speichers durch die BDS bzw. einen externen Speicher benutzt.</p>	Low	1	Sammelleitung, Speichereinheiten sind Empfänger	6 Sender am Bus müssen Open-Kollektor-Stufen besitzen
/IODI	<p><u>E/A-Gerätesperrung:</u> Das Signal dient der Sperrung des E/A-Systems und verhindert die automatische Eingabe von Interrupt-Adressen bzw. -Be-fehlen.</p> <p>Die Signale /IORQ und /M1 werden davon nicht beeinflusst. Das Signal wird bei der Simulation des E/A-Systems durch die BDS bzw. E/A-Simulatoren und für die Handeingabe von Interruptadressen bzw. -Befehlen verwendet.</p>	Low	1	Sammelleitung, E/A-Einheiten sind Empfänger	- " -
/IBI	<p><u>Interrupt-Freigabe-Eingang:</u> Das Signal kennzeichnet, daß sich die Funktionseinheiten mit der höheren Priorität nicht im Interrupt-Behandlungszustand befinden oder bei Interruptanerkennung kein Interrupt anfordert.</p>	Low	1	unidirektional	siehe hierzu Pkt. 3.2.

1	2	3	4	5	6
/IBO	<p><u>Interrupt-Freisgabe-Ausgang:</u> Bedeutung wie /IEI, jedoch mit Einbeziehung der vorliegenden Steckeinheit. Die Leitung ist direkt mit /IEI der nachfolgenden STB zu verbinden.</p>	Low	1	unidirektional	siehe hierzu Pkt. 3.2.
/BAI	<p>Anerkennung des direkten Speicherverkehrs (<u>Eingang/Ausgang</u>): Die Signale BAI und RAO bilden am Bus eine prioritätsbestimmende Kette zur Durchschaltung des Signale BUSAK. Dabei bildet BAI das Eingangssignal (BUSAK-Input) und RAO (BUSAK-Output) das weitergeleitete Anerkennungssignal am Ausgang der Steckeinheit. BUSAK ist ein von der ZRE erzeugtes Signal, mit dem sie anzeigt, daß BUSRQ akzeptiert wurde und Datenbus, Adressbus und 3-state-Steueransgänge in den hochohmigen Zustand geschaltet sind.</p>	Low	1		siehe /IEI und /IBO
TAKT	<p><u>Systemtakt:</u> Die zugeordnete Leitung führt den zentralen Systemtakt. Er entspricht dem Prozessgrundtakt und attack den Busteilnehmern zur zeitlichen Synchronisation interner Vorgänge zur Verfügung.</p>	TTL	1	unidirektional, nur ein Sender zulässig	

### 2.3.

#### Befehlsliste MRS K 1520 (Beschreibung der Assemblersprache Q300)

##### 2.3.1.

##### Befehlszeilenaufbau

- Symbolische Adressen

Symbolische Adressen können max. fünf Zeichen lang sein. Zugelassen sind dabei Buchstaben und Ziffern, die linksbündig eingegeben sind. Das erste Zeichen muß ein Buchstabe sein. Abgeschlossen wird die symbolische Adresse durch einen Doppelpunkt.

- Operationsfeld

Das Operationsfeld enthält die Befehlsmnemonik oder den Pseudobefehl.

- Operandenfeld

Das Operandenfeld enthält den oder (durch Komma getrennt) die Operanden. Es wird durch Tabulator oder mindestens ein Leerzeichen eröffnet.

- Kommentarfeld

Das Kommentarfeld beginnt mit einem Semikolon, Zugelassen sind max. 61 Zeichen zusammen mit dem Operandenfeld.

- Zeilenabschluss

Die Befehlszeile wird mit CR LF oder NL abgeschlossen.

##### 2.3.2.

##### Beschreibung der Mnemonik Q300

<u>Symbole</u>	<u>Bedeutung</u>
C	Carry-Flag
Z	Zero-Flag
S	Signum-Flag
F/V	Paritäts- oder Überlauf-Flag
	Logische Operationen beeinflussen das Flag

Symbole	Bedeutung
	durch Parität des Ergebnisses P. Arithmetische Operationen beeinflussen das Flag durch Überlauf des Ergebnisses V.
H	Half-Carry-Flag H=1, wenn die Addition (Subtraktion) einen Übertrag (Borgen) in das (vom) 5. Bit des Akkumulators liefert.
N	Additions-/Subtraktions-Flag N=1, wenn die vorhergehende Operation eine Subtraktion war.
M	Der durch (HL) adressierte Speicherplatz; dafür kann auch (HL) geschrieben werden.
PC	Programmzähler
IX, IY	Indexregister (16 Bit) zur Adressierung von Datenbereichen.
SP	Stackpointer H-Teil     1. Register L-Teil     2. Register
AF	Akkumulator und Flags
(IX+d), (IY+d)	Speicherplatz, der durch Indexregister und Verschiebung adressiert wird. Bei der Berechnung der Adresse wird der Wert des Indexregisters nicht verändert.
•	Flag wird nicht beeinflusst
X	Flag unbestimmt oder nicht sinnvoll auswertbar
↑	Flag wird entsprechend dem Ergebnis der Operation gesetzt
①	P/V=0, wenn BC=0, sonst P/V=1
②	Z=1, wenn A=M, sonst Z=0
③	Z=1, wenn B=0, sonst Z=0
←	wird gelesen nach
( )	Inhalt des Registers oder Speicherplatzes
IFF	Inhalt des Interruptfreigabe-Flip-Flops in der CPU

Mnemonic	Symb. Operationen	Flags				Op.-Kode				Machtigkeiten	Bemerkung			
		C	Z	P/V	S	N	H	76	543			210		
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
LD R <sub>1</sub> , R <sub>2</sub>	R <sub>1</sub> ← R <sub>2</sub>	.	.	.	.	.	.	01	R <sub>1</sub>	R <sub>2</sub>	1	1	4	
LD R, n	R ← n	.	.	.	.	.	.	00	R	110	2	2	7	
LD R, M	R ← M	.	.	.	.	.	.	01	R	110	1	2	7	
LD R, (IX+d)	R ← (IX+d)	.	.	.	.	.	.	11 011	101		3	5	19	
								01 R	110					
									d					
LD R, (IY+d)	R ← (IY+d)	.	.	.	.	.	.	11 111	101		3	5	19	
								01 R	110					
									d					
LD M, R	M ← R	.	.	.	.	.	.	01 110	R		1	2	7	
LD (IX+d), R	(IX+d) ← R	.	.	.	.	.	.	11 011	101		3	5	19	
								01 110	R					
									d					
LD (IY+d), R	(IY+d) ← R	.	.	.	.	.	.	11 111	101		3	5	19	
								01 110	R					
									d					
LD M, n	M ← n	.	.	.	.	.	.	00 110	110		2	3	10	
LD (IX+d), n	(IX+d) ← n	.	.	.	.	.	.	11 011	101		4	5	19	
								00 110	110					
									d					
									n					

R, R<sub>1</sub>, R<sub>2</sub> CPU-Register

000 B  
001 C  
010 D  
011 E  
100 H  
101 L  
111 A

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
LD (IY+d), n	(IY+d) ← n	.	.	.	.	.	.	11 111 101 00 110 110	↔ d ↔ ↔ n ↔	4	5	19		
LD A, (BC)	A ← (BC)	.	.	.	.	.	.	00 001 010	↔ n ↔	1	2	7		
LD A, (DE)	A ← (DE)	.	.	.	.	.	.	00 011 010	↔ n ↔	1	2	7		
LD A, (nn)	A ← (nn)	.	.	.	.	.	.	00 111 010	↔ n ↔ ↔ n ↔	3	4	13		
LD (BC), A	(BC) ← A	.	.	.	.	.	.	00 000 010	↔ n ↔	1	2	7		
LD (DE), A	(DE) ← A	.	.	.	.	.	.	00 010 010	↔ n ↔	1	2	7		
LD (nn), A	(nn) ← A	.	.	.	.	.	.	00 110 010	↔ n ↔ ↔ n ↔	3	4	13		
LD A, I	A ← I	.	↑ IFF ↓	0	0	11 101 101 01 010 111	↔ n ↔	2	2	9				
LD A, R	A ← R	.	↑ IFF ↓	0	0	11 101 101 01 011 111	↔ n ↔	2	2	9				
LD I, A	I ← A	.	.	.	.	.	.	11 101 101 01 000 111	↔ n ↔	2	2	9		
LD R, A	R ← A	.	.	.	.	.	.	11 101 101 01 001 111	↔ n ↔	2	2	9		
LD dd, nn	dd ← nn	.	.	.	.	.	.	00 d d 0 0 0 1	↔ n ↔ ↔ n ↔	3	3	10		

dd Reg.-Pair  
00 BC  
01 DE  
10 HL  
11 SP

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
LD IX,nn	IX $\leftrightarrow$ nn	.	.	.	.	.	.	11 011 101 00 100 001			4 4 4	4 4 4	14	
								$\leftrightarrow$ R $\leftrightarrow$						
								$\leftrightarrow$ R $\leftrightarrow$						
LD IV,nn	IV $\leftrightarrow$ nn	.	.	.	.	.	.	11 111 101 00 100 001			4 4 4	4 4 4	14	
								$\leftrightarrow$ R $\leftrightarrow$						
								$\leftrightarrow$ R $\leftrightarrow$						
LD HL,(nn)	H $\leftrightarrow$ (nn+1) L $\leftrightarrow$ (nn)	.	.	.	.	.	.	00 101 010			3 5 16	3 5 16		
								$\leftrightarrow$ R $\leftrightarrow$						
								$\leftrightarrow$ R $\leftrightarrow$						
LD dg,(nn)	dg $\leftrightarrow$ (nn+1) d $\leftrightarrow$ L $\leftrightarrow$ (nn)	.	.	.	.	.	.	11 101 101 01 dd1 011			4 6 20	4 6 20		
								$\leftrightarrow$ R $\leftrightarrow$						
								$\leftrightarrow$ R $\leftrightarrow$						
LD IX,(nr)	IX $\leftrightarrow$ (nn+1) IX $\leftrightarrow$ L $\leftrightarrow$ (nn)	.	.	.	.	.	.	11 011 101 00 101 010			4 6 20	4 6 20		
								$\leftrightarrow$ R $\leftrightarrow$						
								$\leftrightarrow$ R $\leftrightarrow$						
LD IX,(nn)	IX $\leftrightarrow$ (nn+1) IX $\leftrightarrow$ L $\leftrightarrow$ (nn)	.	.	.	.	.	.	11 111 101 00 101 010			4 6 20	4 6 20		
								$\leftrightarrow$ R $\leftrightarrow$						
								$\leftrightarrow$ R $\leftrightarrow$						
LD (nr),HL	(nn+1) $\leftrightarrow$ H (nr) $\leftrightarrow$ L	.	.	.	.	.	.	00 100 010			3 5 16	3 5 16		
								$\leftrightarrow$ R $\leftrightarrow$						
								$\leftrightarrow$ R $\leftrightarrow$						
LD (nr),dd	(nn+1) $\leftrightarrow$ dd $\leftrightarrow$ H (nr) $\leftrightarrow$ dd $\leftrightarrow$ L	.	.	.	.	.	.	11 101 101 01 dd0 011			4 6 20	4 6 20		
								$\leftrightarrow$ R $\leftrightarrow$						
								$\leftrightarrow$ R $\leftrightarrow$						
LD (nr),IX	(nn+1) $\leftrightarrow$ IX $\leftrightarrow$ H (nr) $\leftrightarrow$ IX $\leftrightarrow$ L	.	.	.	.	.	.	11 011 101 00 100 010			4 6 20	4 6 20		
								$\leftrightarrow$ R $\leftrightarrow$						
								$\leftrightarrow$ R $\leftrightarrow$						

	2	3	4	5	6	7	8	9	10	11	12	13	14	15
LD (nn), IY	(nn+1) (nn)	IY <sub>H</sub> IY <sub>L</sub>	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	11 111 101 ← R →	11 111 101 ← R →	4	6	20	
LD SP, HL	SP ← HL		. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	11 111 001 ← R →	11 111 001 ← R →	1	1	6	
LD SP, IX	SP ← IX		. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	11 011 101 11 111 001	11 011 101 11 111 001	2	2	10	
LD SP, IY	SP ← IY		. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	11 111 101 11 111 001	11 111 101 11 111 001	2	2	10	
PUSH qq	(SP-2) ← qq <sub>L</sub> (SP-1) ← qq <sub>H</sub> SP ← SP-2		. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	11 qq0 101	11 qq0 101	1	3	11	qq Reg.-Pair 00 BC 01 DB 10 HL 11 AP
PSH IX	(SP-2) ← IX <sub>L</sub> (SP-1) ← IX <sub>H</sub> SP ← SP-2		. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	11 011 101 11 100 101	11 011 101 11 100 101	2	4	15	
PUSH IY	(SP-2) ← IY <sub>L</sub> (SP-1) ← IY <sub>H</sub> SP ← SP-2		. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	11 111 101 11 100 101	11 111 101 11 100 101	2	4	15	
POP qq	qq <sub>H</sub> ← (SP+1) qq <sub>L</sub> ← (SP) SP ← SP+2		. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	11 qq0 001	11 qq0 001	1	3	10	
POP IX	IX <sub>H</sub> ← (SP+1) IX <sub>L</sub> ← (SP) SP ← SP+2		. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	11 011 101 11 100 001	11 011 101 11 100 001	2	4	14	
POP IY	IY <sub>H</sub> ← (SP+1) IY <sub>L</sub> ← (SP) SP ← SP+2		. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	11 111 101 11 100 001	11 111 101 11 100 001	2	4	14	
EX DE, HL	DE ↔ HL		. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	11 101 011	11 101 011	1	1	4	

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
EXAF	AF ↔ AP	.	.	.	.	.	.	00	001	000	1	1	4	Anstausch des Registerpaares AP mit dem Hilfsregisterpaar AP,
EXX	BC ↔ BC'	.	.	.	.	.	.	11	011	001	1	1	4	Anstausch der Registerpaare BC, DB, HL mit den Hilfsregisterpaaren BC', DB', HL'.
	DE ↔ DE'	.	.	.	.	.	.	.	.	.	.	.	.	
	HL ↔ HL'	.	.	.	.	.	.	.	.	.	.	.	.	
EX (SP), HL	H ↔ (SP+1)	.	.	.	.	.	.	11	100	011	1	5	19	
	L ↔ (SP)	.	.	.	.	.	.	.	.	.	.	.	.	
EX (SP), IX	IX ↔ (SP+1)	.	.	.	.	.	.	11	011	101	2	6	23	
	IX' ↔ (SP)	.	.	.	.	.	.	11	100	011	.	.	.	
EX (SP), IY	IY ↔ (SP+1)	.	.	.	.	.	.	11	111	101	2	6	23	
	IY' ↔ (SP)	.	.	.	.	.	.	11	100	011	.	.	.	
LDI	(DE) ↔ M	.	x	↓	x	0	0	11	101	101	2	4	16	Lade den durch Registerpaar DE adressierten Speicherplatz mit Inhalt des durch HL adressierten Speicherplatzes, erhöhe DE und HL um 1 und erniedrige BC um 1.
	DE ↔ DE+1							10	100	000				
	HL ↔ HL+1													
	BC ↔ BC-1													
LDIR	(DE) ↔ M	.	x	0	x	0	0	11	101	101	2	5	21	wenn BC ≠ 0
	DE ↔ DE+1							10	110	000	2	4	16	wenn BC = 0
	HL ↔ HL+1													
	BC ↔ BC-1													
LDD	wiederholen bis BC=0	.	x	↑	x	0	0	11	101	101	2	4	16	
	(DE) ↔ M													
	DE ↔ DE-1													
	HL ↔ HL-1													

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
LDDR		(DE) ← M DR ← DR-1 HL ← HL-1 BC ← DE-1 Wiederholen bis BC=0	.	x	0	?	0	0	11	101	101	2	5	21	wenn BC=0 wenn BC=0
CPI		A ← M HL ← HL+1 BC ← BC-1	Ⓜ	↑	↑	x	1	x	11	101	101	2	4	16	
CPIR		A ← M HL ← HL+1 BC ← BC-1 Wiederholen bis A=M oder BC=0	Ⓜ	↑	↑	x	1	x	11	101	101	2	5	21	wenn BC=0 und A=M wenn BC=0 oder A=M
CPD		A ← M HL ← HL-1 BC ← BC-1	Ⓜ	↑	↑	x	1	x	11	101	101	2	4	16	
CPDR		A ← M HL ← HL-1 BC ← BC-1 Wiederholen bis A=M oder BC=0	Ⓜ	↑	↑	x	1	x	11	101	101	2	5	21	wenn BC=0 und A=M wenn BC=0 oder A=M
ADD r		A ← A+r	↑	↑	v	↑	0	↑	10	000	r	1	1	4	r CPU-Register 000 B 001 C 010 D 011 E 100 H
ADD n		A ← A+n	↑	↑	v	↑	0	↑	11	000	110	2	2	7	

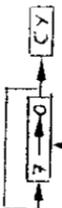
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
ADD M	$A \leftarrow A+M$	↑	↑	V	↑	0	↑	10	000	110	1	2	7	101 L 111 A
ADD (IX+d)	$A \leftarrow A+(IX+d)$	↑	↑	V	↑	0	↑	11	011	101	3	5	19	
ADD (IX+d)	$A \leftarrow A+(IX+d)$	↑	↑	V	↑	0	↑	11	111	101	3	5	19	
ADC S	$A \leftarrow A+S+CY$	↑	↑	V	↑	0	↑	10	000	110				
SUB S	$A \leftarrow A-s$	↑	↑	V	↑	1	↑		010					
SBC S	$A \leftarrow A-s-CY$	↑	↑	V	↑	1	↑		011					
AND S	$A \leftarrow A-s$	0	↑	P	↑	0	1		100					
OR S	$A \leftarrow A \vee s$	0	↑	P	↑	0	0		110					
XOR S	$A \leftarrow A \oplus s$	0	↑	P	↑	0	C		101					
CMP S	A-S	↑	↑	V	↑	1	↑		111					
INC r	$r \leftarrow r+1$	.	↑	V	↑	0	↑	00	r	100	1	1	4	
INC M	$M \leftarrow M+1$	.	↑	V	↑	0	↑	00	110	100	1	3	11	
INC (IX+d)	$(IX+d) \leftarrow (IX+d)+1$	.	↑	V	↑	0	↑	11	011	101	3	6	23	
INC (IX+d)	$(IX+d) \leftarrow (IX+d)+1$	.	↑	V	↑	0	↑	11	111	101	3	6	23	

s ist entweder r, n, M, (IX+d), (IY+d) analog den ADD-Befehlen

Die umrendeten Bits ersetzen 000 im ADD-Satz.



1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
IMØ		.	.	.	.	.	.	.	11 101 101 01 000 110	2	2	2	8	Ausführen eines Befehls, der über Datenbus geliefert wird. Befehl kommt vom unterbrechenden Gerät.
IM1		.	.	.	.	.	.	.	11 101 101 01 010 110	2	2	2	8	Bei Interrupt-Ausführung v. d. RST-PAAR
IK2		.	.	.	.	.	.	.	11 101 101 01 011 110	2	2	2	3	Interrupt durch indirekten Aufruf auf beliebigem Speicherplatz. Bei Interrupt wird ein indirekter Call ausgeführt, wobei der höherwertige Teil der Adresse aus f, der niederwertige Teil von Datenbus kommt.
AND HL,dd	HL←HL&dd	↑	.	.	.	.	.	.	dd	3	11			dd Reg.-Paar 00 BC
ADC HL,dd	HL←HL+dd +CY	↑	↑	V	↑	0	x	11 101 101 01 001 010	101	2	4	15		01 DE 10 HL 11 SP
SEC HL,dd	HL←HL-dd	↑	↑	V	↑	1	x	11 100 101 00 000 010	101	2	4	15		
ADD IX,pp	IX←IX+pp	↑	.	.	.	.	.	.	11 011 101 00 pp1 001	2	4	15		pp Reg.-Paar 00 BC 01 DE 10 IX (IX)
ADD IX,pp	IX←IX+pp	↑	.	.	.	.	.	.	11 111 101 00 pp1 001	2	4	15		11 SP

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
INC dd	dd ← dd+1	•	•	•	•	•	•	00	dd0	011	1	1	6	
INC IX	IX ← IX+1	•	•	•	•	•	•	11	011	101	2	2	10	
INC IY	IY ← IY+1	•	•	•	•	•	•	11	111	101	2	2	10	
DEC dd	dd ← dd-1	•	•	•	•	•	•	00	dd1	011	1	1	6	
DEC IX	IX ← IX-1	•	•	•	•	•	•	11	011	101	2	2	10	
DEC IY	IY ← IY-1	•	•	•	•	•	•	11	111	101	2	2	10	
RLCA		•	•	•	•	•	•	00	000	111	1	1	4	Linkrotation des Akkumulatorinhalts
RLA		•	•	•	•	•	•	00	010	111	1	1	4	Linkrotation des Akkumulatorinhalts durch Carry-Flag
RRCA		•	•	•	•	•	•	00	001	111	1	1	4	Rechtsrotation des Akkumulatorinhalts
RRA		•	•	•	•	•	•	00	011	111	1	1	4	Rechtsrotation des Akkumulatorinhalts durch Carry-Flag

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
RLC r		↑↑	P	↑	0	0	11	001	011	000000	r	2	2	8	Linksrotation des Registers r
RLC M		↑↑	P	↑	0	0	11	001	011	000000	110	2	4	15	r CPU-Register B 000 C 001 D 010
RLC (IX+d)		↑↑	P	↑	0	0	11	011	101	11001011	d	4	6	23	E 100 H 101 L 111 A
RLC (IY+d)		↑↑	P	↑	0	0	11	111	101	11001011	d	4	6	23	
RL s		↑↑	P	↑	0	0	00	000	110						
RRC s		↑↑	P	↑	0	0	00	001							
RR s		↑↑	P	↑	P	P	P	011							
SLA s		↑↑	P	↑	0	0	00	100							
SRA s		↑↑	P	↑	0	0	00	101							
SRL s		↑↑	P	↑	0	0	00	111							

Format und Zustände wie bei RLC-Befehlen, s ist entweder r, M, (IX+d) oder (IY+d) analog den RLC-Befehlen Austausch von 000 im Op.-Code mit den jeweiligen umrandeten Bits

	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
RLD	A $\begin{array}{ c c c } \hline 2 & 4 & 3 & 0 \\ \hline \end{array}$	$\uparrow$	$\downarrow$	P	$\uparrow$	0	0	11	01	101	101	2	5	18	Links- und Rechtsrotation der Tetraden des Akkumulatorinhalts und des durch HL adressierten Speicherplatzes (die obere Tetrade wird nicht mitrotiert).
RRD	A $\begin{array}{ c c c } \hline 2 & 4 & 3 & 0 \\ \hline \end{array}$	$\uparrow$	$\downarrow$	P	$\uparrow$	0	0	11	01	101	101	2	5	18	
BIT b,r	$Z \leftarrow r_b$	$\cdot$	$\downarrow$	X	X	0	1	11	001	011	2	2	8	BIT setzt Z-Flag mit dem durch b ausgewählten registierten Bit des Registers r, des Speicherinhalts M oder des Inhalts des durch IX+d bzw. IY+d adressierten Speicherplatzes	
BIT B,M	$Z \leftarrow M_b$	$\cdot$	$\downarrow$	X	X	0	1	11	001	011	2	3	12		r CPU-Register
BIT b,(IX+d)	$Z \leftarrow (IX+d)_b$	$\cdot$	$\downarrow$	X	X	0	1	11	011	101	4	5	20	000 B	
BIT b,(IY+d)	$Z \leftarrow (IY+d)_b$	$\cdot$	$\downarrow$	X	X	0	1	11	111	101	4	5	20	001 C	
SET b,r	$r_b \leftarrow 1$	$\cdot$	$\cdot$	$\cdot$	$\cdot$	$\cdot$	$\cdot$	$\cdot$	01	b	110			010 D	
SET b,M	$M_b \leftarrow 1$	$\cdot$	$\cdot$	$\cdot$	$\cdot$	$\cdot$	$\cdot$	$\cdot$	11	001	011	2	2	8	011 E
SET b,(IX+d)	$(IX+d)_b \leftarrow 1$	$\cdot$	$\cdot$	$\cdot$	$\cdot$	$\cdot$	$\cdot$	$\cdot$	11	001	011	2	4	15	100 H
									11	b	110				101 L
									11	b	110				111 A
															b Bit
															000 0
															001 1
															010 2
															011 3
															100 4
															101 5
															110 6
															111 7

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
SET b, (IX+d)	(IX+d) <sub>b</sub> ← 1	.	.	.	.	.	.	11	111	101	4	6	23	SET setzt das durch b ausgewählte Bit des Re- gisters r, des Speicher- inhalts M oder des In- halts des durch IX+d bzw. IX+d adressierten Speicherplatzes auf 1
RES b, s	S <sub>b</sub> ← 0	.	.	.	.	.	.	10						Flegs und Takte analog den SGT-Befehlen Austausch von <u>11</u> im Op.-Kode mit <u>10</u>
JMP nn	PC ← nn	.	.	.	.	.	.	11	000	011	3	3	10	Unbedingter Sprung
JPNZ nn	PC ← nn, falls Beding. erf. sonst nächster Befehl	.	.	.	.	.	.	11	000	010	3	3	10	Sprung, wenn Z-Flag=0
JPZ nn	" -	.	.	.	.	.	.	11	001	010	3	3	10	Sprung, wenn Z-Flag=1
JFNC na	" -	.	.	.	.	.	.	11	010	010	3	3	10	Sprung, wenn C-Flag=0
JPC nn	" -	.	.	.	.	.	.	11	011	010	3	3	10	Sprung, wenn C-Flag=1
JFPO nn	" -	.	.	.	.	.	.	11	100	010	3	3	10	Sprung, wenn P-Flag=0

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
JPPF nn	PC←nn, Falls Beding. erf., sonst nächster Be- fehl	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	11 101 010 ←n ←n	010 ←n ←n	3	3	10	Sprung, wenn P-Flag=1
JPP nn	- " -	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	11 110 010 ←n ←n	010 ←n ←n	3	3	10	Sprung, wenn S-Flag=0
JPM nn	- " -	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	11 111 010 ←n ←n	010 ←n ←n	3	3	10	Sprung, wenn S-Flag=1
JR e	PC←PC+e	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	00 011 000 ←e-2	000 ←e-2	2	3	12	Sprung zu der um die Verschiebung e grösse- ren Speicheradresse
JRC e	PC PC+e, falls Bed. erf., sonst nächster Befehl	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	00 111 000 ←e-2	000 ←e-2	2	3	12	Sprung, wenn C-Flag=1
JRNC e	- " -	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	00 110 000 ←e-2	000 ←e-2	2	2	7	sonst
JRZ e	- " -	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	00 101 000 ←e-2	000 ←e-2	2	2	7	sonst
JRNZ e	PC←PC+e falls Bed. erf., sonst nächster Befehl	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	00 100 000 ←e-2	000 ←e-2	2	3	12	Sprung, wenn Z-Flag=0
JMP M	PC←M	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	. . . . .	11 101 001	001	1	1	4	

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
JMP (IX)	$PC \leftarrow IX$	.	.	.	.	.	.	11 011 101 11 101 001		2	2	2	8	
JMP (IY)	$PC \leftarrow IY$	.	.	.	.	.	.	11 111 101 11 101 001		2	2	2	8	
DJNZ e	$B \leftarrow B-1$ $PC \leftarrow PC+e$ , falls B=0 falls B=0 nächster Befehl	.	.	.	.	.	00 010 000 $\leftarrow e-2 \rightarrow$			2	3	13		Sprung, wenn B=0
CALL nn	$(SP-1) \leftarrow PCH$ $(SP-2) \leftarrow PCL$ $PC \leftarrow nn$	.	.	.	.	.	11 001 101 $\leftarrow n \rightarrow$ $\leftarrow n \rightarrow$			3	5	17		
CANZ nn	$(SP-1) \leftarrow PCH$ $(SP-2) \leftarrow PCL$ $PC \leftarrow nn$ , falls Beding. erf., sonst nächster Befehl	.	.	.	.	.	11 000 100 $\leftarrow n \rightarrow$ $\leftarrow n \rightarrow$			3	5	17		<u>bedingte Unterprogramm-</u> <u>auffrife</u> Falls die Bedingung erfüllt ist, wird der augenblickliche PC im Stapel zwischengespeich- ert und das Programm ab Adresse nn fortge- setzt.
CAZ nn	- " -	.	.	.	.	.	11 001 100 $\leftarrow n \rightarrow$ $\leftarrow n \rightarrow$			3	5	17		Bei nicht erfüllter Bedingung erfolgt Ab- arbeitung des näch- sten Befehls
CANZ nn	- " -	.	.	.	.	.	11 010 100 $\leftarrow n \rightarrow$ $\leftarrow n \rightarrow$			3	5	17		Für UP-Aufruf gilt bei Angabe von Byte, Masch. Zyklen, Taktten die erste Zeile, sonst die zweite Zeile

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
CAC nn	- " -	.	.	.	.	.	.	11 011 000	←-H→	3	5	17		
CAPO nn	- " -	.	.	.	.	.	.	11 100 100	←-H→	3	5	17		
CAPE nn	- " -	.	.	.	.	.	.	11 101 100	←-H→	3	5	17		
CAP nn	siehe andere bedingte UP-Aufrufe	.	.	.	.	.	.	11 110 100	←-H→	3	5	17		
CAM nn	- " -	.	.	.	.	.	.	11 111 100	←-H→	3	5	17		
RET	PC←(SP) PCH←(SP+1) SP←SP+2	.	.	.	.	.	.	11 001 001	←-H→	1	3	10		Unbedingte Rückkehr zur Aufrufstelle
RNZ	PC←(SP) PCH←(SP+1) falls Beding. erf., sonst nächster Befehl	.	.	.	.	.	.	11 000 000	←-H→	1	3	11	5	Falls die Bedingung erfüllt ist, wird der im Stapel zwischen- gespeicherte PC in den PC zurückgeladen, und das Programm kehrt so an die Aufrufstelle zurück.
RZ	- " -	.	.	.	.	.	.	11 001 000	←-H→	1	3	11	5	Bei nicht erfüllter Bedingung erfolgt Abarbeitung des nächsten Befehls
RWC	- " -	.	.	.	.	.	.	11 010 000	←-H→	1	3	11	5	Für die erfüllte Bedingung gilt bei Angabe von Byte, Masch., Zyklen, Takten die erste Zeile, sonst die zweite Zeile

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
RC	- " -	.	.	.	.	.	.	11	011	000	1	3	11	
RPO	PC <sub>L</sub> ← (SP) PC <sub>H</sub> ← (SP+1), falls Beding. erf., sonst nächster Befehl	.	.	.	.	.	.	11	100	000	1	3	11	
RPE	PC <sub>L</sub> ← (SP) PC <sub>H</sub> ← (SP+1), falls Beding. erf., sonst nächster Befehl	.	.	.	.	.	.	11	101	000	1	3	11	
RP	- " -	.	.	.	.	.	.	11	110	000	1	3	11	
RM	- " -	.	.	.	.	.	.	11	111	000	1	3	11	
RTI	Rückkehr vom Interrupt	.	.	.	.	.	.	11	101	101	2	4	14	
RETW	Rückkehr vom nichtmaskier- ten Interrupt	.	.	.	.	.	.	11	101	101	2	4	14	
RST p	(SP-1) ← PC <sub>H</sub> (SP-2) ← PC <sub>L</sub> PC <sub>H</sub> ← 0 PC <sub>L</sub> ← p SP ← SP-2	.	.	.	.	.	.	11	t	111	1	3	11	t
														p
														00H
														001
														010
														011
														18H
														100
														20H
														101
														28H
														110
														30H
														111
														38H

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
IN n	A ← (n)	•	•	•	•	•	•	•	11	011	011	2	3	11	Für alle I/O-Befehle gilt: Toradresse über A0...A7 des Adreß-Bus Daten vom (Input) zum (Output) ausgewählten Tor über A8...A15 des Adreß-Bus
IN r	r ← (C)	•	↑	↑	0	↑	11	101	101	101	2	3	12		
IN F	Setzt nur Flags	•	↑	↑	P	↑	11	101	101	000	2	3	12		
IN I	M ← (C) B ← B-1 HL ← HL+1	•	↑	↑	X	X	1	X	11	101	101	2	4	16	
IN IR	M ← (C) B ← B-1 HL ← HL+1 wiederholen bis B=0	•	1	X	X	1	X	11	101	101	2	5	21	wenn B≠0 wenn B=0	
IN D	M ← (C) B ← B-1 HL ← HL-1	•	③	↑	X	X	1	X	11	101	101	2	4	16	
IN DR	M ← (C) B ← B-1 HL ← HL-1 wiederholen bis B=0	•	1	X	X	1	X	11	101	101	2	5	21	wenn B≠0 wenn B=0	
OUT n	(n) ← A	•	•	•	•	•	•	•	11	010	011	2	3	11	

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
OUT r	(C) ← r	.	.	.	.	.	.	11	101	101	2	3	12	
OUTI	(C) ← M B ← B-1 HL ← HL+1	③ ↓	X	X	1	X	11	101	101	101	2	4	16	
OTIR	(C) ← M B ← B-1 HL ← HL+1 wiederholen bis B=0	.	1	X	X	1	X	11	101	101	2	5	21	wenn B≠0 wenn B=0
OUTD	(C) ← M B ← B-1 HL ← HL-1	③ ↑	X	X	1	X	11	101	101	101	2	4	16	
OTDR	(C) ← M B ← B-1 HL ← HL-1 wiederholen bis B=0	.	1	X	X	1	X	11	101	101	2	5	21	wenn B≠0 wenn B=0

### 2.3.3.

#### Zugelassene Operanden

<u>Operanden</u>	<u>Bemerkungen</u>
<u>nn kann sein:</u>	
1. $\pm$ ADR	
2. $\pm$ ADR $\pm$ ADR	
<u>n kann sein:</u>	
$\pm$ Byte	
e kann sein:	- $126 \leq e \leq 129$
d kann sein:	- $128 \leq d \leq 127$
<u>Erläuterungen:</u>	
ADR kann sein:	
1. $0 \leq \text{ADR} \leq 65535$	Dezimalwert
2. $0Q \leq \text{ADR} \leq 177777Q$	Oktalwert, Kennzeichnung mit Q oder 0
3. $0H \leq \text{ADR} \leq \text{OFFFHH}$	Hexadezimalwert, 1. Zeichen muß eine Ziffer sein, gekennzeichnet zum Abschluß mit H
4. $0B \leq \text{ADR} \leq 1111111111111111B$	Binärwert, Kennzeichnung mit B
5. Symbol XXXXX	
6. Externes Symbol YY.XXXXX	(PN und Symbol)
7. Befehlszähler #	
8. Literal 'X'	X ist ein druckbares Zeichen aus dem Zeichenvorrat nach TGL 23207/1 (außer ')
<u>Byte kann sein:</u>	
1. nn mit $0 \leq nn \leq 255$	
2. Untere 8 Bit eines 16 Bit-Operanden L (nn)	
3. Obere 8 Bit eines 16 Bit-Operanden H (nn)	

### 2.3.4.

#### Pseudobefehle

Mnemonic	Operand	Operationsbeschreibung
PN	XX	Programmname (2 Stellen gewertet, Rest Kommentar)
ORG	absolute Adresse nn	Adressiert den absoluten Programmmanfang, $0 \leq X \leq 64K$
EQU	nn oder n	Definiert Symbol einmalig
DB	n oder 'XX...X'	Definiert 1-Byte-Konstante der Zeichenkette (ISO-Code)
DA	nn	Definiert 2-Byte-Konstante in der Reihenfolge L(nn), H(nn)
TITL	'XX...X'	Anweisung zum Druck der Überschrift
EJEC	-	Anweisung zur Seitenschaltung
MACR	Parameterliste	Makrodefinition } als Erweiterung vorgesehen, aber noch nicht festgelegt
ENDM	-	
IF	nn oder n	
ENIF	-	bedingte Assemblierung
BER	nn	reserviert nn Speicherplätze
DEF	nn oder n	Definiert Symbol bis zur nächsten Definition

### 3.

#### Zusammenstellung von Gerätekonfigurationen MR K1520

##### 3.1.

##### Rückverdrahtung und Steckeinheiteneinsätze

Die Steckeinheitenmoduln können in den Steckeinheiteneinsätzen STS KO120 und KO121 eingeschoben sein. Sowohl komplette Steckeinheiteneinsätze als auch einzelne Steckeinheitenmodule sind beliebig kombiniert in spezifische Gefäße der Anwender einsetzbar, z.B. in die 480 mm breiten EGS-Baugruppeneinsätze.

Bei den STS sind sowohl die Steckverbinderanschlüsse der Rückverdrahtung des Koppelbusses als auch die des Systembusses mit langen Wickelstiften versehen, so daß auf den gedruckten Rückverdrahtungsleiterplatten beliebige Verbindungen zusätzlich gewickelt werden können. Beim Systembus (untere Rückverdrahtungsleiterplatte mit den Steckern X1) besteht im allgemeinen keine Notwendigkeit von Zusatzbewicklungen, da alle Signalanschlüsse durch die gedruckten Leiterzüge miteinander verbunden sind.

Beim Koppelbus sind nur die Masse- und Stromversorgungsanschlüsse gedruckt ausgeführt. Alle weiteren Verbindungen sind zu wickeln. Der Koppelbus ist somit speziell auch für die Verbindung der Anschlüsse anwenderspezifischer Steckeinheiten geeignet.

Bei Verwendung von spezifischen Gefäßen durch den Anwender sind durch letztere auch die Rückverdrahtungen zu realisieren, in die die Rückverdrahtungen der STS integriert sein können. 2 STS können zusammengeschraubt und die Busleitungen durch Wickelverbindungen zwischen den benachbart liegenden Randsteckverbinderanschlüssen rückverdrahtungsseitig geführt werden. Auf diese Weise können Einschubgefäße für die Aufnahme von 16, 22 usw. Steckeinheiten geschaffen werden.

### 3.2.

#### Prioritätenzuordnung

Jede Steckeinheit ist zunächst an eine beliebige Stelle im Steckeinheiteneinsatz steckbar. Jedoch bestimmt die Entfernung, in der diese Steckeinheit von derjenigen, für die die höchste Priorität festgelegt wurde, gesteckt wird, die Priorität der Anforderung. Diese beinhaltet die Bedienung der Interruptanforderung (IEI-IEO-daisy-chain-Kette) und die Anforderung der Busherrschaft (BAI-BAO-daisy-chain-Kette). Je geringer der Abstand zur Bezugssteckeinheit, um so höher ist die Priorität.

Die Speichersteckeinheiten (OPS, OFS, PFS) zählen dabei nicht mit, da auf ihnen die Daisy-chain-Ketten gebrückt sind. Sind mehrere Ein- und Ausgabe-Schaltkreise (z.B. PIO, CTC) auf einer Steckeinheit, dann ist die interne Reihenschaltung der Prioritäts-Ein/Ausgänge zu beachten. Auf der ZRE-Steckeinheit K 2521 hat der CTC-Schaltkreis die höhere Interrupt-Priorität gegenüber dem PIO-Schaltkreis. Diesen beiden E/A-Schaltkreisen kann über Wickelverbindungen auf der ZRE-Steckeinheit die höchste Priorität zugeordnet werden, oder der IEI-Eingang des CTC kann an den Systembus zwecks Festlegung einer anderen Priorität geführt werden.

Die Anzahl der in der Interrupt-Prioritätskette hintereinanderschaltbaren E/A-Schaltkreise hängt von deren spezifischen Daten ab. Es sind die Daten der Baueinheitshersteller für den Zeitbedarf durchlaufender O-L- oder L-O-Sprünge zu berücksichtigen. Des Weiteren sind auf den Steckeinheiten "Look-Ahead-Schaltungen" vorhanden, die längere Ketten ermöglichen, nicht belegte Steckplätze sind entweder mit Brücken IEI-IEO- und BAI-BAO (Kurzschlußstecker oder in Rückverdröhtung gewickelt) zu versehen oder alle bündig hinten anzuordnen.

### 3.3.

#### Busweiterleitung

Der Systembus ist in der Rückverdrahtung bis zu einer Länge von 800 mm aufbaubar (wobei Stichleitungen an den Steckeinheiten unter 100 mm lang sein sollen).

Durch Zwischenschaltung eines Busverstärkers K 4120 kann der Systembus belastungsmäßig um maximal 2,5 m verlängert werden. Das Verlängerungskabel (Flachbandkabel BY 19 x 0,3m TGL 24451/20) ist mit Steckverbinder (102-58, TGL 29331/03) in den griffseitigen Anschluß des BVE, der in der konstruktiven Einheit des 1. Busses (Primärbus) steckt, zu führen. Die andere Seite des Kabels ist über eine Adapter-Steckeinheit auf einen Steckplatz des Gefäßes (z.B. STS), das den 2. Bus (Sekundärbus) realisiert, zu stecken.

Der Sekundärbus erhält als ganzes die Priorität des Steckplatzes des BVE im Primärbus. Damit die Prioritätenkette im Sekundärbus geschlossen wird, sind die Anschlüsse IEO und BAO des letzten besetzten Steckplatzes (oder des letzten Steckplatzes im Gefäß, wenn an den freien Steckplätzen analog vorgehendem Pkt. 3.2. die Brücken IEI-IEO und BAI-BAO realisiert werden) zurück an die Anschlüsse IEI und IEO des ersten (besetzten) Steckplatzes dieses Sekundärbusses zu führen, z.B. mit einer gewickelten Drahtbrücke.

Nachdem die Prioritätskette des Sekundärbusses durchlaufen ist, pflanzt sich der Prioritätendurchlauf über IEO bzw. BAO des Steckplatzes des BVE im Primärbus weiter fort.

Beim Datentransfer mit dem Prozessor können die Laufzeiten durch den Aufbau eines Shake-Hand-Spiels mit den Bus-Signalen /RDY und /WAIT berücksichtigt werden. Das obliegt dem Anwender. Unter diesen Bedingungen ist es möglich, auch ein sternförmiges (mehrere BVE in einem Bus) System mit mehr als 2 Bussen aufzubauen.

Flachleitungsverkabelungen, die Informationssignale enthalten, sind aus Gründen der Funkentstörung innerhalb des Gefäßes zu führen oder es sind geschirmte Leitungen zu verwenden.

### 3.4.

#### Anschluß von Speichern und E/A-Geräten

##### 3.4.1.

##### Speicheranschlüsse

Der Adreßbus ABO ... AB 15 ermöglicht die Adressierung eines 64K Byte-Speichers, der nach Belieben aus OPS-, OFS- und PFS-Steckeinheiten zusammengestellt werden kann. Durch anwenderspezifische (evtl. aufgeteilte) Ansteuerung der Signale /MEMDI 1 und /MEMDI 2 des Koppelbusses kann der Speicheradressierraum erweitert werden.

Die Verwendung vorgesehener Kodierbrücken auf den Speichersteckeinheiten für /MEMDI 1 und /MEMDI 2 ermöglicht es, die Speicherkapazität auf diese Weise einfach auf 128K Byte zu erweitern.

##### 3.4.2.

##### E/A-Anschlüsse

Die Bits ABO ... AB7 des Adreßbusses sind mit /IORQ als E/A-Geräteadresse gültig, wodurch 156 Eingabeadressen oder 256 Ausgabeadressen realisiert werden können.

Die Adreßbits ABO und AB1 werden für Funktionen der peripheren Schaltung verwendet, z.B. beim Q301 das Bit ABO für die Portauswahl und das Bit AB1 für die C/D-Auswahl.

Das Bit AB2 ist für Subadressen auf der Steckeinheit eingesetzt. Z.B. besitzt auf der ZRE-Steckeinheit (K 2521) der Q302 die Adressen 80 ... 83<sub>H</sub> und der Q301 die Adressen 84 ... 87<sub>H</sub>.

### 3.5.

#### Mehrrechnerkopplung

Die Kopplung mehrerer Rechnerkonfigurationen MR K 1520 erfolgt durch Verbindungen der in Pkt. 2.2.1. dieser Beschreibung bezeichneten Anschlüsse des Koppelbusses. Falls diese Verbindungen nicht innerhalb der Rückverdrehung eines 480 mm breiten EGS-Baugruppeneinsatzes bleiben, sind die sich aus der verwendeten Leitungslänge ergebenden evtl. Zusatzmaßnahmen, z.B. Einschaltung von Verstärkern, vom Anwender spezifisch zu realisieren.

Es sind insgesamt 4 Rechnerkonfigurationen über die Mehrrechnerkopplung koppelbar: 1 Master und 3 Slave.

Jede Rechnerkonfiguration kann für sich ein vollständiger MR K 1520 mit an einem Systembus angeschlossenen Speichersteckeinheiten, Anschlußsteuerungen usw. sein.

### 3.6.

#### Stromversorgung

Siehe Technische Beschreibung der einzelnen Funktionsmodule.

### 4.

#### Weitere Dokumentation für den Anwender

Die vorliegende Betriebsdokumentation des MR K 1520 wird ergänzt durch:

- Beschreibungen der Schaltkreise Q300, Q301, Q302, Q304
- Sprachbeschreibung Assemblersprache K 1520  
(VEB Robotron Zentrum für Forschung und Technik/E47)

- Fachbereichsstandard TGL 37271, System Mikrorechner, Linieninterface, Bus K 1520
- Integrierte Schaltkreise, Schlüsselliste, 1.15.951600.0/60, Kombinat Robotron, ZFT
- Fachbereichsstandard TGL 26176 "Unipolarer Mikroprozessorschaltkreis U 880 D"

Diese Dokumentationen sind gesondert zu beschaffen.

III.

Technische Beschreibung

Mehrrechnersystem MS 1

## Inhaltsverzeichnis

	Seite
1. Voraussetzungen	III-3
2. Kopplungsprinzip	III-3
3. Kopplungsbedingungen	III-3
4. Funktionelle Wirkungsweise	III-5
5. Initialisierung, Programmierung	III-5
6. Stromversorgung	III-7

# Mehrrechnersystem MS1

## 1.

### Voraussetzungen

Das Mehrrechnersystem MS1 basiert auf den Baugruppen ZRE K2521 bis ZRE K2524 und STS KO120 bzw. STS KO121. Grundlage für die Technische Beschreibung des MS1 bilden die Technischen Beschreibungen des MR K1520 Dok.-Nr. 1.11.004650.0/61, und der ZRE Dok.-Nr. 1.12.51701.0/61.

## 2.

### Kopplungsprinzip

Die Kopplung von zwei bis max. vier MR K1520 auf der Basis eines Master-Slave-Prinzips zu einem Mehrrechnersystem MS1 erfolgt über den Schaltkreistyp Q301 und eine spezielle Koppelelektronik. Beides ist auf den Steckeinheiten ZRE K2521 bis ZRE K2524 realisiert. Die Kopplungsart ermöglicht einen bidirektionalen Datenaustausch zwischen dem Master und einem Slave und erfolgt auf der Basis gegenseitiger Interrupts.

Außerhalb der Kopplungsphase können alle MR K1520 als autonome Rechner arbeiten.

## 3.

### Kopplungsbedingungen

Prinzipiell besteht die Möglichkeit, jede der ZRE K2521 bis ZRE K2524 als Master oder Slave zu verwenden. Die Verdrahtung der Rechner als Master oder Slave wird auf der ZRE durch den Anwender durch Wickelverdrahtung realisiert und ist im Punkt 3.5.1. Tabelle der Technischen Beschreibung der ZRE dargestellt.

Mit Realisierung dieser Verbindungen arbeitet der Schaltkreis Q301 als Koppelbaustein für die Mehrrechnerkopplung und kann nicht anderweitig verwendet werden.

Zur problemlosen Sicherung der Taktversorgung sind zwei verschiedene Realisierungen möglich:

#### Normalfall

Im Mehrrechnersystem MS1 wird nur eine ZRE K2521 oder K2523 eingesetzt und die anderen gekoppelten ZRE (K2522 oder K2524) erhalten von dieser über den Koppelbus die Taktversorgung mit Wickelverdrahtung.

#### Variation

Eine beliebige Anzahl von Rechnern des Mehrrechnersystems kann durch die Verwendung von weiteren ZRE K2521 oder K2523 eine autonome Taktversorgung realisieren. Von diesen Rechnern darf keine Verbindung der Taktversorgung mit anderen Rechnern auf dem Koppelbus bestehen.

Die Kopplung der Einzelrechner zu einem Mehrrechnersystem erfolgt durch Wickelverdrahtung zwischen den Kontakten gleicher Nummer der Steckverbinder X2 der ZRE Plätze. Die notwendigen Spannungsnamen zur Realisierung der Mehrrechnerkopplung und die konstruktive Zuordnung sind im Punkt 3.5.2.2. der Technischen Beschreibung der ZRE angegeben.

Bei Realisierung der Verdrahtung der o.g. Signalspannungen als Eindrahtleitung in einem Kabelbaum beträgt die max. zulässige Länge zwischen Master und dem letzten Slave, gemessen an den Steckverbinderkontakten, 1 m. Für die Verdrahtung der logischen Null (Masse) sind zwischen jedem Einzelrechner wenigstens 2 Leitungen in Wickeltechnik vorzusehen.

Sind längere Verdrahtungen als 1 m notwendig, dann sind verdrehte Leitungen zu verlegen (100 Verdrillungen pro m), wobei die Masseleitungen beidseitig mit Masse zu verbinden sind.

Hiermit sind Längen von 10 m zwischen Master und dem letzten Slave unter der Voraussetzung möglich, daß die verdrehten Leitungen durch Kabelbaum realisiert werden und für jeden Rechner eine autonome Taktversorgung gewählt wird (K2521 oder K2523). Bei Anwendung einer zentralen Taktversorgung für das MS1 wird die max. Entfernung zwischen Master und letztem Slave durch die max. zulässige Länge der Taktversorgung bestimmt (s. Technische Beschreibung der ZRE).

Generell muß sichergestellt sein, daß keine Aufspaltung der verdrehten Leitung auftritt, jede verdrehte Leitung bis an den Informationskontakt des Steckverbinders X2 des ZRE Platzes geführt und von da ab die Masseleitung zum gewählten Nullkontakt gelegt wird. Für den Abschluß der Masseleitungen sind die Koppelbus-Nullkontakte des ZRE-Steckplatzes und die benachbarten Steckverbinder X2 zu verwenden.

#### 4.

##### Funktionelle Wirkungsweise

Das Funktionsprinzip des Mehrrechnersystems in Verbindung mit der Koppel elektronik ist in der Technischen Beschreibung der ZRE Punkt 3.5.3.2. beschrieben.

#### 5.

##### Initialisierung, Programmierung

Das Mehrrechnersystem MS1 erfordert folgende grundlegende Initialisierung der Schaltkreise Q301:

Steuerwort	Kodierung			
	Master	Slave		
		0	1	2
Interruptvektor Port A/Port B	entsprechend Programm			
Betriebsartensteuerwort <sup>x</sup> Port A	0F <sub>H</sub> 4F <sub>H</sub>	4F <sub>H</sub> 0F <sub>H</sub>		
Betriebsartensteuerwort Port B	0F <sub>H</sub>	0F <sub>H</sub>		
Bit-E/A-Steuerwort Port B	EO <sub>H</sub>	DD <sub>H</sub>	BD <sub>H</sub>	7D <sub>H</sub>
Interruptsteuerwort Port A	entsprechend Progr.-Beding. 07 <sub>H</sub> oder 87 <sub>H</sub>			
Interruptsteuerwort Port B	entsprechend Progr.-Beding. aber Maskenbit = 1 (XXX10111)			
Interruptmaskenwort Port B	1F <sub>H</sub>	FB <sub>H</sub>	F7 <sub>H</sub>	EF <sub>H</sub>

<sup>x</sup> Es ist programmtechnisch zu garantieren, daß stets nur ein MR K1520 im Mode 0 (Ausgabe) programmiert ist!

Dem Schaltkreis Q301 in der ZRE wurden die festen Adressen 0084<sub>H</sub> ... 0087<sub>H</sub> zugeordnet.

0084<sub>H</sub>    Daten Port A  
0085<sub>H</sub>    Daten Port B  
0086<sub>H</sub>    Steuerworte Port A  
0087<sub>H</sub>    Steuerworte Port B

Bei der Erstellung von Programmen für das Mehrrechnersystem sind die logisch-funktionellen Bedingungen des Schaltkreises Q301 zu berücksichtigen.

6.

### Stromversorgung

Beim Mehrrechnersystem MS1 ist kein erhöhter Strombedarf gegenüber einem Einzelrechner MR K1520 erforderlich. Die Angaben zur Stromversorgung sind den jeweiligen Technischen Beschreibungen der Steckeinheiten zu entnehmen.

Bei Einsatz des MS1 in ein Erzeugnis müssen alle im Zusammenhang mit der Erdung stehenden Probleme auch aus HF-technischer Sicht exakt gelöst sein.

IV.

Montage- und Inbetriebnahmevorschrift K 1520

## Inhaltsverzeichnis

	Seite
1. Verpackung und Transport	IV-3
1.1. Grundsätzliche Hinweise	IV-3
1.2. Verpacken	IV-4
1.2.1. Eingesetzte Verpackungsmittel	IV-4
1.2.2. Arbeitsabläufe des Verpackungsprozesses	IV-5
1.2.3. Markierung	IV-10
1.3. Hinweise zum Transport	IV-10
1.4. Hinweise zum Entpacken	IV-11
2. Montagevorbereitung	IV-11
2.1. Allgemeines	IV-11
2.2. Stromversorgung	IV-12
2.3. Berührungsschutz und Bezugspotential	IV-12
2.4. Technische Maßnahmen beim Einsatz des MR K 1520	IV-13
2.5. Maßnahmen zur Unterdrückung von Störeinflüssen	IV-14
3. Montage	IV-15
3.1. Montage des STE-Einsatzes	IV-15
3.2. Plazieren der Steckeinheiten	IV-16
4. Inbetriebnahme des MR K 1520	IV-17
4.1. Inbetriebnahme des STE-Einsatzes	IV-17
4.2. Inbetriebnahme der Grundfunktionen des Rechners	IV-18
4.3. Inbetriebnahme von Teilbussystemen	IV-18
4.4. Inbetriebnahme von Speichersteckeinheiten	IV-19
4.5. Inbetriebnahme von Anschlußsteeuereinheiten	IV-19
4.6. Anschluß von Ergänzungsbaugruppen	IV-20
4.7. Arbeit mit der Testroutine	IV-20
4.7.1. Funktion	IV-20
4.7.2. Anleitung zur Abarbeitung der Testroutine	IV-21

# 1.

## Verpackung und Transport

### 1.1.

#### Grundsätzliche Hinweise

Elektronische Geräte zur Datenverarbeitung sind hochempfindliche Erzeugnisse. Deshalb sind bei Transport, Umschlag und Lagerung folgende Grundsätze zu beachten:

- Bis zum Einsatzort nur in der Versandverpackung transportieren und lagern
- Grobe Stöße und Erschütterungen vermeiden
- Vor Feuchtigkeit und Staub schützen
- Starke Temperaturstürze vermeiden.

Im einzelnen gelten die Festlegungen lt. TGL 26 465, Transportklasse (TKL) 3 und Lagerklasse (LKL) 3.

Wichtigste Angaben daraus sind folgende Grenzwerte für die Lagerung und den Transport bzw. für die Verpackungsräume:

Für unverpackte Geräte und Baugruppen wird empfohlen:

Lufttemperatur:	+ 15 °C bis + 35 °C
Rel. Luftfeuchte:	35 % bis 65 %
Part. Wasserdampfdruck:	max. 15 Torr

Für verpackte Geräte und Baugruppen:

Transport- und Lagerungs- temperatur:	$t_{\min} = + 50 \text{ }^{\circ}\text{C}$
	$t_{\max} = + 50 \text{ }^{\circ}\text{C}$

Bei den Verpackungs- und Transportarbeiten ist insbesondere auf die Einhaltung folgender ASAO/ABAO zu achten:

ASAO 1	Allgemeine Vorschriften
ABAO 17/2	Allgemeine Bestimmungen über Transport und Lagerung
ABAO 741	Arbeiten mit Polystyrol schaumfähig und Polystyrolschaum

Bei der Lagerung des Transportgutes ist Feuchtigkeit zu vermeiden. Der Brennbarkeit von Polystyrol muß bei der Lagerung ebenfalls Rechnung getragen werden.

Der Schutzgüternachweis für die Verpackungs- und Transporttechnologie liegt beim Entwickler vor.

## 1.2.

### Verpacken

#### 1.2.1.

#### Eingesetzte Verpackungsmittel

Lfd. Nr.	Gerät Benennung/Chiffre	Anzahl	Bauunterlagen-Nr. der Verpack.	Äußere Abmess. in mm.
1	STE-Einsatz K 0120	1	1.77.021390.0/01	330 200 265
2	STE-Einsatz K 0121	1	1.77.021391.0/01	340 340 270
3	BDE K 7622.01	1	1.77.021392.0/01	660 410 390
4	BDE K 7622.00	1	1.77.021393.0/01	575 360 310
5	STE 215 x 170 (Einzelverpackung)	1	1.77.021394.0/01	250 210 50
6	STE 215 x 170 (Einzelverpackung)	8	0.8155 7116.0/00	340 340 270

## 1.2.2.

### Arbeitsabläufe des Verpackungsprozesses

#### 1.2.2.1.

#### Arbeitsabläufe für Geräte

1. gilt für  
STE-Einsatz; BDE K 0120;  
K 0121; K 7622.00;  
K 7622.01

- WP-Faltschachtel  
(ausgeschäumt)  
und mit PE-Trenn-  
folie (angeschäumt)

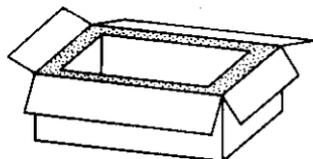


Abb. IV/1

2. gilt für  
BDE K 7622.00; K 7622.01

#### Netzkabel

- Stecker in Unicorn-  
papier einschlagen
- Folienbeutel über-  
stülpen und am Kabel  
mit Prenaband befe-  
stigen
- Kabel bündeln und an  
2 Stellen mit Pren-  
band abbinden

#### Flachbandkabel

- bei K 7622.01  
2 Stk. Kabel über-  
einander in die Ver-  
tiefung der WPF-  
Schachtel legen
- bei K 7622.00 das  
entspr. Kabel in die  
jew. Seitenaussp.  
legen

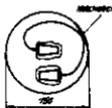


Abb. IV/2

3. gilt für

STE-Einsatz K 0120; K 0121;  
BDE K 7622.00; K 7622.01

- Gerät von Hand in entsprechende WPF-Schachtel einsetzen
- mit angeschäumter PE-Trennfolie abdecken



Abb. IV/3

4. gilt für

STE-Einsatz K 0120; K 0121

- Schaumpolystyrolstreifen einlegen

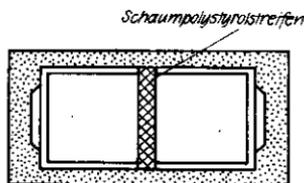
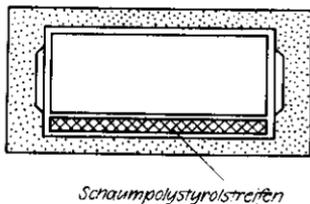


Abb. IV/4

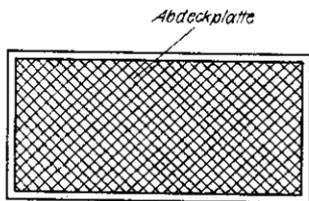
5. gilt für  
BDE K 7622.00



- Schaumpolystyrol-  
streifen einlegen

Abb. IV/5

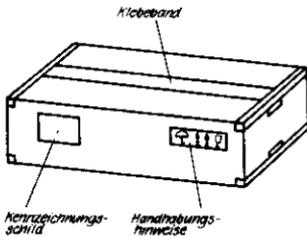
6. gilt für  
STE-Einsatz  
K 0120; K 0121;  
BDE K 7622.00; K 7622.01



- Abdeckplatten aus  
Schaumpolystyrol  
auflegen

Abb. IV/6

7.



- WPF-Schachtel schließen
- mit Verpackungs-  
klebeband als  
Doppel-T-Verschluss  
verkleben
- Kennzeichnungs-  
schilder und Hand-  
habungshinweise  
aufkleben

Abb. IV/7

### 1.2.2.2.

#### Arbeitsabläufe für STE

### 1.2.2.2.1.

#### Einzelverpacken von STE

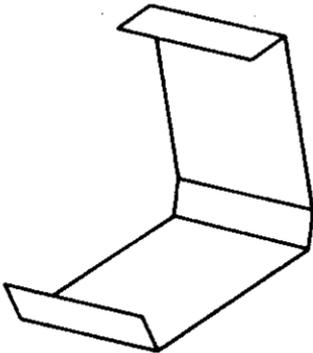
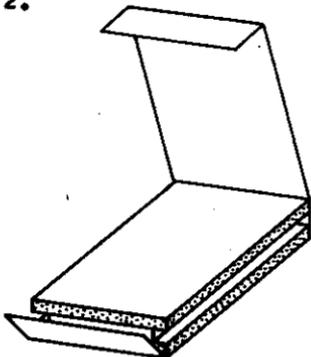


Abb. IV/8

- Schieber

2.



- STE zwischen 2 Schaumstoff-zuschnitte legen
- Schieber mit Verpackungsklebeband schließen (TKO-Stempel)

Abb. IV/9

3.

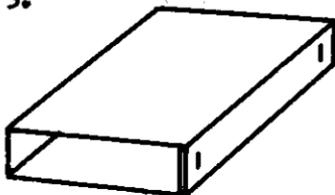
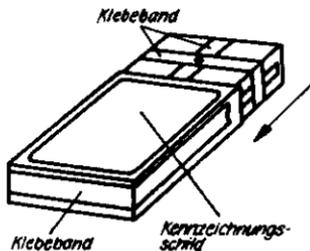


Abb. IV/10

4.



- Schieber in Hülse schieben und mit Verpackungsklebeband gegen Herausrutschen sichern
- Kennzeichnungsschild aufkleben

Abb. IV/11

#### 1.2.2.2.

##### Sammelverpacken von STE

Beim Sammelverpacken von STE werden 8 Einzelverpackungen zu einer größeren Einheit in einer WP-Faltschachtel (Größe 330 x 330 x 260) zusammengefaßt. Die WP-Faltschachteln werden mit Verpackungsklebeband mit Doppel-T-Verschluss geschlossen, mit Kennzeichnungsschildern und Handhabungshinweisen versehen.

#### 1.2.3.

##### Markierung

Jede Verpackungseinheit des Systems wird markiert.

Die Markierung der Verpackungen erfolgt nach TGL RGW 257-76 und 258-76. Es ist jedoch erforderlich, unbedingt die Markierungsbestimmungen des jeweiligen Empfängerlandes und die vertraglich vereinbarten genau zu beachten.

Bei Holzverpackungen erfolgt die Markierung durch Stempeln bzw. Spritzen mit Schablonen, bei Wellpappverpackungen durch Anbringen von bedruckten Aufklebern.

#### 1.3.

##### Hinweise zum Transport

Das Erzeugnis darf nur in der Originalverpackung transportiert werden.

Das verpackte Erzeugnis ist vor Feuchtigkeit zu schützen.

Für den Transport sind gedeckte Straßenfahrzeuge zu verwenden, die eine gegen Witterungseinflüsse geschützte Ladefläche haben (Koffer, Plane und Spriegel).

Der Transport mit Flugzeugen ist zulässig. Bei Schiffstransport sind zusätzliche Maßnahmen zu treffen.

#### 1.4.

##### Hinweise zum Entpacken

- Die Entpackung ist in umgekehrter Reihenfolge der Verpackung durchzuführen.
- Die Erzeugnisse sind in der Versandverpackung zu lagern und erst dann zu entpacken, wenn sie zum Einsatz gelangen sollen.
- Bei Einstellung in Räume mit höherer Raumtemperatur ( $t = 5 \text{ K}$ ) als der vorangegangenen sind die Erzeugnisse im verpackten Zustand an die neue Raumtemperatur anzugleichen, bevor sie entpackt werden.
- Beim Entpacken aus Wellpappverpackungen ist durch sorgfältiges Trennen des Verschlussklebebandes darauf zu achten, daß die Wellpappe nicht beschädigt wird.

#### 2.

##### Montagevorbereitung

#### 2.1.

##### Allgemeines

Der Einsatz des Mikrorechners K1520 erfolgt hauptsächlich in Verbindung mit einem Finalprodukt. Dies charakterisiert die körperliche Form des Mikrorechners, die entweder nur Steckeinheiten oder Steckeinheiten in einem offenen Steckeinheiten-Einsatz umfaßt. Bei der Montage in Verbindung mit dem Finalprodukt ist deshalb dafür Sorge zu tragen, daß eine gute Zugänglichkeit zu allen Moduln gegeben ist. Es muß ausreichender Bedien- und Serviceraum vorhanden sein, der es gestattet, notwendige Meß- und Prüfmittel einzusetzen. Der Einsatz einer Bedieneinheit als Auf-Tisch-Gerät erfordert eine weitere zusätzliche Stellfläche.

Wird ein Rechner als eigenständiges Gerät eingesetzt, so sind vom Anwender geeignete Schutzmaßnahmen für mechanischen und elektrotechnischen Schutz zu realisieren.

## 2.2.

### Stromversorgung

Die Konzipierung des Mikrorechners K1520 gestattet es, die Speisung der Module aus beliebigen Stromversorgungsquellen des jeweiligen Finalerzeugnisses zu realisieren.

Voraussetzung hierfür ist, daß die notwendigen Spannungspegel im festgelegten Toleranzbereich verfügbar sind.

Die erforderlichen Leistungen sind konfigurationsabhängig und müssen vom Anwender anhand der Angaben in den technischen Daten der Module bestimmt werden.

Vom Kombinat Robotron werden für den Einsatz in Verbindung mit dem Mikrorechner K1520 folgende Stromversorgungsmodule und Netzfilter angeboten:

STM 5V/10A/10	KO310.06	STM 12V/1,5A/02	KO310.01
STM 5V/3,3A/02	KO310.05	NFI	KO311

Die Bedieneinheit K7622 verfügt über ein eigenes Stromversorgungsteil und ist somit unabhängig von den Stromversorgungsteilen des jeweiligen Finalerzeugnisses.

Im allgemeinen gelten folgende Standardnetzanschlußbedingungen:

$$U = 380/220V \begin{matrix} + 10 \% \\ - 15 \% \end{matrix} \quad f = 50 \text{ Hz} \pm 2 \text{ Hz}$$

## 2.3.

### Berührungsschutz und Bezugspotential

Die erforderlichen Schutzmaßnahmen gegen zu hohe Berührungsspannungen entsprechend TGL 200-0602/03 sind durch Nullung oder durch Nullung mit gesondertem Schutzleiter zu erreichen. Alle Anlagenteile eines Gerätesystems sind in die Schutzmaßnahmen einzubeziehen.

Weiterhin ist zur Gewährleistung einer sicheren Funktion des Rechners ein definiertes Bezugspotential (Logik-Nullpotential) zu schaffen.

Beide Maßnahmen sind im Zusammenhang zu sehen und müssen insbesondere beim Koppeln peripherer Geräte beachtet werden. Es gelten folgende Grundregeln:

- Die Kennzeichnung aller Schutzleiter hat nach TGL 218/4 zu erfolgen.
- Das Bezugspotential ist isoliert zu verlegen.
- Innerhalb eines Gerätesystems ist ein strahlenförmiges Bezugspotential zu realisieren.

#### 2.4.

#### Technische Maßnahmen beim Einsatz des Mikrorechners K 1520

Die Vielfalt der Einsatzmöglichkeiten des Mikrorechners K1520 als Baugruppe in Finalerzeugnisse der verschiedensten Industriezweige läßt zugeschnittene Installationsfestlegungen für jeden Einsatzfall nicht zu. Jeder Entwickler bzw. Hersteller des Finalerzeugnisses muß die Bedingungen dieses Erzeugnisses fixieren und dabei umfassend die technische Sicherheit (z.B. starkstromtechnischer Berührungsschutz, Schutzgüte, Funkstörverhalten) in ihrer Gesamtheit gewährleisten.

Folgende Hinweise sollten dabei beachtet werden:

- Alle Funktionsteile des Gerätes oder der Anlage, die Störungen aussenden können (z.B. Netzteile, Schaltschütze, HF-Generatoren) sind nach Möglichkeit räumlich getrennt vom Rechner anzuordnen. Ist dies nicht möglich, so sind geeignete Abschirmaßnahmen zu treffen.
- Alle geräteinternen Leitungen, die mit störenden Funktionsteilen korrespondieren, sind, soweit erforderlich, wirksam zu filtern oder abzuschirmen.
- Energieführende Leitungen sind nach Möglichkeit getrennt von Leitungen des Logikteiles des Rechners zu verlegen oder ggf. abzuschirmen. Dies betrifft auch den Anschluß peripherer Geräte. Um eine hohe Störsicherheit zu erreichen, sind Netzleitungen und Interfacekabel getrennt zu verlegen.

- Es ist zu beachten, daß der MR K 152 0 aus funktstörtechnischer Sicht als Hochfrequenz-Generator wirkt. Er ist demzufolge in einem störstrahlungssicheren Gefäß (Finalerzeugnis) einzusetzen. Die Energiezuleitungen sind zu filtern. Das Finalerzeugnis muß in Verbindung mit dem Mikrorechner K 1520 den Forderungen der TGL 20885 genügen.
- Eine zusätzliche Belegung freier Leitungsadern in Kabeln (z.B. Kabel für Sif robotron 1000) durch den Anwender ist nicht statthaft.

## 2.5.

### Maßnahmen zur Unterdrückung von Störeinflüssen

Trotz Einhaltung der Installationsbedingungen können externe bzw. interne Störungen die Funktion des Rechners beeinflussen.

Störungen in einem Gerätesystem werden vielfach durch

- elektrische und magnetische Fremdfelder und
- Störüberlagerungen des Energieversorgungsnetzes

hervorgerufen. Hierbei bilden die Störungen, die über das Versorgungsnetz eingekoppelt werden, den Schwerpunkt. Sie sind in jedem Industrienetz in mehr oder minder großer Intensität vorhanden.

Zu ihrer Minderung sind nachfolgende Maßnahmen geeignet:

- Wirkungsvoller Netzstörschutz in jedem Gerät
- Der Schutzleiter systemfremder Geräte darf nicht am Bezugspotential des Rechnersystems angeschlossen werden. Für systemfremde Geräte (Hilfsgeräte, Elektrowerkzeuge, Klimageräte usw.) ist eine separate Energieeinspeisung vorzusehen.
- Die Speisung des gesamten Gerätesystems über ein zentrales Netzfilter. Hierbei sind die Energieleitungen zwischen Filter und Gerät zu schirmen.

### 3.

#### Montage

##### 3.1.

#### Montage des STE-Einsatzes

Die Montage des Mikrorechners K 1520 beginnt mit dem Einbau des Steckeinheiten-Einsatzes K 0120 bzw. K 0121 (Zeichnungsnummer 1.11.004600.0/01 bzw. 1.11.004601.0/01) in das Finalprodukt. Als standardisierte Aufnahme ist der EGS-Baugruppenträger TGL 25071 vorgesehen. Der Einschub wird mit M4-Schrauben befestigt. Zu beachten ist, daß Federringe bzw. -scheiben untergelegt werden, um einen einwandfreien, dauerhaften elektrischen Kontakt zu gewährleisten. Zusätzlich ist eine Schutzleiterverbindung zwischen dem Steckeinheiten-Einsatz und dem EGS-Baugruppenträger herzustellen. Anschließend werden die Zuführungsleitungen für die Betriebsspannungen verlegt und angeschlossen. Die Anschlußpunkte sind auf den Rückverdrahtungsleiterplatten des Steckeinheiten-Einsatzes mit der Beschriftung 5P, 5N, 12P und 5PG bezeichnet. Hierbei ist zu beachten, daß per Lötanschluß ein Leitungsquerschnitt von max. 2,5 mm<sup>2</sup> zulässig ist. Die Zuführungen zu den Anschlüssen 5P und 00 (Bezugspotential) sind sternförmig auszuführen. Der Lötvorgang ist so zu gestalten, daß die Leiterplatte keiner unzulässigen thermischen Belastung ausgesetzt wird.

In den Fällen, in denen der Anwender nur Steckeinheiten bezieht oder er Steckeinheiten mit direktem Steckverbinder einsetzt, ist die Zuführung der Betriebsspannungen gemäß der Kontaktbelegung (s. Beschreibung MR K 1520, Pkt.2.2.) zu realisieren. Als nachfolgender Arbeitsgang erfolgt die Prüfung der ordnungsgemäßen Zuführung der Betriebsspannungen.

### 3.2.

#### Plazieren der Steckeinheiten

Bevor die Steckeinheiten in den Steckeinheiten-Einsatz eingeschoben werden, ist es erforderlich, die Adressierung zu überprüfen. Grundlage hierfür ist das einzelne Anwendungsprojekt. Die praktische Ausführung dieser Adressierung ist den Beschreibungen der einzelnen Baugruppen zu entnehmen.

Unter Berücksichtigung der Festlegungen zum System- und Koppelbus (siehe Beschreibung MR K 1520; 1.11.004650.0/61) und der zulässigen Strombelastung der Netzteile, die den Leitungssektionen der Rückverdrahtungs-Leiterplatte des Steckeinheiten-Einsatzes K 0121 zugeordnet sind, wird die Platzierung der einzelnen Steckeinheiten vorgenommen. Es ist zu beachten, daß die Bestückungsseite der Steckeinheit bei normaler Einbaulage des Steckeinheiten-Einsatzes nach rechts weist. Die Reihenfolge der Bestückung richtet sich nach der festgelegten Priorität. Wichtig ist, daß lückenlos gesteckt wird bzw. die nicht genutzten Steckplätze gebrückt werden. Bei der Nutzung von Teilbussystemen ist besonders darauf zu achten, daß die Prioritätsketten im Sekundärbus durch Wickelbrücken geschlossen werden. Abschließend werden die Steckeinheiten durch die Montage der Halteschienen (Zeichnungsnummer 1.11.004613.0/00 bzw. 1.11.004614.0/00) gesichert.

Nach Platzieren der Steckeinheiten werden die externen Geräte und evtl. BUS-Weiterleitungen angeschlossen. Die Kabel werden auf die griffseitigen Steckverbinder der betreffenden Steckeinheiten gesteckt. Durch zusätzliche Kabelbefestigungen im Finalprodukt ist dafür Sorge zu tragen, daß von dieser Steckverbindung mechanische Beanspruchungen ferngehalten werden.

#### 4.

##### Inbetriebnahme des MR K 1520

Nach Abschluß der Montagearbeiten kann mit der Inbetriebnahme des Mikrorechners begonnen werden. Treten dabei Fehler auf, so ist entsprechend den Hinweisen der Fehlerortung K 1520 (Dok.-Nr. 1.11.004650.0/74) zu verfahren.

Steht für die Inbetriebnahme keine Bedieneinheit zur Verfügung, so kann die Prüfung der Funktionstüchtigkeit des Mikrorechners mit Hilfe von Einsatzprogrammen des Anwenders erfolgen. Bei Verwendung einer Bedieneinheit geht man bei der Inbetriebnahme zweckmäßig in folgender Weise vor:

#### 4.1.

##### Inbetriebnahme des Steckeinheiten-Einsatzes

Zunächst sind die Steckeinheiten aus den Buchsenleisten des Steckeinheiten-Einsatzes (bzw. der Steckeinheitenaufnahme im Finalerzeugnis) zu ziehen. Danach werden alle Betriebsspannungen an den Steckeinheiten-Einsatz angelegt. An der Rückverdrahtungsleiterplatte des Steckeinheiten-Einsatzes ist zu prüfen, daß folgende Betriebsspannungen anliegen:

Betriebsspannung	Sollwert	Kontakt
5P	+ 5 V $\pm$ 5 %	X1 : A29, B 29 X2 : A01, B01
5PG	+ 5 V $\pm$ 5 %	X1 : A03, B03
12P	+ 12 V $\pm$ 5 %	X1 : A28, B28
5N	- 5 V $\pm$ 5 %	X1 : A15
00	Bezugspotential	X1 : A01, A02 B01, B02 B21, B22 X2 : A28, A29 B28, B29

#### 4.2.

##### Inbetriebnahme der Grundfunktionen des Rechners

Die Überprüfung der Grundfunktionen des Rechners erfolgt mit Hilfe der Testroutine TSTRØ. Dazu wird die Bedieneinheit K 7622 und die in einem PROM gespeicherte Testroutine benötigt. Dieser PROM ist auf dem Speicherplatz mit der Anfangsadresse 0000<sub>H</sub> zu stecken. Für die ZRE K 2525 wird außerdem eine Speichersteckeinheit benötigt, die 1K RAM auf der Adresse 2000<sub>H</sub> bereitstellt. Nach dem Aufstecken des PROM mit der Testroutine sind die Steckeinheiten ZRE und ABD in den Steckeinheiten-Einsatz zu stecken und die Kopplung der Bedieneinheit mit der Anschlußsteuerung ABD durchzuführen. Dabei ist darauf zu achten, daß die Prioritätsketten zwischen ZRE und ABD nicht unterbrochen sind und - mit Blick in Steckrichtung - sich die Anschlußsteuerung ABD im Steckeinheiten-Einsatz K 0120 oder K 0121 links von der ZRE befindet. Nach dem Einschalten der Bedieneinheit kann die Abarbeitung der Testroutine mit Standardgenerierung gemäß Pkt. 4.7. gestartet werden.

#### 4.3.

##### Inbetriebnahme von Teilbussystemen

Die Steckeinheiten-Einsätze (bzw. Steckeinheitenaufnahme im Finalerzeugnis) von Teilbussystemen werden analog Pkt. 4.1. in Betrieb genommen. Danach erfolgt schrittweise die Kopplung aller in der Anwenderkonfiguration vorgesehenen Teilbussysteme, indem jeweils eine Steckeinheit BVE K 4120 und VLA K 0522 in den Steckeinheiten-Einsätzen gesteckt und die beiden Verbindungsleitungen K 0521 an den griffseitig angeordneten Steckverbindern dieser Steckeinheiten angeschlossen werden. Anschließend wird eine Überprüfung der Grundfunktionen des Rechners entsprechend Pkt. 4.2. durchgeführt. Dabei ist wieder auf eine geschlossene Prioritätskette im Primärbus zu achten und zu prüfen, daß die Prioritätskette im Sekundärbus gemäß der Technischen Beschreibung BVE Dok.-Nr. 1.12.517051.0/61 Pkt. 3.1. ausgeführt ist.

#### 4.4.

##### Inbetriebnahme von Speichersteckeinheiten

Die Speichersteckeinheiten sind mit programmierten PROM zu bestücken. Danach werden alle Speichersteckeinheiten auf ihren vorgesehenen Plätzen gesteckt. Die Prüfung des RAM-Bereiches erfolgt durch Abarbeitung der Testroutine gemäß Pkt. 4.7. mit Generierung des zu testenden RAM-Bereiches durch Eingabe der Anfangs- und Endadressen mit der Bedieneinheit. Dieser Speicherbereich ist unabhängig von Steckeinheitengrenzen, muß aber zusammenhängend sein. Bei nicht zusammenhängenden RAM-Bereichen ist die Generierung für jeden RAM-Bereich einzeln vorzunehmen.

Eine manuelle Kontrolle des ROM-Bereiches ist nur in Stichproben möglich, indem der Speicherinhalt auf ausgewählten PROM-Plätzen mit der Bedieneinheit gelesen und auf richtigen Dateninhalt geprüft wird. Der umfassende Funktionsnachweis für den ROM-Bereich kann durch die Abarbeitung von bereits ausgetesteten Programmen erbracht werden.

#### 4.5.

##### Inbetriebnahme von Anschlußsteuereinheiten

Zur Inbetriebnahme von Anschlußsteuerungen wird zunächst mit Hilfe der Testroutine geprüft, ob durch das Hinzufügen der Anschlußsteuereinheiten zur bereits gegebenen Konfiguration die Funktion des Systembus beeinträchtigt wird. Dazu sind alle Steckeinheiten mit Anschlußsteuerungen einzeln in den Steckeinheiten-Einsatz zu stecken, wobei wieder auf geschlossene Prioritätsketten zu achten ist. Die Überprüfung der Grundfunktionen des Rechners wird gemäß Pkt. 4.2. durchgeführt.

Nach fehlerfreiem Ablauf der Testroutine ist diese durch Ziehen des PROM zu entfernen. Danach kann die Kopplung der peripheren Geräte mit den Anschlußsteuereinheiten und deren Überprüfung mit angeschlossener Peripherie durch geeignete

Programme zur Bedienung der peripheren Geräte erfolgen.

Die Anschlußsteuereinheit ADA K 6022 ist für die Kopplung peripherer Geräte mit dem Standard-Anschluß robotron 1000/1 konzipiert. An der Steckeinheit ADA sind die griffseitigen Steckverbinder mit den in der Betriebsdokumentation der peripheren Geräte angegebenen Steckverbinder durch entsprechende Kabel zu verbinden. In der Technischen Beschreibung Dok.-Nr. 1.12.517090.0/61 ist unter Pkt. 3.2.3.1. angegeben, welcher Steckverbinder der ADA als Ein- bzw. Ausgabekanal belegt ist, und unter Pkt. 3.5. sind die für die jeweiligen Geräte zu verwendenden Interfacekabel aufgeführt. Weiterhin ist für die peripheren Geräte der Netzanschluß herzustellen. Die Installation der peripheren Geräte muß den Forderungen der Schutzgütestimmungen entsprechen. Nach ordnungsgemäßem Anschluß der peripheren Geräte an die Anschlußsteuereinheit ADA ist der Funktionsnachweis der ADA durch Abarbeitung von Programmen zur Bedienung dieser peripheren Geräte zu erbringen.

#### 4.6.

##### Anschluß von Ergänzungsbaugruppen

Sind spezielle Baugruppen des Anwenders in der Anwenderkonfiguration vorgesehen, hat deren Anschluß nach Inbetriebnahme der vorher genannten Funktionseinheiten zu erfolgen. Werden diese Baugruppen am Systembus angeschlossen, kann mit Hilfe der Testroutine geprüft werden, daß dadurch die Funktion des Systembus nicht gestört wird.

#### 4.7.

##### Arbeit mit der Testroutine

#### 4.7.1.

##### Funktion

Die Testroutine überprüft die Grundfunktionen des MR K 1520 am Beispiel der Zusammenarbeit der ZVE mit dem Speicher.

Sie belegt selbst den PROM der Adresse 0000 und erfordert einen 1K-Byte-RAM-Bereich. Davon benötigt sie die erste 16 Byte als Arbeitsbereich; der Rest dient als Testbereich bei Standardgenerierung. Durch Änderung der Standardgenerierung können als Testbereich beliebige RAM-Speicherbereiche eingesetzt werden.

Getestet werden der Systembus und der Operativspeicher:

- Datenleitungen im Test 1 (Test-Nr. 10<sub>H</sub>)
- Adreßleitungen im Test 2 (Test-Nr. 21<sub>H</sub>, 22<sub>H</sub>)
- RAM-Testbereich im Test 3 (Test-Nr. 31<sub>H</sub>, 32<sub>H</sub>)

Durch RESET erfolgt automatisch die Standardgenerierung und der START der Testroutine. Soll ein von der Standardgenerierung abweichender RAM-Bereich getestet werden, sind mit Hilfe der Bedieneinheit die Generierbytes zu ändern und die Testroutine zu starten (s. Pkt. 4.7.2.). Bei fehlerfreier Abarbeitung endet die Testroutine mit dem Endehalt. Die Abarbeitung ist beliebig oft wiederholbar.

Im Fehlerfall erreicht die Testroutine das Fehlerhalt. Damit sind die in den Fehlerbytes abgelegten Fehlerinformationen gültig und können mit der Bedieneinheit gelesen werden. Danach kann die Abarbeitung fortgesetzt werden und erreicht entweder erneut das Fehlerhalt oder - wenn keine weiteren Fehler gefunden wurden - das Endehalt.

#### 4.7.2.

##### Anleitung zur Abarbeitung der Testroutine

Die Testroutine TSTR0 befindet sich in einem PROM mit der Bezeichnung "TSmv/0000" (TS: TSTR; m: Modifikation; v: Stand; 0000: Adresse). Die Testroutine liegt in zwei Modifikationen vor, die sich durch die Adresse des benötigten 1K-Byte-RAM-Bereiches unterscheiden. Die Modifikation 1 ist für die ZRE-Typen K 2521 ... K 2524 vorgesehen und benutzt deren RAM-Bereich 0C00<sub>H</sub> ... 0FFF<sub>H</sub>.

Die Modifikation 2 erfordert eine zusätzliche Speichersteck-  
einheit (OPS, OPS) mit mindestens 1K-Byte RAM ab Adresse 2000<sub>H</sub>  
und ist damit vorzugsweise für den ZRE-Typ K 2525 bestimmt.

### Vorbereitung

Der mit der Testroutine geladene PROM ist auf den Platz mit  
der Adresse 0C00 der jeweiligen ZRE-Steckeinheit zu stecken.

F1. Prüfen Fehler-HALT erreicht auf Adresse 0C0E<sub>H</sub>

Ja: Weiter mit F2.

Nein: Siehe Fehlerortung K 1520

Dok.-Nr. 1.11.004650.0/74

F2: Lesen Fehlerbytes:

FB1: Test-Nr. auf Adresse 0C09<sub>H</sub>

FB2: Fehler-Adresse  
(niederwert. Teil) auf Adresse 0C0A<sub>H</sub>

FB3: Fehler-Adresse  
(höherwert. Teil) auf Adresse 0C0B<sub>H</sub>

FB4: Soll-Daten auf Adresse 0C0C<sub>H</sub>

FB5: Ist-Daten auf Adresse 0C0D<sub>H</sub>

F3: Durch START auf der Folgeadresse des  
Fehler-HALT kann die Aberbeitung fort-  
gesetzt werden (weiter mit 4.). 0C0F<sub>H</sub>

### Hinweis:

Die Bedienfolge "START auf der Folgeadresse" wird durch  
Auslösen von NMI automatisch realisiert.

V.

Betriebsvorschrift K 1520

## Inhaltsverzeichnis

	Seite
1. Einleitung	V-3
2. Sicherheitsmaßnahmen	V-3
3. Vorbereitung für den Betrieb	V-3
4. Bedienung	V-4
4.1. Betrieb ohne Bedieneinheit	V-4
4.2. Betrieb mit Bedieneinheit	V-4
4.3. Bedienfolgen	V-10
4.4. Bedienung mit peripheren Geräten	V-11
5. Überprüfung des Funktionszustandes	V-11
6. Technische Wartung	V-12

## 1.

### Einleitung

Die Betriebsvorschrift enthält Hinweise zur Bedienung des MR K 1520 und zur Überprüfung seines funktionellen Zustandes. Die ordnungsgemäße Montage und Inbetriebnahme entsprechend der Betriebsdokumentation wird vorausgesetzt.

## 2.

### Sicherheitsmaßnahmen

Der MR K 1520 wird in Form von Steckeinheiten oder als Steck-einheiteneinsatz geliefert und überwiegend in Finalprodukte eingesetzt. Aus diesem Grunde steht die Schutzgüte des Rechners in direktem Zusammenhang mit der des übergeordneten Gerätes. Zugleich sind die in der Montagevorschrift 1.11.004650.0/54 festgelegten Maßnahmen einzuhalten.

Zu Betriebsbeginn ist zu kontrollieren, ob einwandfreie Verbindungen des Schutzleitersystems bestehen. Dies bezieht sich auf alle mit dem Rechner in Verbindung stehenden Geräte und Baugruppen, insbesondere auch der Bedieneinheit K7622.

## 3.

### Vorbereitung für den Betrieb

Es ist darauf zu achten, daß alle zur Rechnerkonfiguration gehörenden Steckeinheiten gesteckt und die peripheren Geräte angeschlossen sind, bevor die Betriebsspannung eingeschaltet wird.

Bei eingeschaltetem MR K 1520 sollten Konfigurationsveränderungen vermieden werden, um Störungen auszuschließen. Ungefähr 300 ms nach Einschalten der Betriebsspannung tritt automatisch die Betriebsbereitschaft des MR K1520 ein. Die Register und Einzel-Flip-Flops werden nach dem Einschalten durch eine An-fanglöschschaltung auf der ZRE-Steckeinheit über "RESET" in

den definierten Anfangszustand gebracht. Alle nachfolgenden Funktionsabläufe sind abhängig von den spezifischen Programmen des jeweiligen Anwenders.

#### 4.

#### Bedienung

##### 4.1.

##### Betrieb ohne Bedieneinheit

Bei dieser Betriebsart ist der MR K 1520 in Anlagen oder Einrichtungen des Anwenders integriert. Durch den mit "RESET" hergestellten Anfangszustand beginnt die Programmabarbeitung ab Speicheradresse 0.

##### Hinweis:

Diese Programmabarbeitung sollte mit einem Initialisierungsprogramm beginnen, das die Interrupt-Modi einstellt, die peripheren Schaltkreise programmiert, bestimmte Grundzustände in den RAM-Speichern herstellt u.a. Ebenso müssen alle weiteren Kommunikationen, z.B. Interrupt oder mit E/A-Geräten, vom Anwenderprogramm realisiert werden.

##### 4.2.

##### Betrieb mit Bedieneinheit

Diese Betriebsart ist für Service- und Testzwecke bestimmt. Der Einsatz der BDE K 7622 ermöglicht die unmittelbare Einflußnahme auf den Programmablauf und auf wichtige Signale des Systembusses sowie die Kontrolle von beiden. Die einzelnen Anzeige- und Bedienelemente werden in der Beschreibung zur BDE, 1.11.004750.0/61, vorgestellt.

#### 4.2.1.

##### Steuerung des Funktionsablaufes

Taste "RESET": Herstellen des Grundzustandes

Damit wird die BDE in den Grundzustand versetzt. Gleichzeitig wird das Signal "RESET" zur Herstellung des Grundzustandes der Rechnerkonfiguration ausgelöst.

Um den sofortigen Programmstart ab Speicheradresse 0 zu verhindern, ist zusammen mit der Taste "RESET" die Taste "HALT" zu drücken. Falls die Taste "HALT" länger gedrückt bleibt als die Taste "RESET", bleibt anschließend das Programm auf der Speicheradresse 0000<sub>H</sub> stehen. Die Taste "RESET" wirkt sofort während des Laufzustandes des Rechners.

Taste "LADE ADR": Laden des Speicheradreßregisters

Das Speicheradreßregister der BDE erhält die Information des mit "ADR 0 ... 15" gekennzeichneten Schalterregisters eingetragen. Das Schalterregister steht danach zur Eingabe weiterer Informationen, z.B. Befehle, Daten, Testpunktadressen, zur Verfügung. Die Taste "LADE ADR" wirkt nur beim "BUSAK"- oder "HALT"-Signal vom Rechner, sie ist in dieser Form einfügbar in den Programmablauf.

Taste "+1": Erhöhen des Speicheradreßregisters

Die Taste wirkt nur beim "BUSAK"- oder "HALT"-Signal.

Taste "LADE DAT": Laden des Datenregisters

Das Datenregister der BDE erhält die Information des mit "DAT 0 ... 7" gekennzeichneten Schalterregisters eingetragen. Die Taste "LADE DAT" wirkt nur beim "BUSAK"-Signal.

Taste "START ADR": Programmstart

Mit dieser Taste löst die BDE das Signal "NMI" aus, gleichzeitig speist sie den Sprungbefehl "RETN" ein. Der Programmstart beginnt an der im Adreßregister der BDE enthaltenen Adresse.

Die Taste "START ADR" wirkt für den Programmtest beim "HALT"-Signal. Der Inhalt des Datenregisters der BDE wird dabei nicht bearbeitet.

#### Taste "IODI": Sperre der Ein- und Ausgabe

Durch das Auslösen des Signals "IODI" beim Drücken dieser Taste werden sämtliche Ein/Ausgabe-Geräte zur beliebigen Zeit gesperrt.

#### Taste "NMI": Nicht maskierter Interrupt

Diese Taste dient zur Erzeugung eines "NMI"-Signals zu jedem beliebigen Zeitpunkt. Die Folge ist ein Sprung des Programms zur Adresse 0066<sub>H</sub>. Der weitere Programmablauf hängt von dem mit der Adresse 0066<sub>H</sub> startenden Unterbrechungsbehandlungsprogramm ab.

#### Taste "TEST PKT": WAIT am Testpunkt

Die Einschaltung dieser Taste bewirkt einen laufenden Vergleich der Befehlsadresse aus dem Rechner mit der im Schalterregister der BDE eingestellten Testpunktadresse. Bei Gleichheit wird das Signal "WAIT" an den Rechner gesendet und versetzt ihn in den Wartezustand. Dabei zeigt die BDE die aktuelle Adresse mit den zugehörigen Daten an.

Nach Anlaufen eines Testpunktes wird durch Betätigen der Taste "START ZYKL" der WAIT-Zustand kurz aufgehoben und bleibt zu Beginn des nächsten Zyklusses stehen. Soll ein weiterer Testpunkt angelaufen werden, so ist diese Adresse in das Schalterregister einzutragen und mit der Taste "START ADR" zu starten.

Mit Lösen der Taste "TEST PKT" läuft das Programm ab der im Adreßregister der BDE enthaltenen Adresse weiter.

#### Taste "HALT": Programmhalt

Die Taste bewirkt den Programmhalt, indem von der BDE der Haltbefehl "HALT" an Stelle des nächsten im Programm folgenden Befehls eingegeben wird.

Der Inhalt des Befehlszählers wird in das Adreßregister der BDE übernommen. Während des Haltezustandes arbeitet die ZRE fortwährend Leerbefehle "NOP" ab.

Mit Drücken der Taste "START ADR" beginnt der Programmstart ab der im Adreßregister der BDE enthaltenen Adresse.

#### Taste "ZYKL": Wartezustand für Schrittbetrieb

Mit dem Drücken der Taste "ZYKL" wird sofort das Signal "WAIT" an den Rechner gesendet und versetzt ihn in den Wartezustand. Dabei zeigt die BDE die aktuelle Adresse mit den dazugehörigen Daten an.

Mit Lösen der Taste "ZYKL" läuft das Programm ab der im Adreßregister der BDE enthaltenen Adresse weiter.

#### Taste "START ZYKL": Start des nächsten Zyklus bei Schrittbetrieb

Diese Taste hebt den durch die Taste "ZYKL" verursachten "WAIT"-Zustand kurzfristig zwecks Ablauf eines Zyklusses auf. Die ZRE arbeitet diesen einen Zyklus ab und bleibt danach zu Beginn des nächsten Zyklus stehen.

### 4.2.2.

#### Speicherfunktionen

##### Taste "MEMDI": Speichersperre

Mit dieser Taste wird das Signal "MEMDI" gesendet, und es werden sämtliche Speicher gesperrt.

##### Taste "BUSRQ": Busanforderung

Durch Aussenden des Signals "BUSRQ" bei Drücken der Taste fordert die BDE die Busherrschaft an, die sie nach dem Quittungssignal "BUSAK" von der ZRE übernimmt. Mit Lösen der Taste "BUSRQ" läuft das Programm ab der Adresse, die beim Drücken der Taste in das Adreßregister der BDE eingetragen wurde, weiter.

### Taste "WR": Speicher schreiben

Nachdem die Taste "BUSRQ" gedrückt wurde, bewirkt die Betätigung der Taste "WR" die Vorbereitung des Einschreibens in den Speicher.

Danach werden mit der Betätigung der Taste "START ADR" die ins Datenregister der BDE enthaltenen Daten in den Speicherplatz eingeschrieben, dessen Adresse im Adreßregister der BDE vorher eingetragen wurde. Nach jeder Schreiboperation erfolgt ein Lesen der in der adressierten Speicherzelle eingetragenen Daten, die automatisch mit dem Inhalt des mit "DAT 0 ... 7" gekennzeichneten Schalterregisters verglichen werden. Bei Übereinstimmung leuchtet die Anzeigelampe "DATOK" etwa 1 s lang auf.

### Taste "RD": Speicher lesen

Nachdem die Taste "BUSRQ" gedrückt wurde, bewirkt die Betätigung der Taste "RD" die Vorbereitung des Lesens aus dem Speicher.

Danach wird mit der Betätigung der Taste "START ADR" die Information aus der Speicherzelle, die durch das Adreßregister der BDE adressiert wird, in das Datenregister der BDE übertragen und angezeigt.

### Taste "RFSH": Auffrischen dynamischer Speicher

Bei Verwendung dynamischer Speicher ist diese Taste vor Betätigung der Tasten "BUSRQ", "ZYKL" oder "TEST PKT" zu drücken. Damit wird bei den Rechnerzuständen "BUSAK" und "WAIT" ein Auffrischen dynamischer Speicher von der BDE gewährleistet. Im WAIT-Zustand wird die Refresh-Adresse mit einem von der BDE periodisch erzeugten "WBARFSH"-Signal (entspricht "BUSAK") ausgesendet.

Mit Lösen der Taste "BUSRQ" läuft nach Beendigung einer kompletten Auffrischperiode das Programm ab der aktuellen Adresse, die beim Drücken der Taste in das Adreßregister der BDE eingetragen wurde, weiter. Mit Lösen der Tasten "TEST PKT" oder "ZYKL" läuft nach Beendigung einer kompletten Auffrisch-

periode das Programm ab der im Adresregister der BDE enthaltenen Adresse weiter.

#### 4.2.3.

##### Anzeigefunktionen

##### LED "DAT 0 ... 7": Datenanzeige

Hierdurch wird der Inhalt des Datenregisters der BDE angezeigt. Die angezeigten Daten sind nur im Zustand "WAIT" (Anzeige der gültigen Daten auf dem Datenbus der Rechnerkonfiguration) und im Zustand "BUSAK" (Anzeige der autonomen Daten der Bedieneinheit) visuell auswertbar.

##### Siebensegment-LED "ADR": Adressanzeige

Durch diese 4 Anzeigen wird der Inhalt des Adresregisters der BDE hexadezimal angezeigt, wobei je 4 Bits einer Anzeige zugeordnet sind.

Die angezeigten Adressen sind in den Zuständen "WAIT" und "HALT" (Anzeige der gültigen Adresse auf dem Adressenbus der Rechnerkonfiguration) und im Zustand "BUSAK" (Anzeige der autonomen Adressen der BDE) visuell auswertbar.

Die Anzeige des mit "ADR 0 ... 15" gekennzeichneten Schalterregisters ist nur durch die Stellung der rastenden Tasten gegeben.

##### LED "DATOK": Einschreibkontrolle

Diese LED zeigt die Übereinstimmung der in eine Speicherzelle mit der BDE eingeschriebenen Daten mit dem Inhalt des Schalterregisters der BDE an.

##### Anzeigen von Zuständen von Leitungen des Systembusses:

- LED "M1": Befehlszyklus
- LED "MREQ": Speichertransforgesuch
- LED "IORQ": Ein-/Ausgabetransforgesuch
- LED "RD": Lesen

- LED "WR": Schreiben
- LED "WAIT": Warten
- LED "HALT": Prozessor-Halt
- LED "BUSAK": Anerkennung des direkten Speicherverkehrs  
Es wird das Signal BAI am Steckplatz der ABD K 7022 angezeigt.
- LED "INT": Interrupt-Anzeige
- LED "RFSH": Auffrischen der dynamischen Speicher

### 4.3.

#### Bedienfolgen

An den nachfolgenden ausgewählten Beispielen von Bedienfolgen wird das Zusammenspiel der BDE K 7622 mit dem MR K 1520 verdeutlicht.

#### 4.3.1.

##### Bedienfolgen für die Arbeit mit dem Speicher

- "BUSRQ" drücken
- Prüfen, ob BUSAK gegeben
- Einstellen der Speicheradresse im Schalterregister
- Laden der Adresse mit "Lade ADR" in ADR.

#### Lesen

- Drücken der Taste "RD"
- Speicherzugriff durch "START ADR"
- Daten in DAT ablesen

#### Schreiben

- Drücken der Taste "WR"
- Einstellen der Daten in den letzten 8 Bit vom ADR
- Laden der Daten mit "Lade DAT"
- Drücken der Taste
- Prüfen, ob DATOK gemeldet wird

#### 4.3.2.

#### Bedienfolge für den Start des Rechners ab einer bestimmten Adresse bis zu einem bestimmten Testpunkt

- Prüfen, ob ZVE im HALT steht bzw. HALT erzeugt
- Einstellen der Startadresse im Schalterregister
- Laden der Adresse in ADR durch Drücken "LADE ADR"
- Einstellen der Testpunktadresse im Schalterregister
- Drücken der Taste "TEST PKT"
- Start durch Drücken der Taste "START ADR"
- BDE erzeugt "WAIT"-Zustand am Testpunkt.

#### 4.3.3.

#### Überblenden eines Befehls

- Der fehlerhafte Befehl wird als "TEST PKT" angelaufen, dabei erfolgt die Anzeige der Adresse und der aktuellen Daten
- Drücken der Taste "MEMDI"
- Einschreiben der Daten in das Schalterregister
- Fortlaufendes Drücken der Taste "LADE DAT" und dabei Betätigung der Taste "START ZYKL"
- Lösen der Taste "MEMDI"

#### 4.4.

#### Bedienung mit peripheren Geräten

Die Bedienung mit peripheren Geräten (z.B. LBL robotron 1210, LBS robotron 1215) ist programmtechnisch zu realisieren.

#### 5.

#### Überprüfung des Funktionszustandes

Die Überprüfung der Funktionsfähigkeit des MR K 1520 erfolgt durch Abarbeitung einer Testroutine. Diese ist in einem vom Hersteller programmierten PROM, der zum Lieferumfang der ZRE-

Steckeinheit gehört, gespeichert. Hinweise zur Abarbeitung dieser Testroutine ist in der Dokumentation "Fehlerortung", 1.11.004650.0/74, niedergelegt.

6.

Technische Wartung

Der MR K 1520 arbeitet wartungsfrei. Störungen können durch mannigfaltige Ursachen hervorgerufen werden. Bedienfehler und unsicher gesteckte Kontakte sind häufig wiederkehrende Fehler, die besondere Beachtung finden sollten. Im Fehlerfall ist analog der "Fehlerortung" 1.11.004650.0/74 zu verfahren.

VI.

Fehlerortung K 1520

## Inhaltsverzeichnis

	Seite
1. Ziel und Abgrenzung der Fehlerortung	VI-3
2. Erforderliche Qualifizierung	VI-3
3. Benötigte Meß- und Prüfmittel	VI-3
4. Benötigte Unterlagen	VI-3
5. Fehlersuchsystematik	VI-4
5.1. Fehlersuche bei der Erstinbetriebnahme oder nach Änderung der Systemkonfiguration	VI-4
5.2. Fehlersuche bei Ausfall im laufenden Betrieb	VI-7

## 1.

### Ziel und Abgrenzung der Fehlerortung

In diesem Abschnitt werden dem Anwender des K 1520 Hinweise gegeben, wie er selbst die Funktionstüchtigkeit der Funktionsgruppen des K 1520 beurteilen und bei auftretenden Fehlern durch Analyse des Fehlerbildes eine Fehlerortung durchführen kann. Die Fehlerortung soll sich dabei auf die Funktionseinheit, mindestens aber auf die Steckeinheit beschränken. Vom Kunden dürfen nur Steckeinheiten gewechselt werden. Eingriffe während der Garantiezeit sind nicht gestattet. Bei allen Fehlern ist der Kundendienst des Herstellers zu informieren.

## 2.

### Erforderliche Qualifizierung

Zur Fehlersuche im angegebenen Rahmen sind Kenntnisse zur Bedienung des K 1520 mit der beim Kunden vorhandenen Peripherie, zum Umgang mit den unter Pkt. 3 aufgeführten Meß- und Prüfmitteln und die genaue Kenntnis der Funktionsprinzipien der zu prüfenden Funktionseinheiten erforderlich.

## 3.

### Benötigte Meß- und Prüfmittel

- 1 Bedieneinheit K 7622 mit Anschlußkabel
- 1 Anschlußsteuerung für die Bedieneinheit K 7022
- 1 PROM, mit Testroutine geladen
- 1 Spannungsmeßgerät (z.B. Vielfachmeßgerät UNI 9)

## 4.

### Benötigte Unterlagen

Betriebsdokumentation MR K 1520

## 5.

### Fehlersuchsystematik

Eine Suche von gerätetechnischen Fehlern sollte nur dann durchgeführt werden, wenn eine fehlerhafte (d.h. von den Funktionsprinzipien abweichende) Funktion beim Startversuch oder Lauf eines Programmes auftritt und sichergestellt ist, daß dies nicht auf einen Systemunterlagenfehler (Programmierfehler, Information in PROM nicht stabil) oder einen Fehler in den peripheren Geräten zurückzuführen ist. Bezüglich Herangehens an die Fehlerursache ist prinzipiell zwischen folgenden beiden Fällen zu unterscheiden:

#### 5.1.

##### Fehlersuche bei der Erstinbetriebnahme oder nach Änderung der Systemkonfiguration

Hierbei muß davon ausgegangen werden, daß alle Steckeinheiten beim Hersteller ausführlichen Prüfungen unterzogen wurden und die Ursachen für ein Funktionsversagen vorrangig in der Nichteinhaltung von Systemforderungen oder Unzulänglichkeiten bei der Montage zu suchen sind. Erfahrungsgemäß sind hier zu nennen:

- Stromversorgung nicht gewährleistet

Betriebsspannung außerhalb der zulässigen Toleranz durch Überlastung des Netzteils

Bei Arbeit ohne Betriebsspannungserstützung keine Betriebsspannung am RAM durch fehlende Brücke zwischen 5P und 5PG

Im Steckeinheiteneinsatz K 0121 wurden die Trennstellen für die Betriebsspannungen 5P, 5PG und 12P zwischen fünftem und sechstem Steckeinheitenplatz nicht beachtet

Anschlußkabel locker

Steckeinheiten nicht bis zum Anschlag in die Buchsenleiste gesteckt

- Steckeinheiten nicht richtig plaziert

Kann zu Netzteilüberlastung führen

Prioritätsketten unterbrochen

Lücken in der Prioritätskette oder Platzierung von Interruptteilnehmern im Steckeneinheiteneinsatz K 0120 oder K 0121 auf der rechten Seite (in Steckrichtung) der ZRE haben zur Folge, daß Interruptteilnehmer nicht bedient werden und Busanforderungen hängen bleiben

Die Steckeneinheit ABD K 7022 muß stets im Primärbus und nach der ZRE an erster Stelle der Prioritätskette für Busanforderungen plaziert werden, wenn im WAIT-Zustand ein Refreshen ausgeführt werden soll. Ist dies nicht gewährleistet, so wird der Systembus beim Refreshen mit undefinierten Signalen belegt.

- Wickelverbindungen auf den Steckeneinheiten sind falsch

Diese Wickelbrücken für Speicheradressen, E/A-Geräteadressen und spezielle Funktionen müssen der speziellen Mikrorechnerkonfiguration des Anwenders entsprechen. Dabei ist besonders auf die richtige Zuordnung der Speicher- und E/A-Adressen zu achten. Beispielsweise kann eine Mehrfachadressierung sehr komplizierte Fehlerbilder ergeben. Falsche Wickelbrücken für spezielle Funktionen dagegen sind meist leicht am Versagen dieser Funktionen erkennbar.

- ROM-Bausteine nicht richtig gesteckt

Hier ist neben der richtigen Platzierung auf richtige Orientierung der ROM-Bausteine sowie auf festen Sitz der Steckfassung und sichere Kontaktgabe aller Bausteinanschlüsse zu achten.

Deshalb sollten in diesem Falle zuerst die Einhaltung der Systemforderungen sowie die Ausführung der Montagearbeiten in der speziellen Rechnerkonfiguration des Anwenders überprüft werden. Danach wird man, ohne die Anwenderkonfiguration zu verändern, mit Hilfe der Testroutine "TSTRQ" die Grundfunktionen des Rechners testen. Die Benutzung dieser Testroutine ist ausführlich in der Montage- und Inbetriebnahmevor-

schrift K 1520 1.11.004650.0/54 unter Pkt. 4.2. und 4.7. beschrieben. Bei der Abarbeitung der Testroutine sind im Prinzip folgende drei Ergebnisse möglich:

- Die Testroutine erreicht das Endehalt

Prinzipiell werden Befehle ordnungsgemäß abgearbeitet, ROM- und RAM-Zugriff im benutzten Bereich sowie Daten-, Adreßbus und die wesentlichsten Bussteuersignale funktionieren. Der Fehler liegt nicht im Bereich der Rechnergrundfunktionen.

- Die Testroutine erreicht das Fehlerhalt

Durch Auswertung der Fehlerbytes (Testart, fehlerhafte Speicheradresse, Soll/Ist-Werte der Daten) sind Rückschlüsse auf den Fehlerort zu ziehen. Beispielsweise kann die fehlerhafte Steckeinheit über die angegebene Speicheradresse gefunden werden.

- Die Testroutine läuft nicht an

Wenn keinerlei Programmabarbeitung möglich ist, kann der Speicherzugriff oder die Funktion der ZVE gestört sein. In diesem Falle sind die zentralen Versorgungssysteme (Betriebsspannungen, Takt) und die RESET-Funktion zu prüfen. Bei der Testroutine muß im Zyklusbetrieb mit RESET die Adresse  $0000_H$  aufgerufen werden, auf der das Datenbyte  $03_H$  steht. Ausführlicher kann die Abarbeitung von Befehlen im Zyklusbetrieb mit einem ausgetesteten Programm erfolgen.

Wenn mit der Testroutine nachgewiesen wurde, daß die Grundfunktionen des Rechners gewährleistet sind, sollte die Fehlersuche an den übrigen Funktionsgruppen der Anwenderkonfiguration fortgesetzt werden. Bei Speichersteckeinheiten können RAM-Bereiche wieder durch Abarbeitung der Testroutine mit Generierung des zu testenden RAM-Bereiches geprüft und durch Auswertung der Fehlerbytes die fehlerhafte Steckeinheit eliminiert werden. ROM-Bereiche können mit programmierten PROM getestet werden, effektiv durch Abarbeitung fehlerfreier Programme in diesen PROM. Ebenso sind zur Fehlersuche in Anschlußsteuerungen Programme zur Bedienung

der angeschlossenen peripheren Geräte erforderlich, wobei hier zuerst die Funktion der peripheren Geräte zu kontrollieren ist.

## 5.2.

### Fehlersuche bei Ausfall im laufenden Betrieb

Sind die Programme, bei denen ein Fehler auftritt, in einer bestimmten Rechnerkonfiguration bereits fehlerfrei gelaufen, so wird die Ursache nicht in der Verletzung von Systemforderungen und selten in Unzulänglichkeiten bei der Montage zu suchen sein. Hier wird meist ein echter Bauelementausfall vorliegen, wobei auch ein Steckkontakt als Bauelement angesehen werden muß. Wenn das Fehlerbild nicht schon auf eine bestimmte Funktionsgruppe hindeutet, sind zunächst alle Steckeinheiten und Kabelsteckverbinder auf festen Sitz zu kontrollieren. Ferner ist zu prüfen, daß kein Netzteilausfall vorliegt und alle Betriebsspannungen innerhalb der zulässigen Toleranz am Steckeinheiteneinsatz anliegen.

Anschließend daran kann eine Überprüfung der Rechnergrundfunktionen und von RAM-Bereichen mit Hilfe der Testroutine sowie die Prüfung weiterer Funktionsgruppen mit Hilfe von fehlerfreien Programmen, wie unter Pkt. 5.1. beschrieben, durchgeführt werden. Wenn die Möglichkeit eines Steckeinheitentausches besteht, kann dadurch der Nachweis erbracht werden, daß der Fehler bis auf die Steckeinheit geortet wurde und die Funktionstüchtigkeit des Rechners durch den Anwender wiederhergestellt werden. Für eine weitere Lokalisierung des Fehlers auf der Steckeinheit und die Beseitigung dieses Fehlers ist der Kundendienst des Herstellers zu beauftragen.

VII.

Technische Beschreibung

Zentrale Recheneinheit

ZRE-K 2521

ZRE-K 2522

ZRE-K 2523

ZRE-K 2524

## Inhaltsverzeichnis

	Seite
<u>1. Kurzcharakteristik</u>	VII-3
<u>2. Technische Daten</u>	VII-4
2.1. Allgemeine Daten	VII-4
2.2. Takterzeugung	VII-4
2.3. Zentrale Verarbeitungseinheit	VII-4
2.4. Speicher	VII-5
2.5. Zähler/Zeitgeber	VII-5
2.6. Parallel-Ein/Ausgabe	VII-6
2.7. Mehrrechnerkopplung	VII-6
<u>3. Technische Beschreibung</u>	VII-7
3.1. Takterzeugung und Rücksetzschaltung	VII-7
3.1.1. Takterzeugung	VII-7
3.1.2. Taktentkopplung	VII-7
3.1.3. Rücksetzschaltung	VII-8
3.2. Zentrale Verarbeitungseinheit	VII-8
3.2.1. Struktur	VII-8
3.2.2. Funktion	VII-9
3.3. Speicher	VII-11
3.3.1. Struktur	VII-11
3.3.2. Funktion	VII-12
3.4. Zähler/Zeitgeber	VII-12
3.4.1. Struktur	VII-15
3.4.2. Anschlußbedingungen	VII-15
3.5. Parallele Ein/Ausgabe	VII-18
3.5.1. Struktur	VII-18
3.5.2. Anschlußbedingungen	VII-19
3.5.3. Funktion	VII-21

## 1.

### Kurzcharakteristik

Die Steckeinheit - Zentrale Recheneinheit ZRE K 2521 ... K 2524 - ist eine zentrale Baugruppe des Mikrorechnersystems K 1520 und kann an das realisierte BUS-System angeschlossen werden, über das Daten-, Adreß- und Steuersignale mit anderen Steckeinheiten des K 1520 ausgetauscht werden können. Weiterhin ist der Einsatz der Steckeinheit als selbständiger Mikrorechner (Single-board-Rechner) möglich.

Die ZRE ist auf der Systembasis des Schaltkreises Q300 aufgebaut. Die Grundvariante K 2521 umfaßt die zentrale Verarbeitungseinheit (ZVE), den Speicher (RAM, PROM), den Zähler/Zeitgeber (CTC) und die parallele Ein/Ausgabe mit Zusatzelektronik sowie quarzstabilisiertem Taktgenerator und Rücksetzschaltung.

Durch Abrüstung von Baugruppen werden die Varianten K 2522 (ohne Taktgenerator), K 2523 (ohne CTC) und K 2524 (ohne Taktgenerator und CTC) abgeleitet.

Die ZVE kann Daten aus dem Speicher oder von peripheren Geräten verarbeiten und den Datentransport mit dem Speicher und Anschlußsteuereinheiten organisieren. Dabei wird die Arbeitsweise der ZVE durch das im Speicher des K 1520 enthaltene Programm bestimmt. Der Zähler/Zeitgeber kann zur Echt-Zeit-Verarbeitung Unterbrechungen veranlassen und dadurch die ZVE entlasten. Über den Parallel-Ein/Ausgabebaustein können ZRE-Steckeinheiten untereinander oder externe Geräte an die ZRE gekoppelt werden.

An das Kopplungsinterface eines Masterrechners können bis zu drei weitere Slaverchner zu einem Mehrrechnersystem zusammengeschaltet werden. Der Taktgenerator erzeugt den im Mikrorechner K 1520 erforderlichen Systemtakt, und die Rücksetzschaltung bewirkt nach dem Einschalten der Stromversorgung den logischen Ausgangszustand.

## 2.

### Technische Daten

#### 2.1.

##### Allgemeine Daten

Steckeinheitenabmessungen:	215 mm x 170 mm
Steckraster:	20 mm
Steckverbinder:	2 x 58polig, indirekt. Bauf. 304-58 TGL 29331/03 bzw. 2 x 58polig, direkt TGL 29331/01
Einsatzklasse:	5/60/30/95/10-1 <sub>E</sub>
Stromversorgung (typisch; alle PROMs bestückt):	K 2521 K 2522 K 2523 K 2524
5P = + 5 V ± 5 %	1,50 A 1,45 A 1,45 A 1,40 A
5N = - 5 V ± 5 %	0,07 A 0,07 A 0,07 A 0,07 A
12P = + 12 V ± 5 %	0,12 A 0,12 A 0,12 A 0,12 A

#### 2.2.

##### Takterzeugung

Quarztyp:	Q51/E2010 TGL 33584
Quarznennfrequenz:	9832 KHz
Systemtaktfrequenz:	2,4576 MHz ± 0,1 %
Systemtaktzyklus:	407 ns ± 0,1 %

#### 2.3.

##### Zentrale Verarbeitungseinheit

Schaltkreistyp:	Q300
Befehlsanzahl:	158 Basisbefehle
Befehlslänge:	1, 2, 3 oder 4 Byte
Verarbeitungsbreite:	1 Byte
Wortlänge Daten:	1 oder 2 Byte

Adressierbarer Speicher: 64K Byte  
 E/A-Adreßbereich: 256 Ein-/256 Ausgabeadressen  
 (erweiterbar)  
 Unterbrechungsarten: 1. maskierbare Unterbrechung  
 (3 verschiedene Handlungsmodi)  
 2. nichtmaskierbare Unterbrechung  
 vorhanden  
 Wartesteuerung: vorhanden  
 Refreshsteuerung: vorhanden

## 2.4.

### Speicher

Schaltkreistypen: Q260  
 Kapazität: Q240  
 4K Byte, bestehend aus:  
 - 3K Byte PROM (abrüstbar in  
 Stufen zu 1K Byte)  
 - 1 K Byte stat. RAM (m-MOS)  
 fest  
 Adressierung:  
 Adressen:  
 - 1. PROM 0000<sub>H</sub> ... 03FF<sub>H</sub>  
 - 2. PROM 0400<sub>H</sub> ... 07FF<sub>H</sub>  
 - 3. PROM 0800<sub>H</sub> ... 0BFF<sub>H</sub>  
 - RAM 0C00<sub>H</sub> ... 0FFF<sub>H</sub>

## 2.5.

### Zähler/Zeitgeber (CTC)

Schaltkreistyp: Q302  
 Anzahl der Kanäle: 4  
 Adressierung: fest  
 Adressen: 008<sub>H</sub> ... 0083<sub>H</sub>  
 Ausgangssignale: MOS, TTL-kompatibel (max. 1,8 mA)  
 Eingangssignale: MOS, TTL-kompatibel  
 Betriebsarten: 1. Zeitgeber  
 2. Zähler

Zeitgeber:

Erzeugbare Intervalle: programmierbar (16 ... 256<sup>2</sup>) · t<sub>Z</sub>  
t<sub>Z</sub> = Systemtaktzyklus

Zähler

Zählerbereich: programmierbar  
1 ... 256 externe Ereignisse  
Max. Zählbereich: 256<sup>4</sup> externe Ereignisse;  
erreichbar durch Reihenschaltung  
von 4 Kanälen

## 2.6.

### Parallel-Ein/Ausgabe (PIO)

Schaltkreistyp: Q301  
Anzahl der Ports: 2 (Port A, Port B)  
(bzw. bidirektionale  
Interfacekanäle)  
Ausgangssignale: MOS, TTL-kompatibel (max. 1,8 mA)  
Eingangssignale: MOS, TTL-kompatibel  
Adressierung: fest  
Adressen: 0084<sub>H</sub> ... 0087<sub>H</sub>  
Betriebsarten: 4

## 2.7.

### Mehrrercherkopplung

Schaltkreistyp: Q301 (siehe 2.6.)  
Anzahl der koppelbaren  
Rechner: max. 1 Master - mit 3 Slaverechnern  
Übertragungsmodus: Interruptverkehr zwischen Prozessor  
und E/A-Ports,  
programmierter Datenblocktransfer  
zwischen Master- und Slaverechnern  
Übertragungsgeschwindigkeit: 30k Byte/s

### 3.

#### Technische Beschreibung

##### 3.1.

#### Takterzeugung und Rücksetzschaltung

Die unter Pkt. 3.1.1. und 3.1.3. beschriebenen Funktionseinheiten sind nur auf den Typen K 2521 und K 2523 vorhanden.

##### 3.1.1.

#### Takterzeugung

Ein Quarzgenerator erzeugt eine Grundfrequenz von  $9830,4 \text{ KHz} \pm 0,1 \%$ . Diese wird mit Hilfe eines Dualzählers auf die Systemfrequenz von  $2,4576 \text{ MHz} \pm 0,1 \%$  geteilt (Testverhältnis 1:1). Ein folgender Treiber speist den Koppelbus mit dem Signal TAKTO. Diese Verbindung kann durch die Wickelbrücke X6 - X7 unterbrochen werden. Das ist z.B. notwendig, wenn der Takt separat erzeugt wird, wenn dieser vom Entwicklungssystem über den Busverstärker K 4120 oder von einer anderen ZRE (s.a. Mehrrechnersystem) zugeführt wird. Der Treiber gewährleistet folgende elektrische Bedingungen:

Low-Ausgangsspannung	$U_{OL}$	0,4 V bei $I_{OL}$	15 mA
High-Ausgangsspannung	$U_{OH}$	2,4 V bei $I_{OH}$	5 mA
Taktzykluszeit	$t_z$	= $407 \text{ ns} \pm 0,1 \%$	

##### 3.1.2.

#### Taktentkopplung

Unabhängig vom Ort der Takterzeugung wird das Signal TAKTO auf dem Koppelbus eingespeist und kann hier an andere Rechner oder Geräte weitergeleitet werden. In jedem Falle wird auf der ZRE eine Taktentkopplung realisiert, indem das Signal TAKTO des Koppelbus verstärkt und als Signal TAKT an der entsprechenden Klemme des Systembus eingespeist wird.

Die Typen K 2521 und K 2523 erzeugen TAKTO selbst. Für die Typen K 2522 und K 2524 muß TAKTO von einem anderen Rechner (Mehrrrechnersystem), vom Busverstärker K 4120 (Kopplung mit Entwicklungssystem) oder separat bereitgestellt werden.

### 3.1.3.

#### Rücksetzschaltung

Nach dem Einschalten der Betriebsspannung 5P wird ein Kondensator aufgeladen und mit einem Schwellwertschalter überwacht. Solange die Einschaltsschwelle noch nicht erreicht ist, wird das Systembussignal /RESET auf "low" über einen Treiber mit offenem Kollektor gezogen. Am Treiber ist ein Kollektorwiderstand von 1K Ohm angeordnet. Damit werden folgende elektrische Daten realisiert:

$U_{OL}$	0,4 V für $I_{OL}$	5 mA
$U_{OH}$	2,4 V für $I_{OH}$	- 2,25 mA.

Die Zeit vom Zuschalten der 5P bis zur "low-high"-Flanke von /RESET beträgt mindestens 300 ms.

### 3.2.

#### Zentrale Verarbeitungseinheit (ZVE)

##### 3.2.1.

##### Struktur

Die ZVE besteht aus dem Mikroprozessor (MP) Q300 und der Ergänzungselektronik. Der MP realisiert die logischen Funktionen der ZVE. Die Ergänzungselektronik gewährleistet die elektrischen Bedingungen für die Ankopplung an den Systembus des MR K 1520 und besteht aus folgenden Komponenten:

- Verstärker für /RESET und TAKT (mit Zieh Widerstand zur Pegelanhebung; mithenutzt von PIO und CTC).

- Arbeitswiderstände und Abblockdioden für ZVE-Steuersignale mit offenem Kollektor bzw. Drain (/NMI, /WAIT, /INT, /BUSRQ).
- Bildung der Bus-Anforderungsbestätigung /BAO durch eine Stufe mit offenem Kollektor (zum Zweck des externen BUS-Abschaltens im WAIT-Zustand) aus dem Signal /BUSAK.
- Verstärker für Adreßbus ABO:15, Datenbus DBO:7 und Systemsteuersignale /MREQ, /M1, /IORQ, /RD, /WR, /RFSH, /HALT, die mit BAO hochohmig geschaltet werden: /M1 und /HALT besitzen Zieh Widerstände, die dann an ihnen High-Pegel erzeugen. Nur die Datenbusverstärker arbeiten bidirektional und werden mit RD oder M1 in Richtung ZVE gesteuert.

### 3.2.2.

#### Funktion

Die Aufgabe der ZVE besteht in der Abarbeitung der im Speicher stehenden Programme und in der Reaktion auf Unterbrechungssignale von externen Einheiten.

Dazu muß die ZVE über den Systembus mit den Speichern und E/A-Einheiten Informationen austauschen.

Die Ergänzungselektronik hat keinen Einfluß auf die Funktion des Schaltkreises Q300. All seine programmtechnischen Eigenschaften sind nutzbar.

Folgende elektrische Besonderheiten sind allerdings zu beachten:

- Im Ruhezustand verstärken die Datenbustreiber in Richtung Systembus
- Auf der ZRE sind alle Widerstände der Systembusleitungen für offenen Kollektor bzw. Drain vorhanden
- /BAO ist mit offenem Kollektor ausgeführt
- Auch /RFSH, /M1 und /HALT werden bei BUSAK hochohmig geschaltet. /M1 und /HALT werden aber dabei durch Widerstände auf high gezogen.

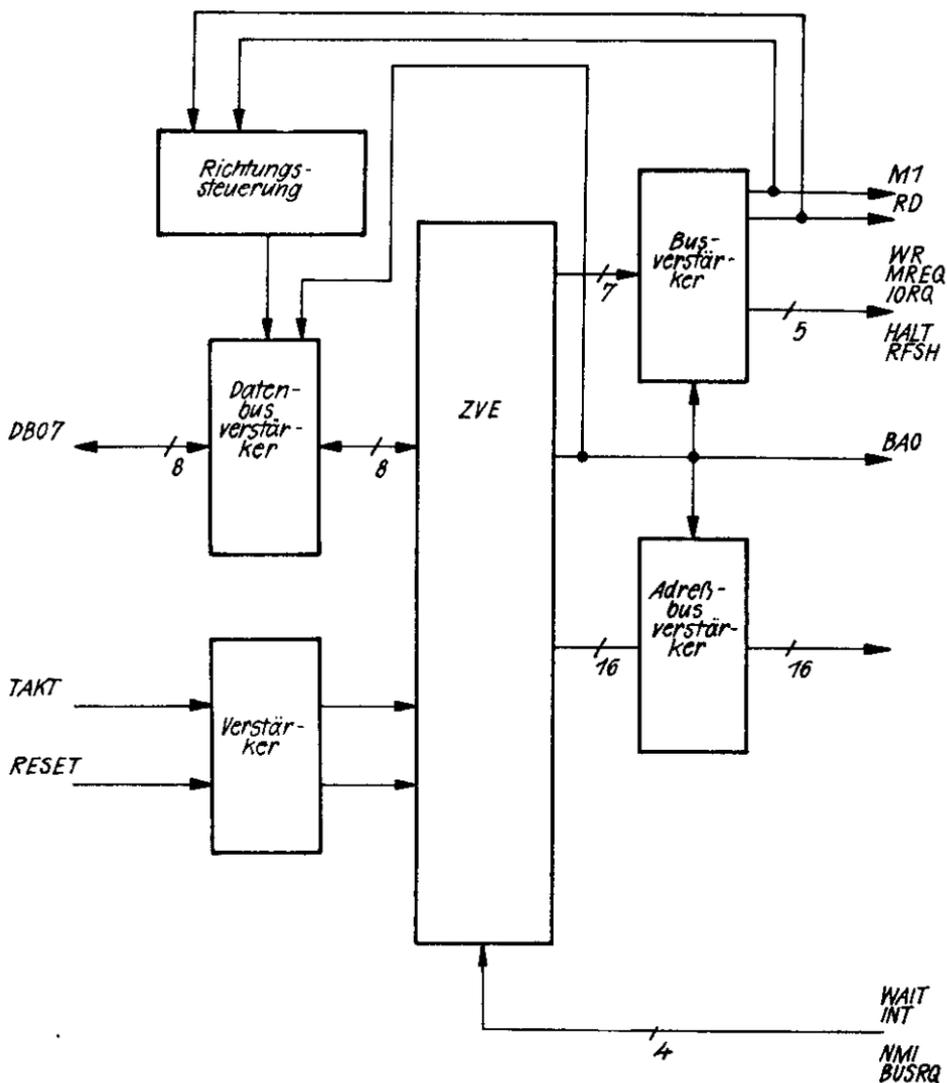


Abb. VII/1 Logische Struktur der ZVE

### 3.3.

#### Speicher

##### 3.3.1.

#### Struktur

Die Speichereinheit besteht aus einem 3K Byte Festwertspeicher und einem 1K Byte Schreib-Lese-Speicher. Der Festwertspeicher wird durch 3 EPROM vom Typ 0260 realisiert. Diese sind auf Steckfassungen angeordnet und dadurch leicht austauschbar. Sie belegen den Adressbereich von  $0000_H$  bis  $0BFF_H$ . Die Zuordnung der Adressbereiche zu den Bestückungsplätzen ist aus der Abbildung VII/2 zu ersehen. Der Schreib-Lese-Speicher wird bitweise durch 8 statische n-MOS-RAM-Schaltkreise vom Typ 0240 realisiert. Er belegt den Adressbereich von  $0C00_H$  bis  $0FFF_H$ .

Der gesamte Speicher ist mit dem Systembus über folgende Signale verbunden:

ABO:15	Adreßbus
DBO:7	Datenbus
/MEMRQ	Speicheranforderung (negiert)
/RD	Lesesteuersignal (negiert)
/WR	Schreibsteuersignal (negiert)
/MEMDI	Speicherfreigabe (negiert) evtl. durch Umwickeln ersetzt durch /MEMDI1 oder /MEMDI2
/RDY	Bereitsignal des Speichers (negiert)
/RFSH	Refresh-Signal (negiert)

Die elektrischen Bedingungen dieser Signale entsprechen den allgemeinen Forderungen des Systembusses K 152 O.

Standardmäßig wird zur Speichersperrung das Signal MEMDI verwendet. Der Anwender kann aber auch wahlweise die Signale MEMDI1 bzw. MEMDI2 verwenden, die er allerdings selbst (negiert) bereitstellen muß. Auf diese Weise ist eine Erweiterung des Speicheradressbereiches über 64K hinaus möglich. Die Auswahl erfolgt durch die Wickelbrücken

X8:1 - X9:1 für /MEMDI  
X8:2 - X9:2 für /MEMDI1  
X8:3 - X9:3 für /MEMDI2

Deren Lage ist in Abb. VII/2 erkennbar.

Abb. VII/3 zeigt die Blockstruktur der Speichereinheit.

### 3.3.2.

#### Funktion

Die Aktivierung des Speichers erfolgt durch /MREQ = low, falls AB12 bis AB15 low /RFSH, /MEMDI bzw. /MEMDI1 bzw. /MEMDI2 (je nach Verdrahtung) high sind. Daraufhin wird das Signal /RDY (offener Kollektor) auf low gezogen, die Decodierung der Adreßbits AB10 und AB11 sowie der Datenbusverstärker aktiviert. Dabei werden vier CS-Signale gebildet, die zur Ansteuerung der vier 1K Byte-Speichermatrizen dienen. Auf welches Byte innerhalb der Matrix zugegriffen wird, entscheiden die die Speicherschaltkreise direkt steuernden Adreßbits ABO bis AB9. Beim RAM bewirkt das Signal /WR = low das Einschreiben der verstärkten Datenbussignale DBO bis DB7 in den Speicher. Dabei ist der DB-Puffer durch /RD = high in Richtung zum Speicher gesteuert und legt die Daten an dessen Eingänge. Beim Lesen wird der DB-Puffer durch /RD = low in Richtung Systembus gesteuert und das von der mit CS aktivierten Speichermatrix gelieferte Datenbyte verstärkt.

### 3.4.

#### Zähler/Zeitgeber

Der Zähler/Zeitgeber ist nur auf den Typen K 2521 und K 2522 realisiert.

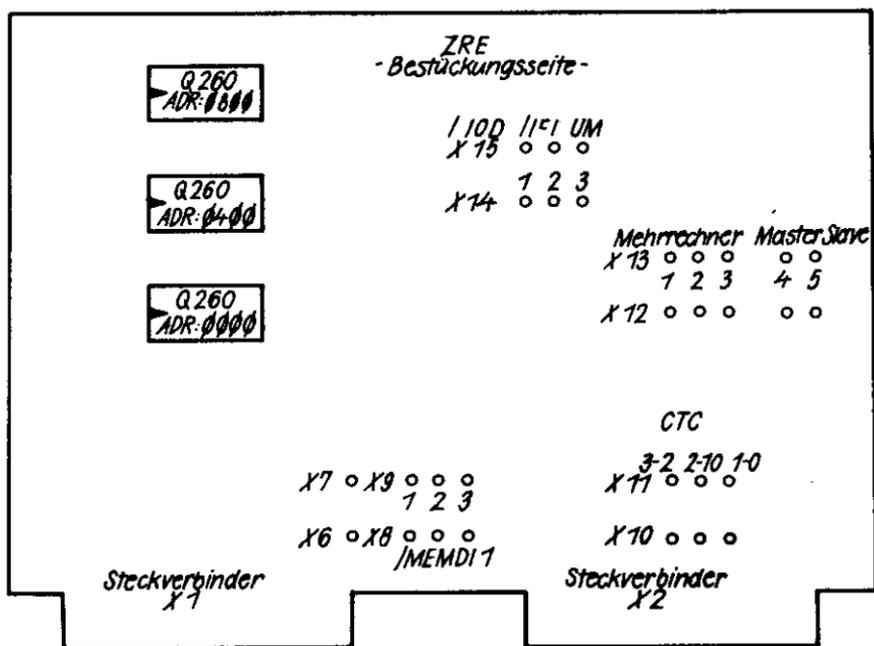


Abb. VII/2 Zentrale Bedieneinheit K 2521 ... K 2524  
Adressenzuordnung der PROM-Plätze und  
Anordnung der Wickelbrücken

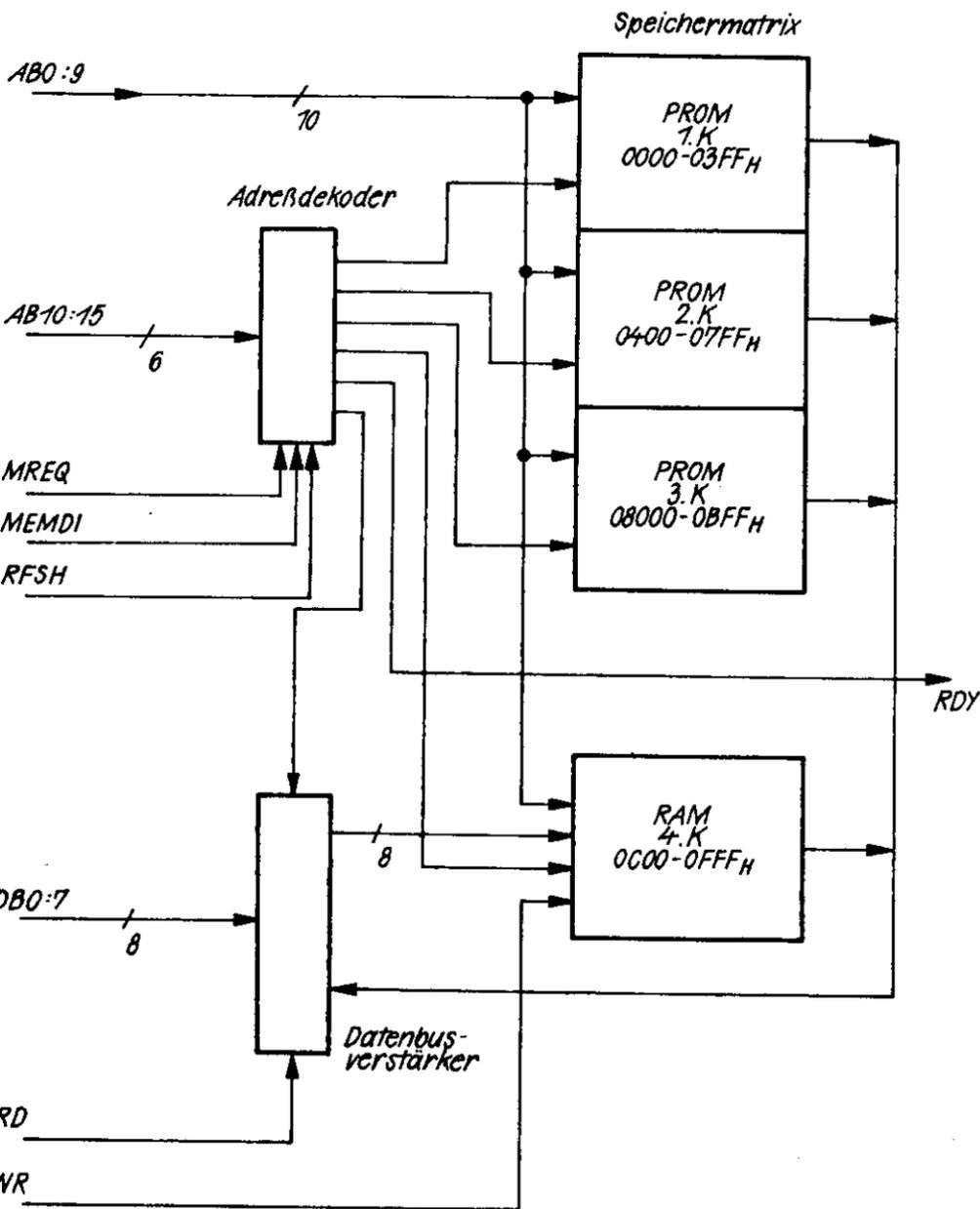


Abb. VII/3 Logische Struktur des Speichers der ZRE

### 3.4.1.

#### Struktur

Der Zähler/Zeitgeber besteht aus dem Schaltkreis Q302 und der Ergänzungselektronik. Die Ergänzungselektronik dient der Anpassung des Q302 an die elektrischen und logischen Bedingungen des Systembusses K 1520. Sie wird mit dem Q301 gemeinsam benutzt und besteht im wesentlichen aus Datenpuffer mit Richtungssteuerung und Adressenentschlüsselung zur Bildung des Bausteinauswahl- und RDY-Signals.

### 3.4.2.

#### Anschlußbedingungen

#### 3.4.2.1.

##### Systembus

Die elektrischen und logischen Bedingungen des CTC entsprechen denen des Systembusses K 1520, lt. TGL 37271.

#### 3.4.2.2.

##### Koppelbus

Die anwenderspezifischen Ein- und Ausgangssignale des Q302 sind an dem Koppelbus geführt und konstruktiv wie folgt angeordnet:

	Steckver.-Klemme
CLK/TRGO	X2:B25
CLK/TRG 1	X2:B24
CLK/TRG 2	X2:B23
CLK/TRG 3	X2:A22
Nulldurchgangs-/Triggerausgänge	
ZC/T00	X2:A25
ZC/T01	X2:A24
ZC/T02	X2:A23

### 3.4.2.3.

#### Funktion

Der Anwender kann alle Möglichkeiten nutzen die der Schaltkreis Q302 bietet. Die oben angeführten Signale werden ungeschaltet zur Verfügung gestellt.

Durch Wickelbrücken können die Kanäle aber auch wie folgt in Reihe geschaltet werden:

X10:3 - X11:3	: ZC/TOØ	CLK/TRG1
X10:2 - X11:2	: ZC/TO1	CLK/TRG2
X10:1 - X11:1	: ZC/TO2	CLK/TRG3

Der Schaltkreis wird vom Systembus über die Ergänzungs elektronik angesteuert, falls auf dem Adreßbus AB7 bis ABO die Adressen 80<sub>H</sub> bis 83<sub>H</sub> liegen, /IODI, /M1 high und /IORQ low sind. Die Verdrahtung der Bits ABO und AB1 realisiert folgende Bedeutung der Adressen:

<u>AB7:0</u>	<u>Kanal</u>
80 <sub>H</sub>	0
81 <sub>H</sub>	1
82 <sub>H</sub>	2
83 <sub>H</sub>	3

Der Q302 besitzt in der Interruptkette der ZRE die höchste Priorität. Der Datenbuspuffer ist bidirektional und wird in Richtung Systembus gesteuert, wenn der Q302 ausgewählt wird und dabei /RD = low ist (Lesen-Zugriff) oder /IORQ und /M1 low, IEI und /IEO high sind (Unterbrechungsquittung).

Bei Ein- und Ausgabezugriff sowie Interruptanerkennung wird jeweils /RDY auf low gezogen.

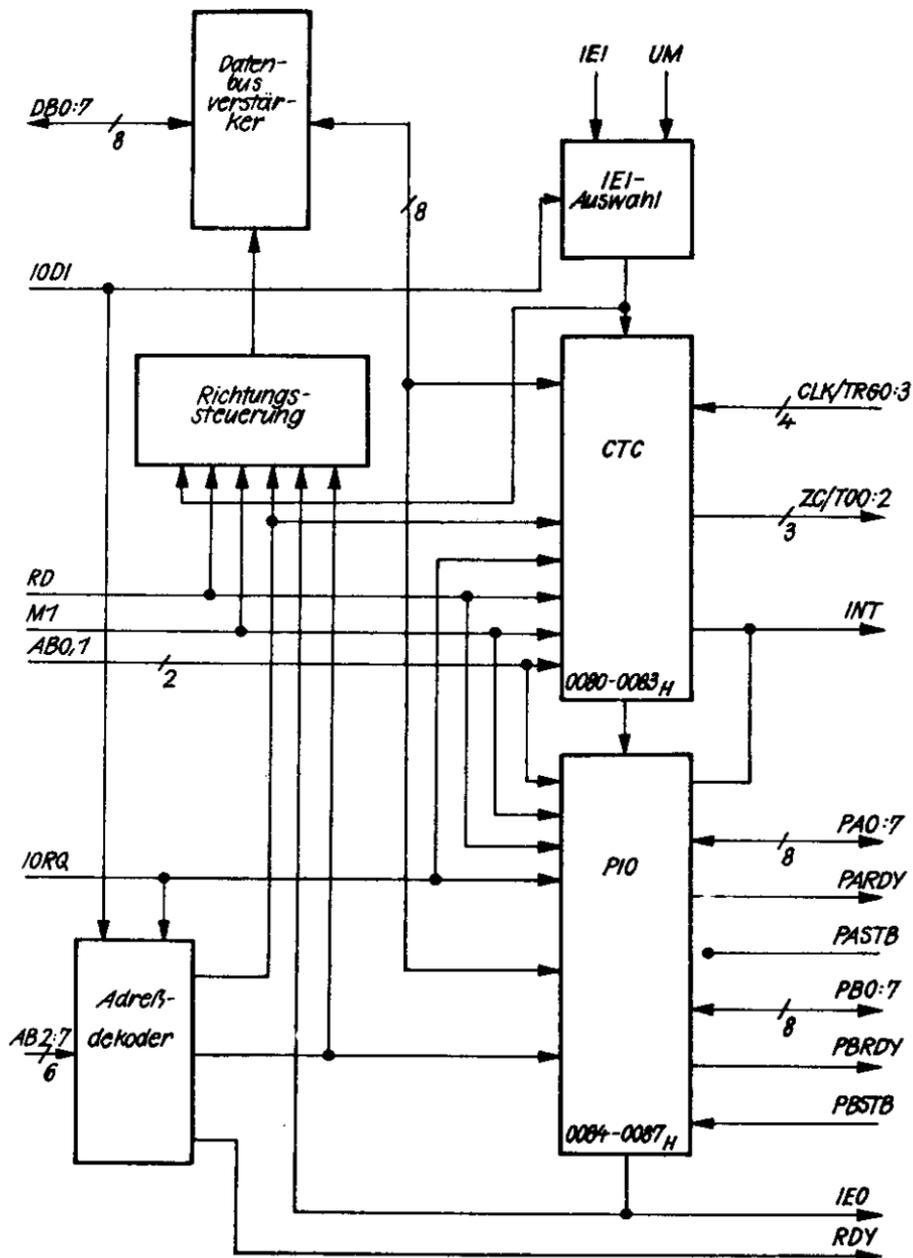


Abb. VII/4 Logische Struktur von Zähler/Zeitgeber und Parallel-Ein- und Ausgabeinterface (ohne Koppel-elektronik)

### 3.5.

#### Parallele Ein/Ausgabe

##### 3.5.1.

##### Struktur

Die Schaltung zur parallelen Ein- und Ausgabe besteht aus dem Schaltkreis Q301, einer Ergänzungselektronik und einer Koppel-elektronik. Die Ergänzungselektronik dient der Anpassung des Q301 an die elektrischen und logischen Bedingungen des System-busses K 1520. Sie wird bei den Typen K 2521 und K 2522 mit dem Q302 gemeinsam genutzt und besteht aus Datenverstärkern mit Richtungssteuerlogik, Adressenentschlüsselung zur Bildung der CS-Signale und des RDY-Signals, der Auswahl des IBI-Signals mit einer Look-Ahead-Carry-Schaltung sowie einigen Verstärkern. Der Q301 kann zur Kopplung von bis zu vier K 1520 benutzt werden. Er besitzt dazu eine Koppel-elektronik zur Synchronisierung des Datenaustausches. Diese kann durch Wickelverbindungen vom Q301 getrennt oder für die Verwendung als Master- bzw. Slave-Rechner verdrahtet werden (siehe Abb. VII/2 und Tabelle 1).

Tabelle 1:

Festlegung des Regimes der ZRE durch die Wickelbrücken X12/X13

Regime	X12:1	:2	:3	:4	:5
	X13:1	:2	:3	:4	:5
Einzelrechner					
Mehrrechner Master	x	x	x	x	
Mehrrechner Slave	x	x	x		x

x = Wickelbrücke vorhanden

### 3.5.2.

#### Anschlußbedingungen

##### 3.5.2.1.

#### Systembus

Die elektrischen und logischen Bedingungen der Ein-/Ausgabe entsprechen denen des Systembusses K 1520, lt. TGL 37271.

##### 3.5.2.2.

#### Koppelbus

- Verwendung zur parallelen Ein- und Ausgabe

Die elektrischen und logischen Bedingungen entsprechen denen des Schaltkreises Q301. Konstruktiv sind Signale wie folgt angeordnet:

<u>Q301-Bezeichnung</u>	<u>Signalname</u>	<u>Klemme der Steckeinheit</u>
A0	PA0	X2:A16
A1	PA1	X2:B16
A2	PA2	X2:A15
A3	PA3	X2:B15
A4	PA4	X2:A14
A5	PA5	X2:B14
A6	PA6	X2:A13
A7	PA7	X2:B13
ARDY	PARDY	X2:B12
/ASTB	/PASTB	X2:B17
B0	PB0	X2:A11
B1	PB1	X2:B11
B2	PB2	X2:A10
B3	PB3	X2:B10
B4	PB4	X2:A09
B5	PB5	X2:B09
B6	PB6	X2:A08
B7	PB7	X2:B08
BRDY	PBRDY	X2:A12
/BSTB	/PBSTB	X2:A17

- Verwendung zur Mehrrechner-Kopplung

Die Mehrrechnerkopplung verwendet einen Koppelbus aus 8 Datenleitungen, 2 Datensynchronisationsleitungen, 7 Leitungen zur Adressierung, Quittierung und Statuskennzeichnung, eine Leitung zur Verbindung der /RESET-Signale und (bei Verwendung eines zentralen Taktgenerators) eine Leitung zur Verteilung des zentralen Taktes. Sie sind logisch und elektrisch aufeinander abgestimmt und werden über alle vier Rechner durchgehend verdrahtet. Konstruktiv sind die Signale wie folgt angeordnet:

<u>Signalname</u>	<u>Klemme der Steckeinheit</u>	
PA0	X2:A16	} - Datenleitungen
PA1	X2:B16	
PA2	X2:A15	
PA3	X2:B15	
PA4	X2:A14	
PA5	X2:B14	
PA6	X2:A13	
PA7	X2:B13	
/PRDY	X2:B06	} - Datensynchronisations- leitungen
/PSTB	X2:A06	
PB0	X2:A11	Statuskennzeichnung
PB2	X2:A10	} Leitungen zur - Adressierung und Quittierung
PB3	X2:B10	
PB4	X2:A09	
PB5	X2:B09	
PB6	X2:A08	
PB7	X2:B08	
/RESET	X2:B05	Rücksetzen des Mehr- rechnersystems
TAKTO	X2:B04	Zentraler Takt des Mehrrechnersystems (falls verwendet)

### 3.5.3.

#### Funktion

#### 3.5.3.1.

#### Verwendung zur Ein- und Ausgabe

Hierbei sind vom Anwender alle Möglichkeiten des Schaltkreises Q301 nutzbar. Das peripherieseitige Interface wird unbeschaltet zur Verfügung gestellt.

Der Schaltkreis wird vom Systembus über die Ergänzungselektronik angesteuert, falls auf dem Adreßbus AB7 bis ABO die Adressen  $84_H$  bis  $87_H$  liegen. /M1, /IODI high und /IORQ low sind. Durch disjunktive Verknüpfung von M1 mit RESET wird das Zurücksetzen des Q301 ermöglicht. Die Verbindung von ABO mit B/A-SEL und AB1 mit C/D-SEL realisiert die folgende Bedeutung der Adressen:

<u>AB7:0</u>	<u>Bedeutung des Bytes auf DBO:7</u>
$84_H$	Daten von/zu Port A
$85_H$	Daten von/zu Port B
$86_H$	Steuerwort zum Port A
$87_H$	Steuerwort zum Port B

Durch Verbindung des Signals IEI des Q301 mit IEO des Q302 wird beim K 2521 und K 2522 die Interruptpriorität nach dem Q302 eingeordnet. Der Datenbusverstärker ist bidirektional und wird in Richtung Systembus gesteuert, wenn der Q301 ausgewählt wird und dabei /RD = low ist (Lesezugriff) oder /IORQ und /M1 low sind und IEI und /IEO high sind (Unterbrechungsquittung).

Bei Ein- und Ausgabezugriff sowie Interruptanerkennung wird jeweils /RDY auf low gezogen.

IEI der Steckeinheit kann vom Anwender durch Wickelbrücken auf drei Arten erzeugt werden:

1. Auswahl von /IODI durch Verbindung X14:1 - X15:1 (Normalfall; ZRE hat höchste Priorität)

2. Auswahl von /IEI des Systembus durch Verbindung X 14:2 - X15:2 (ZRE wird innerhalb der Prioritätskette eingereicht).
3. Auswahl von UM durch Verbindung X14:3 - X15:3 (für spezielle Kopplung mit dem Entwicklungssystem MRES 20 über BVE K 4120).

### 3.5.3.2.

#### Verwendung zur Mehrrechnerkopplung

Durch eine zusätzliche Koppel elektronik und spezielle Verdrahtung des Koppelbusses ist hier der Q301 nur noch eingeschränkt nutzbar. Die Verbindung mit dem Systembus entspricht der Verwendung als Parallel-E/A-Interface. Durch die Koppelverdrahtung entsteht ein Mehrrechnersystem aus einem Master (gekennzeichnet durch das Masterregime der Koppel elektronik) und bis zu drei Slaves (gekennzeichnet durch das Slaveregime der Koppel elektronik). Der Datenaustausch kann nur zwischen Master und jeweils einem aktiven Slave erfolgen.

Die Funktionen des Kopplungsinterface werden vom Schaltkreis Q301 wie folgt realisiert.

Port B arbeitet im Modus 3. Bit B $\emptyset$  des Masters realisiert das Statuskennzeichen PB $\emptyset$ , welches die Übertragungsrichtung kennzeichnen kann. In den Slaves wird PBO als Bit 0 des Ports B empfangen. Das Bit B1 des Q301 eines jeden Rechners stellt im High-Zustand die Funktionsfähigkeit der Koppel elektronik her, d.h. die Bereitschaft zur Datentübertragung über die Datenleitungen. Die Datenleitungen PA0:7 des Koppelbusses werden direkt von den Datenleitungen A/:7 des Ports A des Q301 gebildet, welches je nach Übertragungsrichtung im Modus 0 (Ausgabe) oder 1 (Eingabe) arbeiten muß.

Im Slave werden das eigene ARDY und B1 des Q301 und PRDY (welches ARDY und B1 des Masters entspricht) konjunktiv verknüpft und ein etwa 1  $\mu$ s langer Strobe-Impuls erzeugt, der den Datenaustausch im Slave und Master (dort als PSTB) quittiert. Während der Einleitung des Datenaustausches vom Master

wird der jeweilige Slave durch die Bits PB2 bis PB4 (d.h. B2 bis B4 von Port B des Q301) adressiert. Leitet ein Slave die Übertragung ein, so erfolgt die Adressierung durch die Bits PB5:7 (d.h. B5:7 des Q301). Durch die Adressierung wird im jeweiligen Partner eine Unterbrechung ausgelöst, die nach Vorbereitung des Datenaustausches zur Quittierung über die jeweiligen Adreßleitungen (PB2:4 zum Slave, PB5:7 zum Master) führt.

Von diesen Funktionen ausgehend muß während der Initialisierungsphase folgende Programmierung des Q301 erfolgen:

Betriebssteuerwort Port A	Master	0F <sub>H</sub> (Mode 0)
	Slave	4F <sub>H</sub> (Mode 1)
Betriebssteuerwort Port B		CF <sub>H</sub> (Mode 3)
Bit-E/A-Steuerwort Port B	Master	EO <sub>H</sub>
	Slave 1	DD <sub>H</sub>
	Slave 2	BD <sub>H</sub>
	Slave 3	7D <sub>H</sub>

Interruptvektor (niederer Adressenteil der Interrupt-Tabellenzeile; programmspezifisch festgelegt).

Interruptsteuerwort Port A		87 <sub>H</sub>
Interruptsteuerwort Port B		B7 <sub>H</sub>
Interruptmaskenwort Port B	Master	1F <sub>H</sub>
	Slave 1	FB <sub>H</sub>
	Slave 2	F7 <sub>H</sub>
	Slave 3	EF <sub>H</sub>

Vor dem Setzen des Interruptsteuerwortes und der Interruptmaske in irgend einem Rechner muß programmäßig gewährleistet werden, daß die Ausgabebits von Port B in allen Rechnern auf low gesetzt sind.

Entsteht in einem Rechner eine Bedingung zum Datenaustausch, so wird durch Adressierung des Partners der Verbindungsaufbau eingeleitet. Nach dem Setzen des Status PBO vom Master und dem Aktivieren der Koppелеlektronik durch die jeweiligen Bit 1 des Port B wird das Quittierungssignal zurückgeschickt. Beide Rechner verzweigen in die Datenaustauschroutine, die den üblichen Datenaustausch über die Ports A abwickeln. Danach erfolgt der Abbau der Verbindungen durch Rücksetzen der Adreß- und Quittungsleitungen.

VIII.

Technische Beschreibung

Zentrale Recheneinheit ZRE K 2525

## Inhaltsverzeichnis

	Seite
<u>1. Kurzcharakteristik</u>	VIII-3
<u>2. Technische Daten</u>	VIII-4
2.1. Allgemeine Daten	VIII-4
2.2. Takterzeugung	VIII-4
2.3. Zentrale Verarbeitungseinheit	VIII-4
2.4. Speicher	VIII-5
2.5. Zähler/Zeitgeber	VIII-5
2.6. Anschlußelektronik für PROM-Kassette	VIII-6
2.7. Anschlußelektronik für alpha-numerische Kleinanzeige	VIII-6
<u>3. Technische Beschreibung</u>	VIII-7
3.1. Takterzeugung und Rücksetzschaltung	VIII-7
3.1.1. Takterzeugung	VIII-7
3.1.2. Taktentkopplung	VIII-7
3.1.3. Rücksetzschaltung	VIII-8
3.2. Zentrale Verarbeitungseinheit	VIII-8
3.2.1. Struktur	VIII-8
3.2.2. Funktion	VIII-9
3.3. Speicher	VIII-10
3.3.1. Struktur	VIII-10
3.3.2. Funktion	VIII-11
3.4. Zähler/Zeitgeber	VIII-11
3.4.1. Struktur	VIII-11
3.4.2. Anschlußbedingungen	VIII-11
3.5. Anschluß für PROM-Kassette	VIII-13
3.6. Anschluß für alpha-numerische Kleinanzeige	VIII-15

1.

## Kurzcharakteristik

Die Steckeinheit - Zentrale Recheneinheit ZRE K 2525 - ist eine zentrale Baugruppe des Mikrorechnersystems K 1520 und kann an das realisierte BUS-System angeschlossen werden, über das Daten-, Adreß- und Steuersignale mit anderen Steckeinheiten des K 1520 ausgetauscht werden können.

Die ZRE ist auf der Systembasis des Schaltkreises Q300 aufgebaut. Sie umfaßt die zentrale Verarbeitungseinheit (ZVE), den Speicher (PROM), den Zähler/Zeitgeber (CTC), die Anschlußelektronik für eine PROM-Kassette und Anschlußelektronik für eine alpha-numerische Kleinanzeige sowie den quarzstabilisierten Taktgenerator und die Rücksetzschtaltung.

Der Einsatz der Steckeinheit als selbständiger Mikrorechner (Single-board-Rechner) ist nicht möglich (kein E/A-Anschluß vorhanden).

Die ZVE kann Daten aus dem Speicher oder von peripheren Geräten verarbeiten und den Datentransport mit dem Speicher und den Anschlußsteuereinheiten organisieren. Dabei wird die Arbeitsweise der ZVE durch das im Speicher des K 1520 enthaltene Programm bestimmt. Der Zähler/Zeitgeber kann zur Echtzeit-Verarbeitung Unterbrechungen veranlassen und dadurch die ZVE entlasten.

Neben dem auf der Steckeinheit vorgesehenen PROM kann über einen griffseitig angeordneten Steckverbinder eine PROM-Kassette angeschlossen werden. Der Anschluß der alpha-numerischen Kleinanzeige, die sich auf der Steckeinheit ATD K 7026 befindet, ist vorbereitet. Der Taktgenerator erzeugt den im Mikrorechner K 1520 erforderlichen Systemtakt. Die Rücksetzschtaltung bewirkt nach dem Einschalten der Stromversorgung den logischen Ausgangszustand.

## 2.

### Technische Daten

#### 2.1.

##### Allgemeine Daten

Steckeinheitenabmessungen:	215 mm x 170 mm
Steckraster:	20 mm
Steckverbinder:	2 x 58polig, indirekt, Bauf.304-58 TGL 29331/03 bzw. 2 x 58polig, direkt TGL 29331/01 1 x 58polig, indirekt, Bauf.202-58 TGL 29331/03 (Anschluß PROM-Kassette)
Einsatzklasse:	5/60/30/95/10-1 <sub>E</sub>

Stromversorgung (typisch; alle PROM auf ZRE bestückt, ohne PROM-Kassette):

5P = + 5 V ± 5 %	1,0 A
5N = - 5 V ± 5 %	0,2 A
12P = + 12 V ± 5 %	0,3 A

#### 2.2.

##### Takterzeugung

Quarstyp:	Q51/E2010 TGL 33584
Quarznennfrequenz:	9832 KHz
Systemtaktfrequenz:	2,4576 MHz ± 0,1 %
Systemtaktzyklus:	407 ns ± 0,1 %

#### 2.3.

##### Zentrale Verarbeitungseinheit

Schaltkreistyp:	Q300
Befehlsanzahl:	158 Basisbefehle

Befehlslänge:	1, 2, 3 oder 4 Byte
Verarbeitungsbreite :	1 Byte
Wortlänge Daten:	1 oder 2 Byte
Adressierbarer Speicher:	64K Byte
E/A-Adressbereich:	256 Ein-/256 Ausgabeadressen (erweiterbar)
Unterbrechungsarten:	1. maskierbare Unterbrechung (3 verschiedene Handlungsmodi) 2. nichtmaskierbare Unterbrechung
Wartesteuerung:	vorhanden
Refreshsteuerung:	vorhanden

#### 2.4.

##### Speicher

Schaltkreistyp:	Q260
Kapazität:	8K Byte, abrufbar in Stufen zu 1K Byte
Adressierung:	fest
Adressen:	
- 1. PROM	0000 <sub>H</sub> ... 03FF <sub>H</sub>
- 2. PROM	0400 <sub>H</sub> ... 07FF <sub>H</sub>
- 3. PROM	0800 <sub>H</sub> ... 0BFF <sub>H</sub>
- 4. PROM	0C00 <sub>H</sub> ... 0CFF <sub>H</sub>
- 5. PROM	1000 <sub>H</sub> ... 13FF <sub>H</sub>
- 6. PROM	1400 <sub>H</sub> ... 17FF <sub>H</sub>
- 7. PROM	1800 <sub>H</sub> ... 1BFF <sub>H</sub>
- 8. PROM	1C00 <sub>H</sub> ... 1FFF <sub>H</sub>

#### 2.5.

##### Zähler/Zeitgeber (CTC)

Schaltkreistyp:	Q302
Anzahl der Kanäle:	4
Adressierung:	fest
Adressen:	0080 <sub>H</sub> ... 0083 <sub>H</sub>

Ausgangssignale: MOS, TTL-kompatibel  
(max. 1,8 mA)  
Eingangssignale: MOS, TTL-kompatibel  
Betriebsarten: 1. Zeitgeber  
2. Zähler

Zeitgeber

Erzeugbare Intervalle: programmierbar  
(16 ... 256<sup>2</sup>) · t<sub>Z</sub>  
t<sub>Z</sub> = Systemtaktzyklus

Zähler

Zählerbereich: programmierbar  
1 ... 256 externe Ereignisse  
Max. Zählbereich: 256<sup>4</sup> externe Ereignisse;  
erreichbar durch Reihenschaltung  
von 4 Kanälen

## 2.6.

### Anschluß für PROM-Kassette

Kapazität: max. 8K Byte  
Adressierung: fest  
Adressen: E000<sub>H</sub> ... FFFF<sub>H</sub>  
Speicherselektion: in Bereichen zu 1K Byte vorhanden  
Datenbreite: 1 Byte  
Datenbusentkopplung: vorhanden

## 2.7.

### Anschluß für alpha-numerische Kleinanzeige

Prinzip: Nutzung von RFSH-Zyklen zur  
Datenübertragung  
Vorbereitete Funktionen: - Bereitstellung des 4fachen  
Systemtaktes

- externe Steuerung von Steuer- und Adreßbus
- getrennte Bereitstellung von AB-Signalen

### 3.

#### Technische Beschreibung

##### 3.1.

#### Takterzeugung und Rücksetzschaltung

##### 3.1.1.

#### Takterzeugung

Ein Quarzgenerator erzeugt eine Grundfrequenz von 9830,4 KHz  $\pm$  0,1 %. Diese wird mit Hilfe eines Dualzählers auf die Systemtaktfrequenz von 2,4576 MHz  $\pm$  0,1 % geteilt (Teilverhältnis 1:1). Ein folgender Treiber speist den Koppelbus mit dem Signal TAKTO. Diese Verbindung kann durch die Wickelbrücke X10 - X11 unterbrochen werden. Das ist z.B. notwendig, wenn der Takt separat erzeugt wird, wenn dieser vom Entwicklungssystem über den Busverstärker K412 0 oder von einer Baugruppe des Anwenders zugeführt wird. Der Treiber gewährleistet folgende elektrische Bedingungen:

Low-Ausgangsspannung	$U_{OL} \leq 0,4 \text{ V bei } I_{OL} = 15 \text{ mA}$
High-Ausgangsspannung	$U_{OH} \leq 2,4 \text{ V bei } I_{OH} = -5 \text{ mA}$
Taktzykluszeit	$t_z = 407 \text{ ns } \pm 0,1 \%$

##### 3.1.2.

#### Taktentkopplung

Unabhängig vom Ort der Takterzeugung wird das Signal TAKTO auf dem Koppelbus eingespeist und kann hier an andere Rechner oder Geräte weitergeleitet werden. In jedem Falle wird auf der ZRE eine Taktentkopplung realisiert, indem das Signal TAKTO

des Koppelbus verstärkt und als Signal TAKT an der entsprechenden Klemme des Systembus eingespeist wird.

### 3.1.3.

#### Rücksetzschaltung

Nach dem Einschalten der Betriebsspannung 5P wird ein Kondensator aufgeladen und mit einem Schwellwertschalter überwacht. Solange die Einschaltsschwelle noch nicht erreicht ist, wird das Systembussignal /REST auf "low" über einen Treiber mit offenem Kollektor gezogen. Am Treiber ist ein Kollektorwiderstand von 1K Ohm angeordnet. Damit werden folgende elektrische Daten realisiert:

$$U_{OL} = 0,4 \text{ V für } I_{OL} = 5 \text{ mA}$$

$$U_{OH} = 2,4 \text{ V für } I_{OH} = - 2,25 \text{ mA.}$$

Die Zeit vom Zuschalten der 5P bis zur "low-high"-Flanke von /RESET beträgt mindestens 300 ms.

### 3.2.

#### Zentrale Verarbeitungseinheit (ZVE)

#### 3.2.1.

##### Struktur

Die ZVE besteht aus dem Mikroprozessor (MP) Q300 und der Ergänzungselektronik. Der MP realisiert die logischen Funktionen der ZVE. Die Ergänzungselektronik gewährleistet die elektrischen Bedingungen für die Ankopplung an den Systembus des MR K 1520 und besteht aus folgenden Komponenten:

- Verstärker für /RESET und TAKT (mit Zieh Widerstand zur Pegelanhebung; mitbenutzt vom CTC)
- Arbeitswiderstände für ZVE-Steuersignale mit offenem Kollektor bzw. Drain (/NMI, /WAIT, /INT, /BUSRQ).
- Bildung der Bus-Anforderungsbestätigung /BAO durch eine Stufe mit offenem Kollektor (zum Zweck des externen BUS-Abschaltens)

im WAIT-Zustand) aus dem Signal /BUSAK.

- Verstärker für Adreßbus ABO:15, Datenbus DBO:7 und Systemsteuersignale /MREQ, /M1, /IORQ, /RD, /WR, /RFSH, /HALT, die mit BAO hochohmig geschaltet werden. Nur die Datenbusverstärker arbeiten bidirektional und werden mit RD oder M1 • IORQ in Richtung ZVE gesteuert.

Die Blockstruktur der ZVE ist in Abbildung VIII/1 dargestellt.

### 3.2.2.

#### Funktion

Die Aufgabe der ZVE besteht in der Abarbeitung der im Speicher stehenden Programme und in der Reaktion auf Unterbrechungssignale von externen Einheiten.

Dazu muß die ZVE über den Systembus mit den Speichern und E/A-Einheiten Informationen austauschen.

Die Ergänzungselektronik hat keinen Einfluß auf die Funktion des Schaltkreises Q300. Alle seine programmtechnischen Eigenschaften sind nutzbar.

Folgende elektrische Besonderheiten sind allerdings zu beachten:

- Im Ruhezustand verstärken die Datenbustreiber in Richtung Systembus
- Auf der ZRE sind alle Widerstände der Systembusleitungen für offenen Kollektor bzw. Drain vorhanden
- /BAO ist mit offenem Kollektor ausgeführt
- Auch /RFSH, /M1 und /HALT werden bei BUSAK hochohmig geschaltet.

### 3.3.

#### Speicher

##### 3.3.1.

#### Struktur

Auf der Steckeinheit ist ein 8K Byte Festwertspeicher vorhanden. Dieser wird durch 8 EPROM vom Typ Q 260 realisiert. Sie sind auf Steckfassungen angeordnet und dadurch leicht austauschbar. Der Festwertspeicher belegt den Adressbereich von  $0000_H$  bis  $1FFF_H$ . Die Zuordnung der Adressbereiche zu den Bestückungsplätzen ist aus der Abbildung VIII/3 zu ersehen.

Der gesamte Speicher ist mit dem Systembus über folgende Signale verbunden:

ABO:15	Adreßbus
DBO:7	Datenbus
/MEMRQ	Speicheranforderung (negiert)
/RD	Lesesteuersignal (negiert)
/MEMDI	Speicherfreigabe (negiert) evtl. durch Umwickeln ersetzt durch /MEMDI1 oder /MEMDI2
/RDY	Bereitsignal des Speichers (negiert)
/RPSH	Refresh-Signal (negiert)

Die elektrischen Bedingungen dieser Signale entsprechen den allgemeinen Forderungen des Systembusses K 1520.

Standardmäßig wird zur Speichersperrung das Signal MEMDI verwendet. Der Anwender kann aber auch wahlweise die Signale MEMDI1 bzw. MEMDI2 verwenden, die er allerdings selbst (negiert) bereitstellen muß. Auf diese Weise ist eine Erweiterung des Speicheradressbereiches über 64K hinaus möglich. Die Auswahl erfolgt durch die Wickelbrücken

X6:1 - X7:1	für /MEMDI
X6:2 - X7:2	für /MEMDI1
X6:3 - X7:3	für /MEMDI2

Abbildung VIII/2 zeigt die Blockstruktur der Speichereinheit.

### 3.3.2.

#### Funktion

Die Aktivierung des Speichers erfolgt durch  $\overline{MREQ} = \text{low}$ , falls AB13 bis AB15 low,  $\overline{RFSH}$ ,  $\overline{MEMDI}$  bzw.  $\overline{MEMDI1}$  bzw.  $\overline{MEMDI2}$  (je nach Verdrehung) high sind. Daraufhin wird das Signal  $\overline{RDY}$  (offener Kollektor) auf low gezogen, die Decodierung der Adreßbits AB10 bis AB12 sowie der Datenbusverstärker aktiviert. Dabei werden acht CS-Signale gebildet, die zur Ansteuerung der acht 1K Byte-Speichermatrizen dienen. Auf welches Byte innerhalb der Matrix zugegriffen wird, entscheiden die die Speicherschaltkreise direkt steuernden Adreßbits ABO bis AB9. Beim Lesen wird der DB-Puffer durch  $\overline{RD} = \text{low}$  in Richtung Systembus gesteuert und das von der mit CS aktivierten Speichermatrix gelieferte Datenbyte verstärkt.

### 3.4.

#### Zähler/Zeitgeber

##### 3.4.1.

#### Struktur

Der Zähler/Zeitgeber besteht aus dem Schaltkreis Q302 und der Ergänzungselektronik. Die Ergänzungselektronik dient der Anpassung des Q302 an die elektrischen und logischen Bedingungen des Systembusses K 152 O. Sie wird mit dem Speicher gemeinsam benutzt und besteht im wesentlichen aus Datenpuffer mit Richtungssteuerung und Adressenentschlüsselung zur Bildung des Bausteinauswahl- und  $\overline{RDY}$ -Signals.

##### 3.4.2.

#### Anschlußbedingungen

##### 3.4.2.1.

#### Systembus

Die elektrischen und logischen Bedingungen des CTC entsprechen denen des Systembusses K 152 O, lt. TGL 37271.

### 3.4.2.2.

#### Koppelbus

Die anwenderspezifischen Ein- und Ausgangssignale des Q302 sind an den Koppelbus geführt und konstruktiv wie folgt angeordnet:

Takt-/Triggereingänge	Steckver.-Klemme
CLK/TRG0	X2:B25
CLK/TRG1	X2:B24
CLK/TRG2	X2:B23
CLK/TRG3	X2:A22

#### Nulldurchgangs-/Timerausgänge

ZG/TOO	X2:A25
ZG/TO1	X2:A24
ZG/TO2	X2:A23

### 3.4.2.3.

#### Funktion

Der Anwender kann alle Möglichkeiten nutzen, die der Schaltkreis Q302 bietet. Die oben angeführten Signale werden unbeschaltet zur Verfügung gestellt.

Der Schaltkreis wird vom Systembus über die Ergänzungselektronik angesteuert, falls auf dem Adreßbus AB7 bis ABO die Adressen 80<sub>H</sub> bis 83<sub>H</sub> liegen, /IODI, /M1 high und /IORQ low sind. Die Verdrahtung der Bits ABO und AB1 realisiert folgende Bedeutung der Adressen:

<u>AB7:0</u>	<u>Kanal</u>
80 <sub>H</sub>	0
81 <sub>H</sub>	1
82 <sub>H</sub>	2
83 <sub>H</sub>	3

Der Q302 besitzt in der Interruptkette der ZRE die höchste Priorität. Der Datenbuspuffer ist bidirektional und wird in Richtung Systembus gesteuert, wenn der Q302 ausgewählt wird und dabei /RD = low ist (Lesen-Zugriff) oder /IORQ und /M1 low, IEI und /IEO high sind (Unterbrechungsquittung). Bei Ein- und Ausgabezugriff sowie Interrupterkennung wird jeweils /RDY auf low gezogen.

### 3.5.

#### Anschluß für PROM-Kassette

Zur Speichererweiterung besitzt die ZRE K 2525 für den Anschluß einer PROM-Kassette griffseitig einen 58poligen indirekten Steckverbinder der Bauform 202-58 (TGL 29331/03-7-PdAu) und realisiert ein Anschlußbild, das die direkte Ankopplung von acht EPROM (Typ Q260) ohne zusätzliche Logik ermöglicht. Die zugehörige Elektronik wird mit der Brücke X12 - X13 aktiviert und realisiert die Adressenentschlüsselung (Bildung der CS-Signale), die RDY-Bildung und die Datenverstärkung (s. Abb. VIII/2). Die PROM-Kassette erhält den festen Adreßbereich  $E000_H$  bis  $FFFF_H$  zugeordnet. Die Belegung des Kassettenanschlusses (Steckverbinder X3) mit Adreß-, CS- und Datensignalen sowie Betriebsspannungen zeigt die folgende Tabelle:

<u>Signal</u>	<u>Steckverbinderklemme</u>
00	X3:A01
00	X3:A02
00	X3:B01
00	X3:B02
AB0	X3:A27
AB1	X3:B27
AB2	X3:A26
AB3	X3:B26
AB4	X3:A25
AB5	X3:B25
AB6	X3:A24
AB7	X3:B24

<u>Signal</u>	<u>Steckverbinderklemme</u>
AB8	X3:A23
AB9	X3:B23
CS0	X3:A15
CS1	X3:B15
CS2	X3:A16
CS3	X3:B16
CS4	X3:A17
CS5	X3:B17
CS6	X3:A18
CS7	X3:B18
D00	X3:A06
D01	X3:B06
D02	X3:A05
D03	X3:B05
D04	X3:A04
D05	X3:B04
D06	X3:A03
D07	X3:B03
5P	X3:A28
5P	X3:A29
5P	X3:B28
5P	X3:B29
5N	X3:A10
5N	X3:B10
12P	X3:A08
12P	X3:B08

Auf der Kassette selbst hat der Anwender nur noch die Adreß-, Daten- und Stromversorgungsleitungen der PROM untereinander und mit dem Steckverbinder zu verbinden, die CS-Signale der PROM an den Steckverbinder zu führen und für eine Entkopplung der Betriebsspannungen (Kondensatoren) zu sorgen. Zu beachten ist, daß die Betriebsspannungen für die Kassette über die ZRE K 2525 zugeführt werden.

### 3.6.

#### Anschluß für alpha-numerische Kleinanzeige

Auf der ZRE K 2525 sind folgende Funktionen und zusätzliche Belegungen des Koppelbus vorbereitet, die den Anschluß einer alpha-numerischen Kleinanzeige, wie er z.B. auf der ATD K 7026 realisiert ist, unterstützen:

- Herausführung des nichtuntersetzten Taktes NUT (4fache Systemtaktfrequenz)
- Getrennte Herausführung der verstärkten Signale A4, A5, A6 der CPU als AB4A, AB5A, AB6A
- Möglichkeit der direkten Steuerung der Signale AB4:AB15, /M1, /RFSH, /HALT, /RD, /WR, /MREQ, /IORQ in den hochohmigen Zustand durch /BUSRQA = low.

Die folgende Tabelle gibt einen Überblick über die dazu am Steckverbinder X2 vorhandenen Signale:

Signal	Klemme	Quelle/Verbraucher
NUT	X2:B6	Standard-TTL-Ausgang
AB4A	X2:B9	} SE16-B-Ausgang
AB5A	X2:A8	
AB6A	X2:B8	
/BUSRQA	X2:A6	Standard-TTL-Eingang mit 910 Ohm Zieh Widerstand.

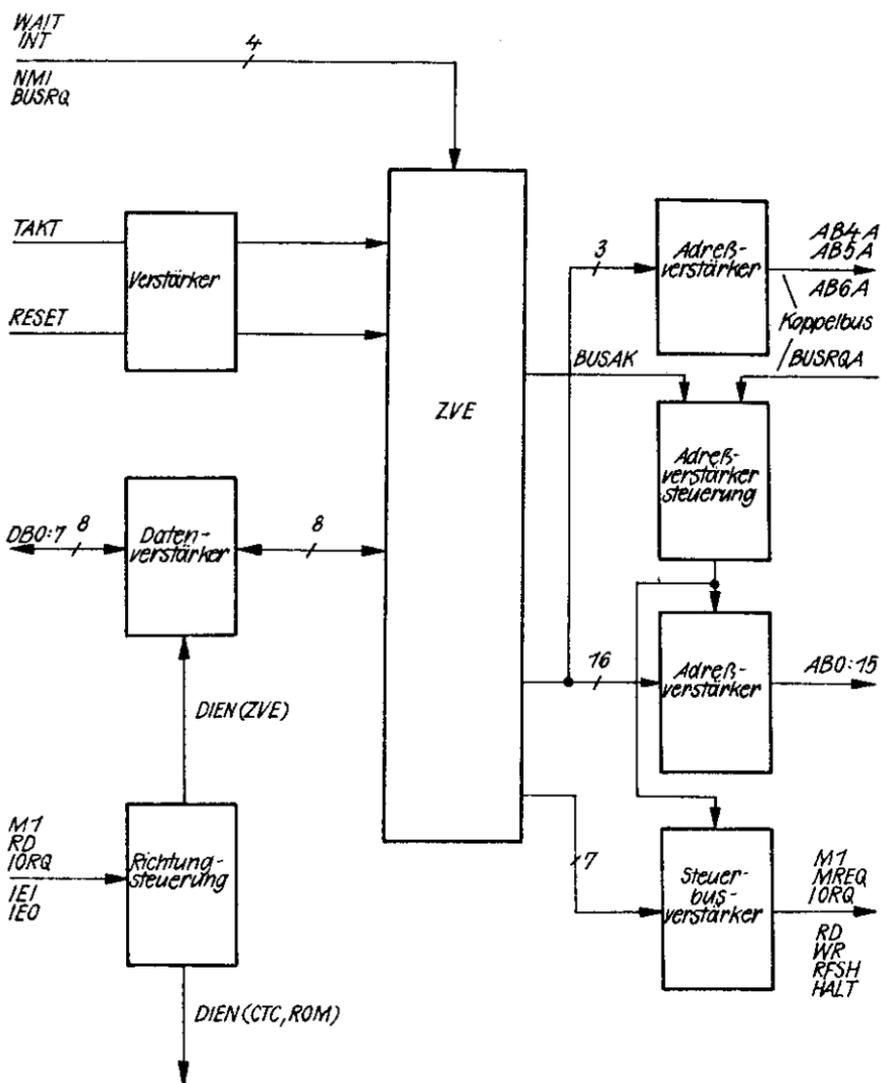


Abb. VIII/1 Logische Struktur ZVE K 2525

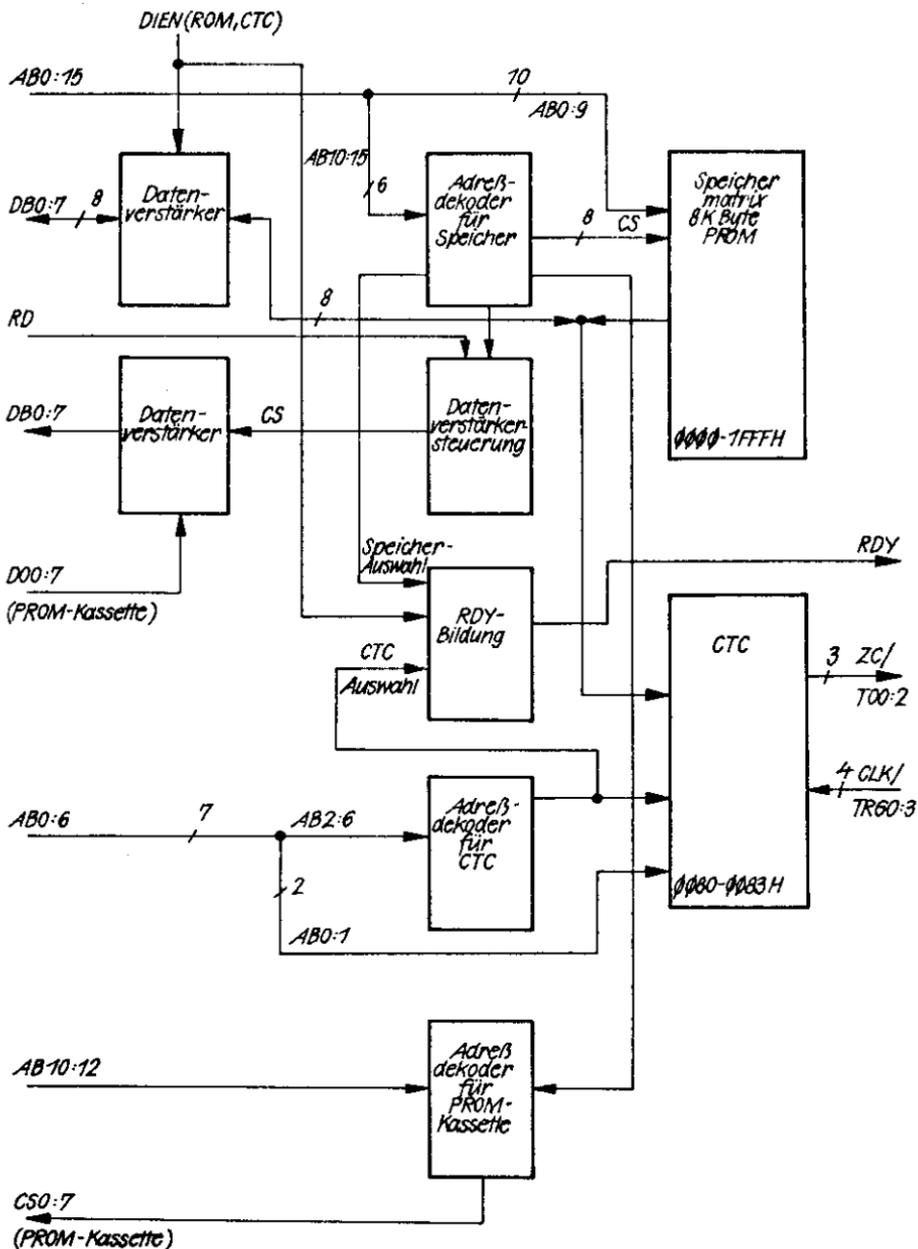


Abb. VIII/2 Logische Struktur von Speicher und CTC

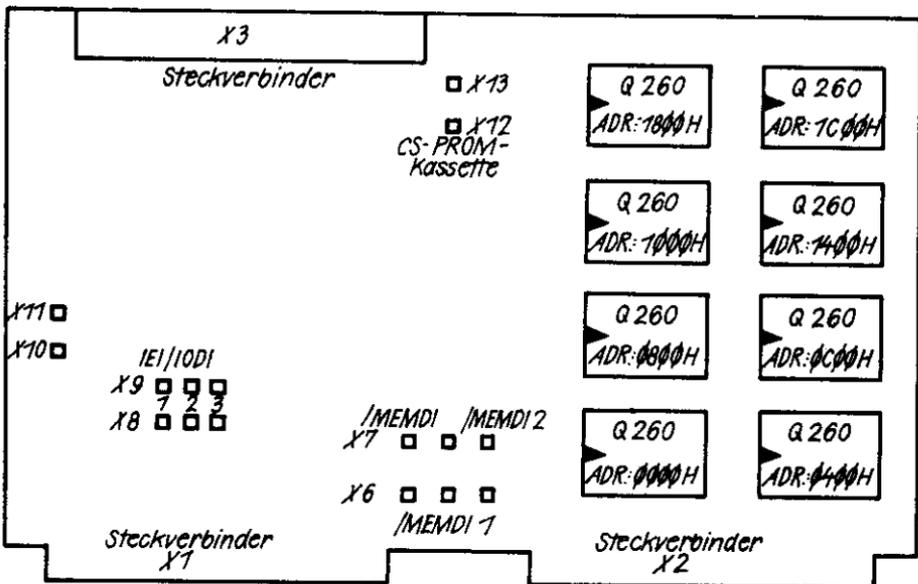


Abb. VIII/3 Zentrale Recheneinheit K 2525  
 Adressensuordnung der PROM-Plätze  
 und Anordnung der Wickelbrücken

IX.

Technische Beschreibung

Speichereinheiten OPS - K 3520

PFS - K 3820

OFS - K 3620

## Inhaltsverzeichnis

	Seite
<u>1. Allgemeine Beschreibung</u>	IX-4
1.1. Allgemeine technische Daten	IX-4
1.2. Speicherorganisation	IX-4
1.3. Anschlußbedingungen der Speichermoduln	IX-5
<u>2. Operativspeicher OPS K 3520</u>	IX-9
2.1. Kurzcharakteristik	IX-9
2.2. Spezifische technische Daten	IX-9
2.3. Programmierung der Steckeinheit	IX-10
2.3.1. Programmierfelder der Steckeinheit	IX-10
2.3.2. Adressenzuordnung	IX-10
2.3.3. Auswahl des Speichersperrsignals MEMDI	IX-11
2.3.4. "WAIT"-Generierung	IX-12
2.3.5. Betriebsspannungszuführung 5 PG	IX-12
2.4. Funktionsbeschreibung	IX-12
2.4.1. Verwendungszweck	IX-13
2.4.2. Funktion	IX-13
<u>3. Programmierbarer Festwertspeicher</u>	IX-17
<u>PFS K 3820</u>	
3.1. Kurzcharakteristik	IX-17
3.2. Spezifische technische Daten	IX-17
3.3. Programmierung der Steckeinheit	IX-18
3.3.1. Programmierfelder der Steckeinheit	IX-18
3.3.2. Adressenzuordnung	IX-19
3.3.3. Platzierung der ROM-Elemente auf der Steckeinheit	IX-20
3.3.4. Auswahl des Speichersperrsignals MEMDI	IX-20
3.3.5. "WAIT"-Generierung	IX-21
3.4. Funktionsbeschreibung	IX-21
3.4.1. Verwendungszweck	IX-21
3.4.2. Funktion	IX-21

	Seite
4. <u>Operativ-/Festwertspeicher OPS K 3620</u>	IX-25
4.1. Kurzcharakteristik	IX-25
4.2. Spezifische technische Daten	IX-25
4.3. Programmierung der Steckeinheit	IX-27
4.3.1. Programmierfelder der Steckeinheit	IX-27
4.3.2. Adressenzuordnung	IX-27
4.3.3. Vertauschung der RAM/ROM-Bereiche	IX-29
4.3.4. Plazierung der ROM-Elemente auf der Steckeinheit	IX-29
4.3.5. Auswahl des Speichersperrsignals MEMDI	IX-30
4.3.6. "Wait"-Generierung	IX-31
4.3.7. Betriebsspannungszuführung 5PG	IX-31
4.4. Funktionsbeschreibung	IX-31
4.4.1. Verwendungszweck	IX-31
4.4.2. Funktion	IX-32

## 1.

### Allgemeine Beschreibung

#### 1.1.

##### Allgemeine technische Daten

Steckeinheitenabmessungen:	215 mm x 170 mm
Steckraster:	20 mm
Steckverbinder:	2 x 58polig, indirekt, Bauf.304-58 TGL 29331/03 bzw. 2 x 58polig, direkt TGL 29331/01
Einsatzklasse:	5/60/30/95/10-1 <sub>B</sub>
Betriebsspannung:	5P $\Delta$ 5 V 5N $\Delta$ - 5 V 5 PG $\Delta$ 5 V 12 P $\Delta$ 12 V

Siehe dazu spezifische technische Daten des jeweiligen Speichermoduls.

#### 1.2.

##### Speicherorganisation

Für die Adressierung des Speichers des Mikrorechners K 1520 stehen 16 Adreßbits zur Verfügung. Das erlaubt, max. 64K Byte Speicherzellen wahlfrei zu adressieren.

Durch Schaltmaßnahmen außerhalb der Moduln des K 1520 kann unter Benutzung der Signalleitungen /MEMDI1 und /MEMDI2 auf dem Koppelbus die Speicherkapazität erweitert werden. Die Auf-rufbreite beträgt 8 Bit. Die Speicherkapazität kann je nach Erfordernis des Gesamtgerätes durch den wahlweisen Einsatz von Festwert- und Schreib-Lese-Speichern realisiert werden. Es steht ein Sortiment von Speichermoduln zur Verfügung, aus dem der Speicher bis zur adressierbaren Kapazitätsgrenze in beliebiger Kombination aufgebaut werden kann. Allen Speicher-

moduln können entsprechend des Speichervolumens über Programmier-  
einrichtungen auf den Steckeinheiten (Wickelbrücken oder  
Schalter) zusammenhängende Adreßbereiche zugeordnet werden,  
wobei die Speicheranfangsadressen ganzzahlige Vielfache von  
4K bilden. Damit ist es möglich, geschlossene Speicherfelder  
zu erzielen und sie den Erfordernissen der Programmsysteme  
anzupassen. Adressen dürfen dabei nicht mehrfach belegt werden.  
Das ist im Adreßbereich von 0000 bis 0FFF besonders zu beach-  
ten. Dann sind diese Adressen auf den ZRE-Steckeinheiten  
K 2521 ... K 2524 einem 4K-Speicher fest zugeordnet.

Die Speichersteckeinheiten werden ein- und ausgangsseitig auf  
dem BUS parallel geschaltet. Damit ergibt sich ein steckplatz-  
unabhängiger Einsatz der Speichersteckeinheiten.

Alle die Speicher berührenden Adreß-, Daten- und Steuerlei-  
tungen des Busses sind durch Pufferschaltkreise mit Low-Power-  
Schottky-Eingängen von den Steuer- und Speicherschaltkreisen  
entkoppelt. Die Pufferschaltkreise der Datenleitungen arbeiten  
bidirektional und besitzen einen "Tri-state"-Zustand. Die auf  
den Speichersteckeinheiten erzeugten Steuersignale werden über  
Open-Kollektor-Baustufen ausgesendet.

Zur Geschwindigkeitssynchronisierung zwischen Prozessor und  
Speicher sind die Speichersteckeinheiten mit einer "WAIT"  
Steuerng" ausgerüstet.

Ein Quittierungssignal "RDY" wird ausgesendet, wenn eine aus-  
gewählte Steckeinheit einen gültigen Lese- oder Schreibaufruf  
erhält und ein Datenaustausch vorgenommen wird.

### 1.3.

#### Anschlußbedingungen der Speichermoduln

- Signalpegel:	Low-Potential:	Eingänge - 1,0 ... +0,85 V
		Ausgänge 0 ... +0,45 V
	High-Potential:	Eingänge + 2,0 ... + 5,5 V
		Ausgänge + 2,4 ... + 5,5 V

- Signalbelastung:

Alle von den Speichersteckeinheiten empfangenen Signale (Adreß- und Steuerbits, Dateneingang) werden mit max. 0,25 mA belastet.

Der Datenausgang ist mit 15 TTL-Lasteinheiten (24 mA) belastbar.

Die Open-Kollektor-Ausgänge der Steckeinheiten treiben max. 10 TTL-Lasteinheiten (16 mA), wobei sich im Lastkreis außerhalb der Steckeinheit jeweils mindestens ein Lastwiderstand befinden muß.

- Von Speichermoduln empfangene Signale:

Adresse - 16 Bit, ABO ... AB15

Die niederwertigen Bits ab ABO dienen der internen Adreßentschlüsselung in den Speicherchips, nachfolgende Bits entschlüsseln Adreßgruppen auf den Steckeinheiten und die höchstwertigen Bits wählen die gewünschte Steckeinheit aus.

Daten - 8 Bit, DBO ... DB7

Einschreibende Daten bei "/RD" und "WR" auf bidirektionalem Datenbus.

MREQ - Speicheranforderungssignal, wirkt funktionell als Taktsignal für Speicher.

Aktiviert zeitbestimmend /CE-Eingänge der Speicherchips.

WR - Befehlssignal "Speicher schreiben"

Steuert die Arbeitsweise "Lesen" oder "Schreiben" der Speicherchips über deren Eingang /WE.

RD - Befehlssignal "Speicher lesen"

Bestimmt die Wirkungsrichtung der bidirektionalen Datenpuffer.

MEMDI, - Speichersperrsignal

MEMDI1,  
MEMDI2

Es ist über Wickelbrücken oder Schalter wahlweise vom Systembus X1:BO9 oder Koppelbus X2:A21 (MEMDI1) bzw. X2:B21 (MEMDI2) zu empfangen.

Bedeutung der diesbezüglichen Wickelbrücken bzw. Schalter in der Reihenfolge:

- 1 geschlossen - MEMDI über X1:B09 empfangen
  - 2 geschlossen - MEMDI1 über X2:A21 empfangen
  - 3 geschlossen - MEMDI2 über X2:B21 empfangen
- Das Sperrsignal schaltet die Ausgangspuffer zum Datenbus in den "Tri-state"-Zustand und sperrt die /CE-Eingänge der Speicher, Dadurch können externe Geräte auf dem Bus verkehren, ohne die Speicher zu beeinflussen. Darüber hinaus wird eine zusätzliche Steuerung der Speicher in Abhängigkeit von Adreßbereichen bzw. zusätzlichen Adreßbits möglich.

Betriebsarten:

- Normalkonfiguration bei max. Speicherkapazität bis 64K Byte:  
Brücke MEMDI geschlossen, MEMDI1 und MEMDI2 offen
- Adreßerweiterung unter Benutzung des Sperrsignals:  
Brücke MEMDI offen, MEMDI1 oder MEMDI2 je nach gewünschter Programmierung der STE geschlossen.  
Zusatzverdrahtung auf Koppelbus und Zusatzelektronik erforderlich.

RFSH - Steuersignal für das Auffrischen dyn. RAM-Speicher

TAKT, M1 - Systemtakt und Kennzeichen "Befehlslesezyklus":  
Zur Auslösung eines "WAIT"-Zyklus während des Befehlslesezyklus (M1-Zyklus) erforderlich.  
"WAIT"-Zyklus wird unterdrückt, wenn diesbezügliche Auswahleinrichtung auf der Steckeinheit gedrückt ist.

- Von Speichermoduln generierte Signale:

Daten - 8 Bit, DBO ... DB7  
Aus Speicher gelesene Daten bei RD und /WR auf bidirektionalem Datenbus.

- WAIT - Signal löst "WAIT"-Zyklus im Prozessor aus.  
Dies wird erforderlich, wenn die Zykluszeit des Speichers größer als die Zeitdauer des Befehlslesezyklus ist.
- RDY - Quittierungssignal. Wird ausgesendet, wenn auf betreffender Speichersteckeinheit eine adressierte Speicherzelle hardwaremäßig vorhanden ist und zum Datenaustausch zur Verfügung steht.

- Ansteuerbedingungen:

Die dyn. Kennwerte der Speichermoduln sind auf das Signalspiel des gemeinsamen Bussystems des MR K 1520 abgestimmt. Folgende allgemeine Bedingungen sind zu gewährleisten: Die Adresse muß mindestens 530 ns am Bus stabil anliegen. MREQ erscheint 140 bis 240 ns nach Anlegen der gültigen Adresse und bleibt bis Adreßwechsel aktiv. Es muß dabei mindestens 300 ns vor Schreibimpulsende WR gültig sein und bis zu dessen Ende anliegen, wenn der Speicher beschrieben wird.

Der Schreibimpuls WR selbst muß spätestens 300 ns vor dem folgenden Adreßwechsel anliegen und bis zum Adreßwechsel gültig sein. Beim Lesen erscheint RD spätestens 170 ns nach Adreßwechsel und bleibt mindestens bis Ende MREQ aktiv. M1 wird wie die Adresse geschaltet.

Zu schreibende Daten müssen mindestens 300 ns vor Abschalten von WR bis zum Abschalten von WR anliegen.

Gelesene Daten sind spätestens 450 ns nach Adreßwechsel gültig. Die Übernahme in Nachfolgeregister erfolgt kurz vor der Abschaltflanke von MREQ.

## 2.

### Operativspeicher OPS K 3520

#### 2.1.

##### Kurscharakteristik

Der Schreib-Lese-Speicher (Operativspeicher) OPS K 3520 dient zur Speicherung aller variablen Daten während des Programmablaufs im Mikrorechner K 3520.

Er wird durch den Steckeinheitentyp 012-7011 mit indirektem bzw. 012-7016 mit direktem Steckverbinder realisiert und beinhaltet einen 4K Byte großen statischen Halbleiterspeicher (nMOS-RAM) mit den zur Entkopplung, Auswahl und Ansteuerung erforderlichen bipolaren Schaltkreisen.

#### 2.2.

##### Spezifische technische Daten

<b>Speicherkapazität:</b>	4K Byte (Anordnung von 4 x 8 Speicherchips)
<b>Speicherschaltkreistyp:</b>	Q240 1K x 1 Bit, nMOS
<b>Zugriffzeit:</b>	≤ 530 ns
<b>Betriebsarten:</b>	"Lesen" oder "Schreiben" als abgeschlossene Zyklen in beliebiger Reihenfolge
<b>Datenerhalt:</b>	Information geht bei Abschaltung der Betriebsspannung verloren. Ein Datenerhalt ist möglich, wenn im Ruhezustand des Speichers eine Spannung (Schlafspannung) von außen über Klemme 5PG zugeführt wird. Diese Spannung muß 2 V sein.
<b>Stromversorgung:</b>	5P = 5 V ± 5 %, typisch 0,6 A für Steuerelektronik und Pufferschaltkreise

5PG = 5 V  $\pm$  5 %, typisch 1,1 A  
(bei 2 V Schlafspannung etwa  
0,6 A) für Speicherschaltkreise

## 2.3.

### Programmierung der Steckeinheit

#### 2.3.1.

#### Programmierfelder der Steckeinheit

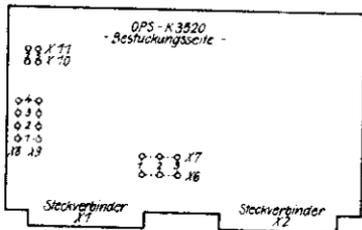


Abb. IX/1

Die Programmierfelder bestehen aus Wickelstiftpaaren oder Mikroschaltern. Im ersteren Fall erfolgt die Programmierung, indem Wickelstiftpaare in Wickeltechnik miteinander verbunden werden.

#### 2.3.2.

#### Adressenzuordnung

Die 16 Adresssignale werden im Speichermodul wie folgt bewertet:

AB0 ... AB9 - interne Chipadressierung

AB10, AB11 - Auswahl einer der 4 1K-Blöcke auf der STE

AB12 ... AB15 - Auswahl der Steckeinheit in Abhängigkeit von der Adressenzuordnung der Steckeinheit

Zuordnung des Adreßbereiches der Steckeinheit:

Über 4 Wickelbrücken bzw. 4 Schalter X8:1 ... 4, X9:1 ... 4 wird dem Speichermodul ein wählbarer zusammenhängender Adreßbereich von 4K Adressen zugeordnet.

Das Programmierfeld erhält in binärer Verschlüsselung die Anfangsadresse des gewünschten Adreßbereiches. Die Adresse ist ein ganzzahliges Vielfaches von 4K.

Kodetabelle:

Adreßbereich	Wickelbrücken			
	X8:4-X9:4	X8:3-X9:3	X8:2-X9:2	X8:1-X9:1
0000-0FFF	-	-	-	-
1000-1FFF	-	-	-	Brücke
2000-2FFF	-	-	Brücke	-
3000-3FFF	-	-	Brücke	Brücke
4000-4FFF	-	Brücke	-	-
. . .	. . .	. . .	. . .	. . .
FOOO-FFFF	Brücke	Brücke	Brücke	Brücke

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen Schalter.

### 2.3.3.

Auswahl des Speichersperrsignals MEMDI

Im Speichermodul	Wickelbrücken			
	wirksame Signale	X6:1-X7:1	X6:2-X7:2	X6:3-X7:3
MEMDI (X1:B09)	Brücke	-	-	
MEMDI1 (X2:A21)	-	Brücke	-	
MEMDI2 (X2:B21)	-	-	Brücke	

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen Schalter.

#### 2.3.4.

##### "WAIT"-Generierung

Von den dynamischen Daten der aufgerufenen Speicherschaltkreise hängt es ab, ob während des Befehlslesezyklus im K 1520 eine Zeitverlängerung über "WAIT" vorgenommen werden muß. Durch die konkrete Bestückung der Steckeinheit ist bereits vorgegeben, wie die Einstellung erfolgen muß.

Für den allgemeinen Anwendungsfall kann die Einstellung wie folgt vorgenommen werden:

Generierung von "WAIT" im M1-Zyklus: Brücke X10:3-X11:3 offen  
Unterdrückung der "WAIT"-Bildung: Brücke X10:3-X11:3 geschlossen.

#### 2.3.5.

##### Betriebsspannungszuführung 5PG

Normalerweise werden die RAM-Speicherbausteine über den Betriebsspannungsanschluß 5PG versorgt. In Sonderfällen, wo die Anschlüsse 5PG auf dem Bus nicht belegt sind, kann 5PG steckeinheitenseitig durch die Brückung der Wickelstifte X10:2-X11:2 mit 5PG verbunden werden.

#### 2.4.

##### Funktionsbeschreibung

#### 2.4.1.

##### Verwendungszweck

Der OPS K 3520 wird im Mikrorechner K 1520 als Operativspeicher (statischer Schreib-Lese-Speicher) eingesetzt.

#### 2.4.2.

##### Funktion

Die Steckeinheit beinhaltet die Funktionsgruppen Speicher-Matrix, Ein- und Ausgabepuffer und Auswahl- und Steuerelektronik. Die Wirkungsweise der Schaltung ist im Blockschaltbild Abb. IX/2 dargelegt.

Die Speichermatrix besteht aus 4 Gruppen zu je 8 Speicherchips Q240. Jedes Chip enthält 1K Bit, Eine Gruppe von 8 Chips bildet einen Speicherbereich von 1K Byte. Jede der 4 vorhandenen Chipgruppen wird durch ein gesondertes /CE-Signal aktiviert.

Alle 10 gleichnamigen Adreßeingänge und der Steuereingang /WE (Schreib-Lese-Steuerung) der Speicherchips sind miteinander verbunden und werden von den entsprechenden Bussignalen über Schottky-TTL-Pufferschaltkreise SE12 gespeist.

Bei den Datenein- und Ausgangsleitungen sind jeweils die gleichen Bits der 4 Chipgruppen parallelgeschaltet und mit bidirektional arbeitenden Datenpufferschaltkreisen SE16 verbunden, die die Verbindung mit dem Systembus herstellen. Befindet sich die Steckeinheit im Ruhezustand, sind die Datenpuffer hochohmig und beeinflussen das Interfacespiel auf dem Systembus nicht.

Die ebenfalls über SE12 verstärkten Adreßsignale AB10 und AB11 werden im 1 aus 8-Dekoder-Baustein SE05 umkodiert und aktivieren eins der 4 Speicheransteuersignale /CE, wenn gleichzeitig das Anforderungssignal MREQ anliegt, das Speichersperrsignal MEMDI nicht aktiv ist (/MEMDI), kein Refresh-Zyklus vorliegt (/RFSH) und die Steckeinheit durch die gepufferten Adreßsignale

AB12 bis AB15 entsprechend der Adressenzuordnung ausgewählt wurde.

Der Exklusiv-Oder-Baustein PS86 übernimmt die Adressenum-schlüsselung in Abhängigkeit vom Programmierfeld X8-X9. Ein geschlossener Schalter bzw. gebrücktes Wickelstiftpaar ergibt ein Nullsignal am zugehörigen Exklusiv-Oder-Eingang. Diese Null bewirkt eine unnegierte Weiterleitung des zugeordneten Adreßbits zur Auswerteschaltung. Bei High-Signal erfolgt eine Negation des Adreßbitpotentials. Nur bei einer bestimmten Wertigkeit der Adreßbits AB12 bis AB15 bezüglich der Belegung der Wickelbrücken wird die Steckereinheit angesprochen. In diesem Falle sind alle 4 Eingänge der Auswerteschaltung auf "High"-Potential.

Wird ein /CE-Signal freigegeben, werden ebenfalls die Datenpuffer zum Datenaustausch aktiviert, wobei RD die Wirkungsrichtung vorgibt, wird das Kennungssignal RDY erzeugt und die Blockierung des "WAIT"-Bildungs-Netzwerks aufgehoben, sofern die Auswahlbrücke X10:3-X11:3 nicht gesetzt ist. So kann beim Befehlslesen ein "WAIT"- Zyklus eingeschoben werden. WAIT wird von einer Schiebekette aus 2 D-Flip-Flops abgeleitet, die mit dem Kernsignal M1 und dem Systemtakt TAKT gesteuert wird. Durch Einsatz von Open-Kollektor-Baustufen für WAIT und RDY wird durch ausgangsseitiges Zusammenschalten auf dem Systembus eine "Oder"-Funktion realisiert.

Zur Durchschaltung der Prioritätenkette auf dem Bus des K 1520 werden die Klemmen /IEI, /IEO, /IEI1, /IEO1 und /BAI, /BAO auf der Steckereinheit jeweils miteinander gebrückt.

Um bei allgemeiner Netzausschaltung am Mikrorechner K 1520 einen Datenerhalt der Speicherschaltkreise durch externe Stützung der Betriebsspannung zu ermöglichen, ist die Stromversorgung der Steckereinheit in zwei Kreise aufgeteilt. Über Klemme 5PG werden die Speicherchips gespeist. Ein Datenerhalt ist gesichert, wenn die Spannung 5PG im Ruhezustand des Speichers auf eine Schlafspannung von minimal 2 V abgesenkt wird.

Dabei kann die 5P für die Puffer-, Auswahl- und Steuerschaltkreise abgeschaltet werden. Damit im Zu- und Abschaltvorgang der Spannung 5P keine undefinierten Ansteuerbedingungen am Speicher wirksam werden können, die zum Datenverlust führen, werden CE-Signale konjunktiv mit einem internen Speichersperrsignal verknüpft. Dieses Sperrsignal, gebildet in einer Komparatorschaltung, wird Null, sobald die Betriebsspannung 5P die untere Toleranzgrenze unterschreitet. Damit ist sichergestellt, daß der Treiber PS26 in diesem Fall kein aktivierendes Ansteuersignal für die Speicher aussenden kann.

Über den mit der Spannung 5PGI verbundenen Arbeitswiderständen der Open-Kollektor-Treiberbaustufen wird auch im Schlafzustand der erforderliche "High"-Pegel am /CE-Eingang der Speicherchips aufrechterhalten.

Zur Abblockung von kurz- und langzeitigen Störungen auf den Betriebsspannungen 5P und 5PG sind (in der Leitungsführung verteilt) Stütz- und Sieb-Kondensatoren angeordnet.

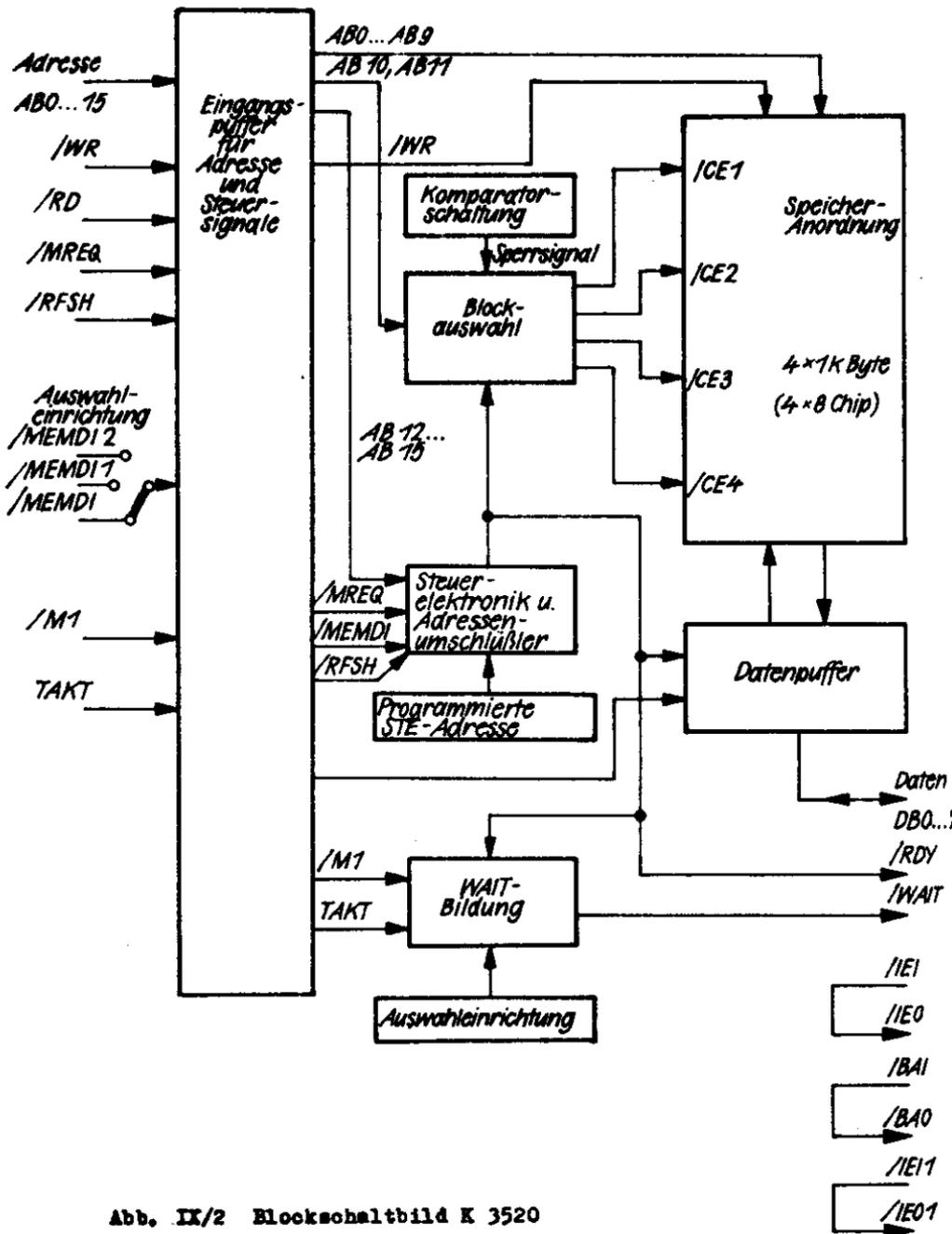


Abb. IX/2 Blockschaltbild K 3520

### 3.

#### Programmierbarer Festwertspeicher PFS K 3820

##### 3.1.

##### Kurzcharakteristik

Der programmierbare Festwertspeicher dient der Speicherung von Festdaten für nichtvariable Programme u.ä. innerhalb des Halbleiterspeichers K 1520.

Er wird durch den Steckeinheitentyp 012-7041 mit indirektem bzw. 012-7046 mit direktem Steckverbinder realisiert und beinhaltet einen 16K Byte großen programmierbaren Festwertspeicher (EPROM-Speicher) mit dem zur Entkopplung, Auswahl und Ansteuerung erforderlichen bipolaren Schaltkreisen.

Die EPROM-Schaltkreise sind über 24polige DIL-Steckfassungen auf der Steckeinheit kontaktiert. Das Beschreiben der EPROM-Schaltkreise erfolgt außerhalb der Steckeinheit auf einem EPROM-Programmiergerät. Eine Änderung der ROM-Leseinformation ist jederzeit durch Austausch oder Umprogrammierung der EPROM-Schaltkreise möglich.

##### 3.2.

##### Spezifische technische Daten

Speicherkapazität:	16K Byte (Anordnung von 16 Speicherchips)
Speicherschaltkreistyp:	Q260 1K x 8 Bit nMOS
Zugriffszeit:	≤ 530 ns
Betriebsarten:	"Lesen" als abgeschlossener Zyklus (Programmieren oder Löschen der Speicherbausteine ist nur extern mit Programmiergerät möglich).
Datenerhalt:	Energieunabhängige Speicherung von Festdaten

## Stromversorgung:

5P = 5 V  $\pm$  5 %, typ. 0,9 A

5N = -5 V  $\pm$  5 %, typ. 0,5 A

12P = 12 V  $\pm$  5 %, typ. 0,9 A

Es ist dafür zu sorgen, daß die Spannung 5N nicht später als 10 ms nach Zuschaltung von 5P bzw. 12P ihren Nennwert erreicht und höchstens 10 ms vor Wegfall der 6P bzw. 12P abschaltet.

### 3.3.

#### Programmierung der Steckeinheit

##### 3.3.1.

#### Programmierfelder der Steckeinheit

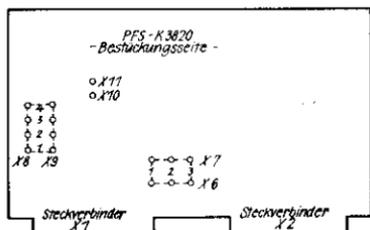


Abb. IX/3

Die Programmierfelder bestehen aus Wickelstiftpaaren oder Mikroschaltern. Im ersteren Fall erfolgt die Programmierung, indem Wickelstiftpaare nach der Wickeltechnik miteinander verbunden werden.

### 3.3.2.

#### Adressenzuordnung

Die 16 Adresssignale werden im Speichermodul wie folgt bewertet:

- AB0 ... AB9 - interne Chipadressierung
- AB12 ... AB15 - Umkodierung in Abhängigkeit von der im Programmierfeld X8-X9 fixierten Adresse. Die im Speicher wirksame Adresse AB12K ... AB15K ergibt sich aus der stellenrichtigen Subtraktion der in X8-X9 eingegebenen Steck-einheitenadresse von der angelegten Adresse AB12 ... AB15.
- AB10, AB11, AB12K, AB13K - Auswahl einer der 16 1K Byte-Blöcke der STB (Chipauswahl)
- AB14K, AB15K - Auswahl der Steckeinheit, wenn beide Signale Nullpotential besitzen.

Zuordnung des Adreßbereichs der Steckeinheit:

Über 4 Wickelbrücken bzw. 4 Schalter X8:1 ... 4, X9:1 ... 4 wird dem Speichermodul ein wählbarer zusammenhängender Adreßbereich von 16K Adressen zugeordnet.

Das Programmierfeld erhält in binärer Verschlüsselung die Anfangsadresse des gewünschten Adreßbereiches.

Diese Adresse ist ein ganzzahliges Vielfaches von 4K.

#### Kodetabelle:

Adreßbereich	Wickelbrücken			
	X8:4-X9:4	X8:3-X9:3	X8:2-X9:2	X8:1-X9:1
0000-3FFF	-	-	-	-
1000-4FFF	-	-	-	Brücke
2000-5FFF	-	-	Brücke	-
3000-6FFF	-	-	Brücke	Brücke
1000-7FFF	-	Brücke	-	-
⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮
0000-FFFF	Brücke	Brücke	-	-

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen Schalter.

### 3.3.3.

#### Plazierung der ROM-Elemente auf der Steckeinheit

Die programmierten ROM-Elemente werden über DIL-Steckfassungen auf der Steckeinheit kontaktiert.

Die einzelnen Steckplätze repräsentieren die im folgenden Schema dargestellten relativen Adreßbereich der Steckeinheit (bezogen auf die programmierte Steckeinheiten-Anfangsadresse).

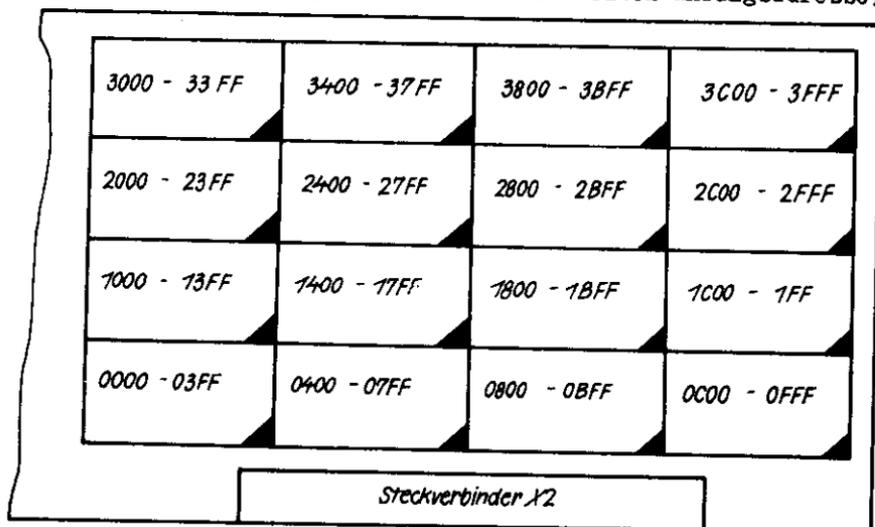


Abb. IX/A

### 3.3.4.

#### Auswahl des Speichersperrsignals MEMDI

Im Speichermodul wirksames Sperrsignal	Wickelbrücken		
	X6:1-X7:1	X6:2-X7:2	X6:3-X7:3
MEMDI (X1:B09)	Brücke	-	-
MEMDI1 (X2:A21)	-	Brücke	-
MEMDI2 (X2:B21)	-	-	Brücke

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen Schalter.

### 3.3.5.

#### "WAIT"-Generierung

Von den dynamischen Daten der aufgerufenen Speicherschaltkreise hängt es ab, ob während des Befehlszyklus im K 1520 eine Zeitverlängerung über "WAIT" vorgenommen werden muß.

Durch die konkrete Bestückung der Steckeinheit ist bereits vorgegeben, wie die Einstellung erfolgen muß.

Für den allgemeinen Anwendungsfall kann die Einstellung wie folgt vorgenommen werden:

Generierung von "WAIT" im M1-Zyklus: Brücke X10-X11 offen  
Unterdrückung der "WAIT"-Bildung: Brücke X10-X11 geschlossen.

### 3.4.

#### Funktionsbeschreibung

##### 3.4.1.

#### Verwendungszweck

Der PFS K 3820 wird im Mikrorechner K 1520 als programmierbarer Festwertspeicher (Nur-Lese-Speicher) eingesetzt und erhält fixe Daten oder Programme.

##### 3.4.2.

#### Funktion

Die Steckeinheit beinhaltet die Funktionsgruppen Speicher-matrix. Ein- und Ausgabepuffer und Auswahl- und Steuerelektro-nik.

Die Wirkungsweise der Schaltung ist im Blockschaltbild Abb. IX/5 dargelegt.

Die Speichermatrix besteht aus 16 Speicherbausteinen Q260 zu je 1K Byte à 8 Bit Speicherkapazität. Diese Bausteine sind auswechselbar auf DIL-Steckfassungen gesetzt.

Alle 10 gleichnamigen Adreßeingänge der Speicherchips sind miteinander verbunden und werden von den entsprechenden Bus-signalen über Schottky-TTL-Pufferschaltkreise SE12 gespeist. Die gleichnamigen Datenausgänge sind ebenfalls parallelgeschaltet und mit den Datenpufferschaltkreisen SE16 verbunden, die die LeseDaten mit "Tri-State"-Ausgang an den Systembus abgeben.

Auswahl und Aufruf der 1K-Speicherbereiche, die durch separate Speicherbausteine realisiert werden, erfolgt über 16 /CE-Signale, die zur "High"-Pegel-Erhöhung mit je einem Ziehwiderstand versehen sind.

Liegt ein Speicheraufruf vor, wird über ein Netzwerk aus zwei "1 aus 8"-Dekoderbausteinen SE05 eines der /CE-Signale durch Nullsetzen aktiv. Ein Speicherplatz entsprechend angelegter Adresse wird gelesen.

Die Umkodierung der über den Bus angelegten vier höchsten Adreßbits wird durch einen Adderbaustein PS83 vorgenommen. Die Subtraktion: Angelegte Adresse AB12 ... AB15 minus in Programmierfeld eingegebene STE-Anfangsadresse (geschlossener Schalter = logisch "High"-Potential) wird technisch realisiert, indem das Zweierkomplement der Anfangsadresse im Baustein addiert wird. Als Ergebnis der Operation entsteht die echte interne Steckeinheitenadresse. Die Adreßbits AB10, AB11 und die umkodierten Bits AB12K und AB13K werden zur Speicherchip-Auswahl im Dekoder SE05 verwendet, während die umkodierten Bits AB14K und AB15K, wenn sie Nullpotential besitzen, zusammen mit MREQ, /RFSH und /MEMDI die Dekoder SE05 freigeben und damit die Steckeinheit auswählen und aktivieren. Bei programmierter Leseoperation werden unter gleichen Bedingungen auch die Datenpuffer aktiviert, vorausgesetzt, ein "RDY"-Signal wurde auf Grund gültiger Leseinformation gebildet. Außerdem wird das "WAIT"-Bildungs-Netzwerk freigegeben. Ist die Brücke

X10-X11 nicht gesetzt, wird aus der mit "M1" und "Takt" angesteuerten Schiebekette aus 2 D-FF das "WAIT"-Signal abgeleitet und disjunktiv auf den Bus geschaltet.

Die Bildung des "RDY"-Signals wird bei den ROM-Speichern vom Datenausgang der Speicherchips abgeleitet. Das hat den Vorteil, daß das "RDY"-Signal neben der Aufrufbestätigung der Steckereinheit eine Aussage über das hardwaremäßige Vorhandensein des angesprochenen ROM-Speicherchips mit beinhaltet. Ausgewertet wird, ob die Datenleitungen einen gültigen Logikpegel besitzen oder ob der hochohmige "Tri-state"-Zustand vorliegt. Dazu reicht es aus, wenn ein Datenbit durch die Auswerterschaltung mit dem Komparatorbaustein AS10 bewertet wird.

Liegt der hochohmige Zustand vor, werden die Spannungspegel an den zwei Eingängen des Komparators durch die zwei Spannungsteiler so eingestellt, daß am Komparatorausgang, und damit für RDY, ein Nullsignal entsteht. Bei "Low"- oder "High"-Potential auf der Datenleitung werden die Potentiale an den Spannungsteilern über die zwei Eingangsdioden so verändert, daß der nichtnegierende Eingang des Komparators gegenüber dem negierenden eine positive Spannung annimmt. Der Bausteinausgang schaltet dabei auf "High"-Potential. Dieses Signal wird disjunktiv als RDY auf den Bus gelegt.

Eine in die Schaltung einbezogene gesteuerte Open-Kollektor-Baustufe beschleunigt beim Übergang der Datenleitung in den hochohmigen Zustand die Umladung der Kapazitäten und verbessert somit das dynamische Verhalten des Signals RDY.

Zur Durchschaltung der Prioritätenketten auf dem Bus des K 1520 werden die Klemmen /IE1, /IE0, /IE11, /IE01 und /BA1, /BA0 auf der Steckereinheit jeweils miteinander gebrückt.

Zur Abblockung von kurz- und langzeitigen Störungen auf den Betriebsspannungen 5P, 5N und 12P sind (in der Leitungsführung verteilt) Stütz- und Sieb-Kondensatoren angeordnet.

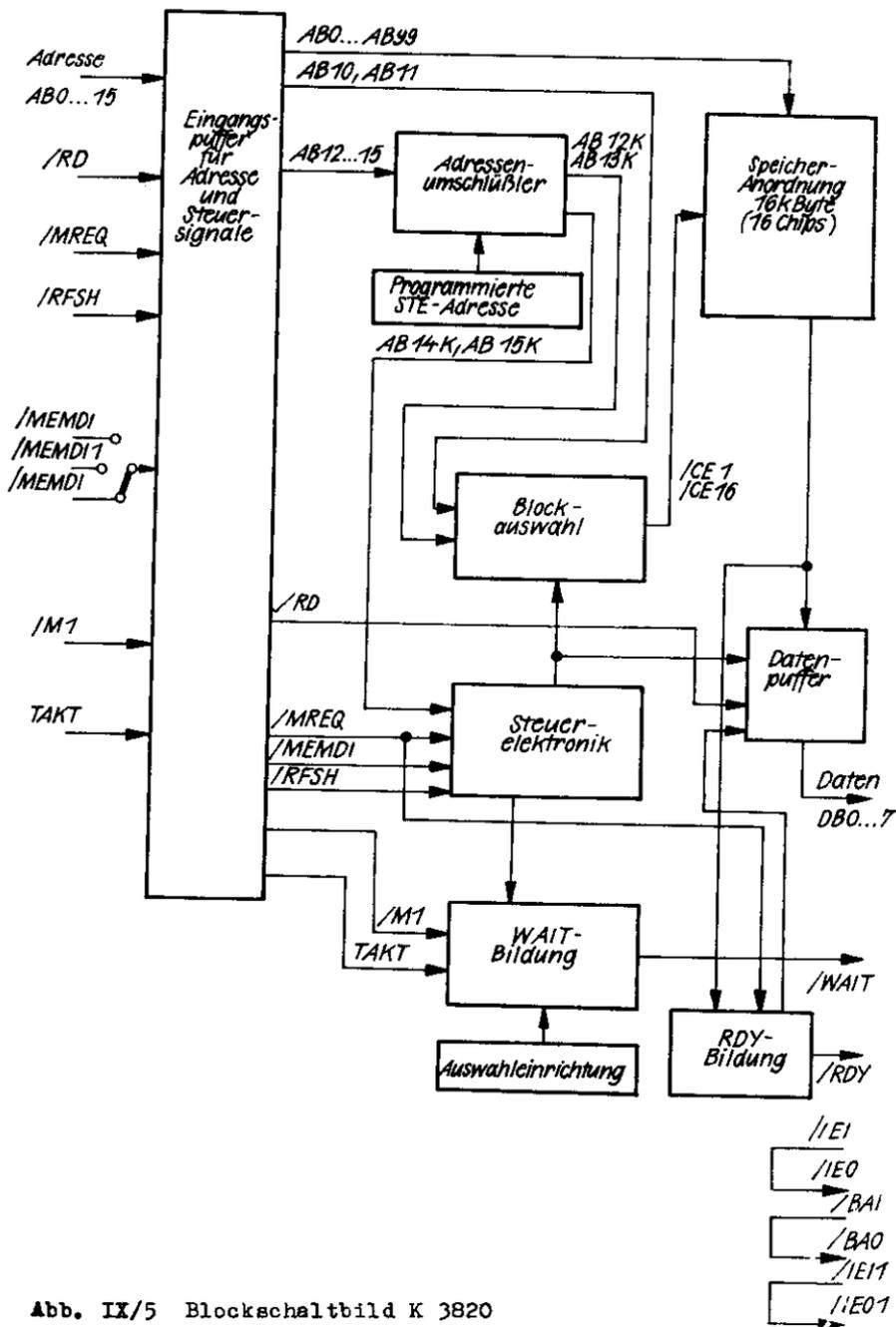


Abb. IX/5 Blockschaltbild K 3820

#### 4.

### Operativ-/Festwertspeicher OFS K 3620

#### 4.1.

#### Kurzcharakteristik

Der kombinierte Schreib-Lese-Speicher (Operativspeicher) und programmierbare Festwertspeicher OFS K 3620 dient der Speicherung von Variablen sowie Festdaten innerhalb des Halbleiterspeichers K 152 O. Dieser Speichermodul ermöglicht in der Kombination mit den anderen Speichermodulen eine Flexibilität in der Zusammensetzung der Halbleiterspeicher und realisiert ökonomisch kleine Speicher. Der OFS K 3620 wird durch den Steckeinheitentyp O12-7031 mit indirektem bzw. O12-7036 mit direktem Steckverbinder realisiert und beinhaltet einen 2K Byte großen statischen Halbleiterspeicher (nMOS-RAM) und einen 6K Byte großen programmierbaren Festwertspeicher (EPROM) mit den zur Entkopplung, Auswahl und Ansteuerung erforderlichen bipolaren Schaltkreisen.

Die EPROM-Schaltkreise sind über 24polige DIL-Steckfassungen auf der Steckeinheit kontaktiert.

Das Beschreiben der EPROM-Schaltkreise erfolgt außerhalb der Steckeinheit auf einem EPROM-Programmiergerät. Eine Änderung der ROM-Leseinformation ist jederzeit durch Austausch oder Umprogrammierung der PROM-Schaltkreise möglich.

#### 4.2.

#### Spezifische technische Daten

Speicherkapazität	2KByte statischer RAM (Anordnung von 2x8 Speicherchips) 6K Byte: EPROM (Anordnung von 6 Speicherchips)
Speicherschaltkreistypen:	Q240 1K x 1 Bit; nMOS Q260 1K x 8 Bit; nMOS
	IX-25
	1.12.517011.0/61

Zugriffszeit:	$\leq 530$ ns
Betriebsarten:	Abgeschlossene Zyklen "Lesen" oder "Schreiben" in beliebiger Reihenfolge beim RAM und "Lesen" beim EPROM. (Programmieren oder Löschen der EPROM ist nur extern mit Programmiergerät möglich).
Datenerhalt:	Energieunabhängige Datenspeicherung bei ROM-Speicher. RAM-Information geht bei Abschaltung der Betriebsspannung verloren. Ein Datenerhalt ist möglich, wenn im Ruhezustand des Speichers eine Spannung (Schlafspannung) von außen über Klemme 5PG zugeführt wird. Die Spannung muß $\geq 2$ V sein.
Stromversorgung:	5P = $5$ V $\pm$ 5 %, typ. 0,7 A für ROM-Speicher, Steuerelektronik und Pufferschaltkreise 5PG = $5$ V $\pm$ 5 %, typ. 0,5 A (bei 2 V Schlafspannung etwa 0,3 A) für RAM-Speicherschaltkreise 5N = $-5$ V $\pm$ 5 %, typ. 0,2 A 12P = $12$ V $\pm$ 5 %, typ. 0,3 A Es ist dafür zu sorgen, daß die Spannung 5N nicht später als 10 ms nach Zuschaltung von 5P bzw. 12P ihren Kennwert erreicht und höchstens 10 ms vor Wegfall der 5P bzw. 12P abschaltet.

### 4.3.

#### Programmierung der Steckeinheit

##### 4.3.1.

#### Programmierfelder der Steckeinheit

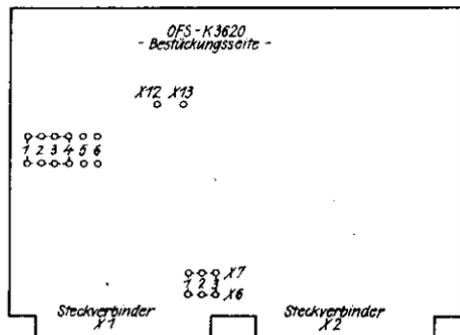


Abb. IX/6

Die Programmierfelder bestehen aus Wickelstiftpaaren oder Mikroschaltern. Im ersteren Fall erfolgt die Programmierung, indem Wickelstiftpaare nach der Wickeltechnik miteinander verbunden werden.

##### 4.3.2.

#### Adressenzuordnung

Die 16 Adresssignale werden im Speicher wie folgt bewertet:

AB0 ... AB9	- interne Chipadressierung
AB12 ... AB15	- Umkodierung in Abhängigkeit von der im Programmierfeld K10:1 ... 4 fixierten Adresse. Die im Speicher wirksame Adresse AB12K ... AB15K ergibt sich

aus der stellenrichtigen Subtraktion  
der eingegebenen Steckeinheitenadresse  
von der angelegten Adresse AB12 ... AB15.

- AB10, AB11, AB12K - Auswahl einer der 8 1K-Blöcke der STE  
(Chipauswahl)
- AB13K ... AB15K - Auswahl der Steckeinheit, wenn alle 3  
Signale Nullpotential besitzen.

Zuordnung des Adreßbereichs der Steckeinheit:

Über 4 Wickelbrücken bzw. 4 Schalter X10:1 ... 4, X11:1 ... 4  
wird dem Speichermodul ein wählbarer zusammenhängender Adreß-  
bereich von 8K Adressen zugeordnet.

Das Programmierfeld erhält in binärer Verschlüsselung die An-  
fangsadresse des gewünschten Adreßbereiches. Diese Adresse ist  
ein ganzzahliges Vielfaches von 4K.

Kodetabelle:

Adreßbereich	Wickelbrücken			
	X10:4-X11:4	X10:3-X11:3	X10:2-X11:2	X10:1-X11:1
0000-1FFF	-	-	-	-
1000-2FFF	-	-	-	Brücke
2000-3FFF	-	-	Brücke	-
3000-4FFF	-	-	Brücke	Brücke
4000-5FFF	-	Brücke	-	-
. . .	.	.	.	.
. . .	.	.	.	.
. . .	.	.	.	.
E000-FFFF	Brücke	Brücke	Brücke	-

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen  
Schalter.

### 4.3.3.

#### Vertauschung der RAM/ROM-Bereiche

Um eine gute Flexibilität in der Gestaltung der RAM- und ROM-Bereiche im Gesamtspeicher K 1520 zu gewährleisten, können die RAM/ROM-Bereiche des Speichermoduls adressenmäßig gespiegelt werden. Die Speicherfolge wird mit Kodierbrücke X10:6-X11:6 festgelegt.

X10:6-X11:6            adressenmäßige Speicherfolge

-                      2 K RAM,    6K ROM

Brücke                6K ROM, 2K RAM

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen Schalter.

Es ist die unterschiedliche relative Adresse der ROM-Elemente zu beachten.

### 4.3.4.

#### Plazierung der ROM-Elemente auf der Steckeinheit

Die programmierten ROM-Elemente werden über DIL-Steckfassungen auf der Steckeinheit kontaktiert.

Die einzelnen Steckplätze repräsentieren die im folgenden Schema dargestellten relativen Adreßbereiche der Steckeinheit (bezogen auf die programmierte Steckeinheiten-Anfangsadresse). Die Adreßbereiche unterscheiden sich in Abhängigkeit von der Belegung der Wickelbrücke X10:6-X11:6 (Reihenfolge der RAM/ROM-Speicher).

Die in Klammern dargestellten Adressen gelten für die Speicherfolge 6K ROM, 2K RAM (X10:6-X11:6 gebrückt).

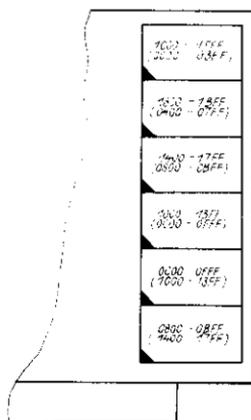


Abb. IX/7

#### 4.3.5.

#### Auswahl des Speichersperrsignals MEMDI

Im Speichermodul wirk- same Sperrsignale	Wickelbrücken		
	X6:1-X7:1	X6:2-X7:3	X6:3-X7:3
MEMDI (X1:B09)	Brücke	-	-
MEMDI1 (X2:A21)	-	Brücke	-
MEMDI2 (X2:B21)	-	-	Brücke

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen Schalter.

#### 4.3.6.

##### "WAIT"-Generierung

Von den dynamischen Daten der aufgerufenen Speicherschaltkreise hängt es ab, ob während des Befehlszyklus im K 1520 eine Zeitverlängerung über "WAIT" vorgenommen werden muß.

Durch die konkrete Bestückung der Steckeinheit ist bereits vorgegeben, wie die Einstellung erfolgen muß.

Für den allgemeinen Anwendungsfall kann die Einstellung wie folgt vorgenommen werden:

Generierung von "WAIT" im M1-Zyklus: Brücke X10:5-X11:5 offen  
Unterdrücken der "WAIT"-Bildung: Brücke X10:5-X11:5 geschlossen.

#### 4.3.7.

##### Betriebsspannungszuführung 5PG

Normalerweise werden die RAM-Speicherbausteine über den Betriebsspannungsanschluß 5PG versorgt. In Sonderfällen, wo die Anschlüsse 5PG auf dem Bus nicht belegt sind, kann 5PG steckeinheitenseitig durch Brückung der Wickelstifte X12-X13 mit 5P verbunden werden.

#### 4.4.

##### Funktionsbeschreibung

##### 4.4.1.

##### Verwendungszweck

Der OFS K 3620 wird im Mikrorechner K 1520 als kombinierter Operativspeicher (statischer Schreib-Lese-Speicher) und programmierbarer Festwertspeicher (Nur-Lese-Speicher) eingesetzt.

#### 4.4.2.

##### Funktion

Die Steckeinheit beinhaltet die Funktionsgruppen Speichermatrix, Ein- und Ausgabepuffer und Auswahl- und Steuerelektronik.

Die Wirkungsweise der Schaltung ist im Blockschaltbild Abb. IX/8 dargelegt.

Die Speichermatrix besteht aus 2 Gruppen zu je 8 RAM-Speicherchips Q240 und aus 6 EPROM-Speicherchips Q260. Die ROM-Bausteine sind auswechselbar auf DIL-Steckfassungen gesetzt.

Da der Speichermodul K 3620 eine Kombination der speicherabgerüsteten Moduln K 3520 und K 3820 darstellt, sind auch die Schaltungsdetails praktisch identisch, so daß auf die Beschreibungen der beiden Moduln 2.4.2. und 3.4.2. verwiesen werden kann.

Eine modulspezifische Lösung stellt die Adressenumschlüsselung und die RDY-Bildung dar.

Zur Adressenumschlüsselung wird wie beim K 3820 ein Adderbaustein PS83 in dort beschriebener Art und Weise eingesetzt. Entsprechend der vorliegenden Speichergröße werden hier 3 ungeschlüsselte Adreßbits AB13K ... AB15K zur Blockeinheitenwahl herangezogen. Um eine wahlweise Adressenspiegelung vornehmen zu können, werden die Adreßbits AB10, AB11 und das ungeschlüsselte Adreßbit AB12K dem 1 aus 8-Dekoder-Baustein SE05 zur Bildung der /CE-Signale über Exklusiv-Oder-Baustufen (PS86) zugeführt. Diese Baustufen negieren die Adreßbits, wenn die Wickelbrücke X10:6-X11:6 geschlossen ist. Diese Negation bewirkt, daß bei aufwärtszählender Adresse die /CE-Signale in abfallender Nummernfolge aktiviert werden. Bei offener Brücke ist diese Nummernfolge steigend.

Diese Schaltungsmaßnahme ergibt eine wahlweise Vertauschbarkeit der RAM/ROM-Bereiche des Speichermoduls.

Das RDY-Signal wird für die RAM- und ROM-Speicher unterschiedlich gebildet. Beim RAM-Speicher wird das Signal von den /CE-Signalen für die zwei 1K-RAM-Speicherblöcke abgeleitet, während für den ROM-Speicher wie beim K 3820 ein Datenbit des Speicherausgangs ausgewertet wird. Alle Bildungskomponenten des Signals werden disjunktiv zum RDY-Signal verknüpft und auf den Bus gelegt.

Durch die hier gegenüber K 3820 vorgenommene Vertauschung der zwei Eingänge des Komparatorbausteins erreicht man ein negiertes Auswertesignal am Bausteinausgang, so daß die disjunktive Verknüpfung leicht vorgenommen werden kann.

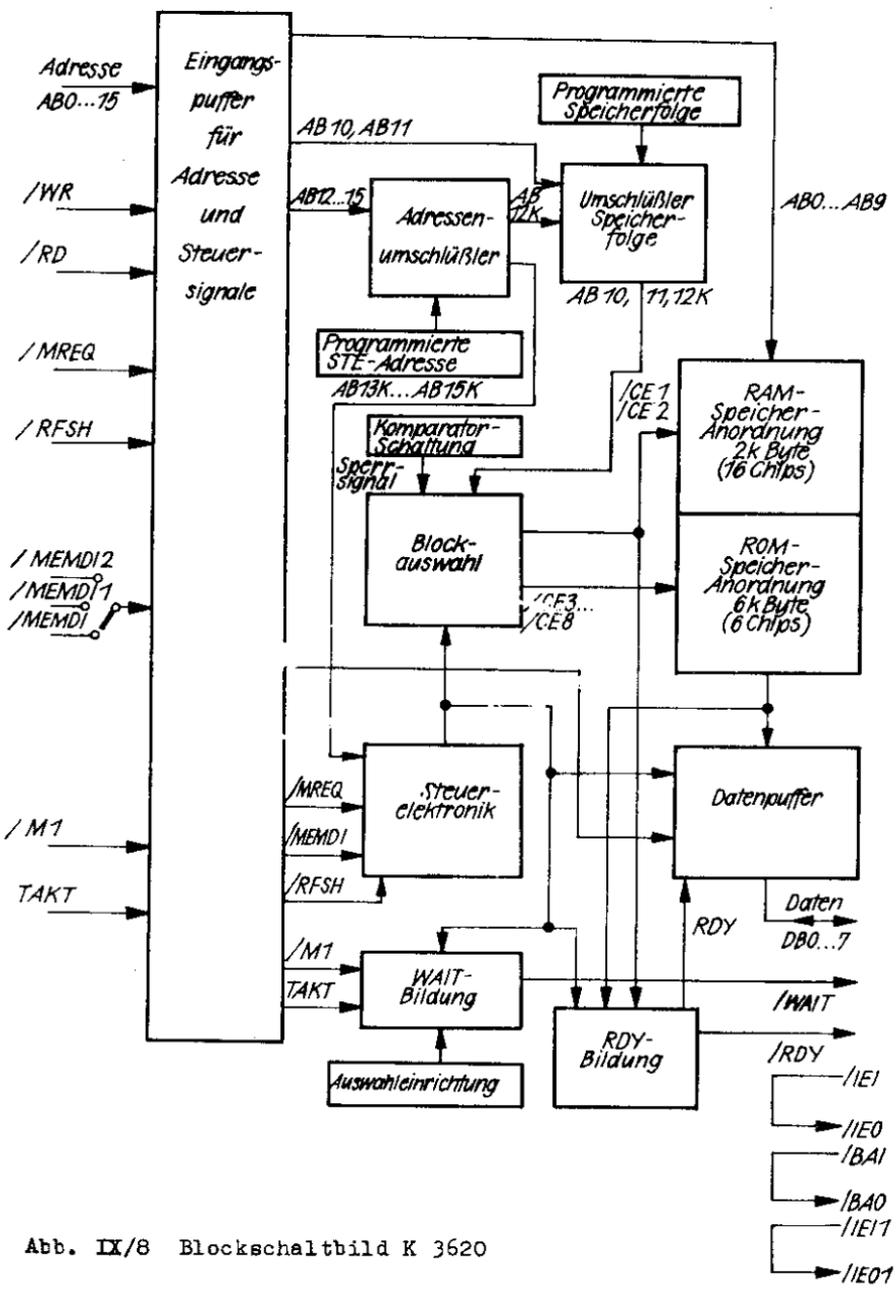


Abb. IX/8 Blockschaltbild K 3620

X.

Technische Beschreibung

Speichereinheiten OPS - K 3525

OPS - K 3521

OPS - K 3621

## Inhaltsverzeichnis

	Seite
<u>1. Allgemeine Beschreibung</u>	X-3
<u>2. Operativspeicher OPS K 3525</u>	X-3
2.1. Kurzcharakteristik	X-3
2.2. Spezifische technische Daten	X-3
2.3. Programmierung der Steckeinheit	X-5
2.3.1. Programmierfelder der Steckeinheit	X-5
2.3.2. Adressenzuordnung	X-5
2.3.3. Auswahl des Speichersperrsignals MEMDI	X-6
2.3.4. "WAIT"-Generierung	X-6
2.4. Funktionsbeschreibung	X-7
2.4.1. Verwendungszweck	X-7
2.4.2. Funktion	X-7
<u>3. Operativspeicher OPS K 3521</u>	X-12
3.1. Kurzcharakteristik	X-12
3.2. Spezifische technische Daten	X-12
3.3. Einsatzbedingungen für den Stütz-Akkumulator	X-14
3.4. Programmierung der Steckeinheit	X-16
3.5. Funktionsbeschreibung	X-16
3.5.1. Verwendungszweck	X-16
3.5.2. Funktion	X-17
<u>4. Operativ-/Festwertspeicher OPS K 3621</u>	X-19
4.1. Kurzcharakteristik	X-19
4.2. Spezifische technische Daten	X-20
4.3. Einsatzbedingungen für den Stütz-Akkumulator	X-22
4.4. Programmierung der Steckeinheit	X-22
4.5. Funktionsbeschreibung	X-22
4.5.1. Verwendungszweck	X-22
4.5.2. Funktion	X-22

## 1.

### Allgemeine Beschreibung

Für die vorliegende Unterlage sind ebenfalls die Ausführungen der Beschreibung 1.12.517011.0/61 verbindlich.

## 2.

### Operativspeicher OPS K 3525

#### 2.1.

##### Kurscharakteristik

Der Schreib-Lese-Speicher (Operativspeicher) OPS K 3525 dient zur Speicherung variabler Daten während des Programmablaufs im Mikrorechner K 1520.

Auf Grund des hohen Integrationsgrades gestattet er den Aufbau räumlich kleiner und billiger Speicher.

Der OPS K 3525 wird durch den Steckeinheitentyp 012-7121 mit indirektem bzw. 012-7126 mit direktem Steckverbinder realisiert und beinhaltet einen 16K Byte großen dynamischen Halbleiterspeicher (nMOS-RAM) mit den zur Entkopplung, Auswahl und Ansteuerung erforderlichen bipolaren Schaltkreisen.

#### 2.2.

##### Spezifische technische Daten

Speicherkapazität	16K Byte (Anordnung von 4 x 8 Speicherchips) Vorgesehene Abrüstvarianten: 8K und 12K Byte
Speicherschaltkreistyp:	Q250 4K x 1 Bit; nMOS
Zugriffszeit:	≤ 350 ns
Betriebsarten:	"Lesen" oder "Schreiben" als abgeschlossene Zyklen in beliebiger Reihenfolge.

Datenerhalt:

Eine statische Ansteuerung des Speichers über einen Zeitraum  $> 4 \mu\text{s}$  ist nicht zulässig. Information geht bei Abschaltung der Betriebsspannungen verloren. Im Betriebszustand muß durch geeignete Ansteuerung des Speichers (Refresh-Ansteuerung) jede Speicherzelle der Steckeinheit im Abstand  $\leq 2 \text{ ms}$  regeneriert werden. Diese Refresh-Ansteuerung des Speichers übernimmt im MR K 1520 u.a. die ZVE des Rechners.

Stromversorgung:

5P: + 5 V  $\pm$  5 %, typ. 0,60 A  
12P: + 12 V  $\pm$  5 %, typ. 0,55 A  
5N: - 5 V  $\pm$  5 %, typ. 50 A  
Der Strombedarf bei der Spannung 12P ist stark von der Betriebsweise des Speichers abhängig. Der o.a. Wert (Maximalwert) ergibt sich im Halt-Zustand des MR K 1520.

Für das Speicherelement ist vom Bauelementehersteller vorgeschrieben, daß die Spannung an jedem Pin, bezogen auf die Betriebsspannung 5N, stets positiver als - 0,3 V bleiben muß. Das ist nur gewährleistet, wenn bei Anlegen der 12P oder 5R unbedingt die 5N am Baustein wirksam ist.

Weiterhin bewirkt eine alleinige Abschaltung der 5P eine statische Enable-Ansteuerung der Speicherelemente, die lt. Datenblatt zeitlich begrenzt ist.

Auf Grund dieser Vorgaben wird für die Steckeinheit eine Reihenfolge

der Spannungszu- und -abschaltung (5N - 5P - 12P) und eine Ausfall-Überwachung bei 12P und 5P vorgeschrieben.

### 2.3.

#### Programmierung der Steckeinheit

##### 2.3.1.

#### Programmierfelder der Steckeinheit

Die Programmierfelder bestehen aus Wickelstiftpaaren oder zum Teil aus Mikroschaltern. Im ersteren Fall erfolgt die Programmierung, indem Wickelstiftpaare in Wickeltechnik miteinander verbunden werden. Die Belegung ist in Abb. X/1 fixiert.

##### 2.3.2.

#### Adressenzuordnung

Die 16 Adreßsignale werden im Speichermodul wie folgt bewertet:

- AB0 ... AB11 - interne Chipadressierung
- AB12, AB13 - Auswahl einer der 4 4K-Blöcke auf der STE in Abhängigkeit von der Adressenzuordnung der Steckeinheit.
- AB14, AB15 - Auswahl der Steckeinheit in Abhängigkeit von der Adressenzuordnung der Steckeinheit.

#### Zuordnung des Adreßbereichs der Steckeinheit:

Über 4 Wickelbrücken bzw. 4 Schalter X8:1 ... 4; X9:1 ... 4 wird dem Speichermodul ein wählbarer zusammenhängender Adreßbereich von 16K Bytes zugeordnet.

Das Programmierfeld erhält in binärer Verschlüsselung die Anfangsadresse des gewünschten Adreßbereiches. Diese Adresse ist ein ganzzahliges Vielfaches von 4K.

Adressbereich	Wickelbrücken			
	X8:4-X9:4	X8:3-X9:3	X8:2-X9:2	X8:1-X9:1
0000-3FFF	-	-	-	-
1000-4FFF	-	-	-	Brücke
2000-5FFF	-	-	Brücke	-
3000-6FFF	-	-	Brücke	Brücke
4000-7FFF	-	Brücke	-	-
. .				
. .				
. .				
C000-FFFF	Brücke	Brücke	-	-

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen Schalter.

### 2.3.3.

#### Auswahl des Speichersperrsignals MEMDI

Im Speichermodul wirksames Signal	Wickelbrücken		
	X6:1-X7:1	X6:2-X7:2	X6:3-X7:3
MEMDI (X1:B09)	Brücke	-	-
MEMDI1 (X2:X21)	-	Brücke	-
MEMDI2 (X2-B21)	-	-	Brücke

Bei Schalterbestückung entspricht "Brücke" dem geschlossenen Schalter.

### 2.3.4.

#### "WAIT"-Generierung

Von den dynamischen Daten der aufgerufenen Speicherschaltkreise hängt es ab, ob während des Befehlszyklus im MR K 1520 durch den Speichermodul eine Zeitverlängerung über "WAIT" vorgenommen werden muß.

Durch die konkrete Bestückung der Steckeinheit mit Speicherschaltkreisen ergibt sich die erforderliche Einstellung des Programmierfeldes.

Für den allgemeinen Anwendungsfall kann die Einstellung wie folgt vorgenommen werden:

Generierung von "WAIT" im M1-Zyklus:	Brücke X10-X11 geschlossen
	Brücke X11-X12 offen
Unterdrückung der "WAIT"-Bildung:	Brücke X11-X12 geschlossen
	Brücke X10-X11 offen

#### 2.4.

#### Funktionsbeschreibung

##### 2.4.1.

#### Verwendungszweck

Der OPS K 3525 wird im Mikrorechner K 1520 als Operativspeicher (dynamischer Schreib-Lese-Speicher) eingesetzt. Dieser Speichertyp gestattet die kostengünstige und platzsparende Realisierung von kapazitätstamäßig großen Operativspeichern im Mikrorechner.

##### 2.4.2.

#### Funktion

Der Speicher K 3525 ist in modularer Struktur aufgebaut. Die Steckeinheit enthält alle für die Schreib- und Lese-Ansteuerung und die Pufferung des Speichers erforderlichen Baustufen. Eine eigene Regeneriersteuerung ist nicht vorhanden, das Auffrischen des Speicherinhalts muß durch geeignete "Refresh"-Ansteuerung von außen vorgenommen werden. Diese Ansteuerung und die Bereitstellung der "Refresh"-Adresse erfolgt über den Bus des MR K 1520.

Im Blockschalbild Abb. X/2 ist der funktionelle Zusammenhang der Schaltungsteile des Speichermoduls dargestellt.

Der Speicher besteht aus einer Anordnung von 4 x 8 Speicherbausteinen Q250, die eine Kapazität von 4 x 4K Byte = 16K Byte ergibt. Die niederwertigen Adreßsignale und das Schreibsignal WR, die wie alle übrigen empfangenen Signale über hochohmige Schottky-TTL-Pufferschaltkreise SE12 vom Bus entkoppelt werden, liegen parallel an allen Speicherbausteinen an. Sie wählen beim Speicherzugriff zu der Steckereinheit eine vorgegebene Speicherzelle (8 Bit Aufrufbreite) zum Schreiben oder Lesen aus oder sie adressieren eine Zeile von 64 Speicherzellen in jedem Baustein für den Auffrischaufruf.

Die Auswahl der 4 Speicherblöcke beim Schreib-/Leseaufruf einer Zelle übernimmt ein "1 aus 8-Dekoder" SE05 durch Bildung der /OE-Signale in Abhängigkeit von den umgeschlüsselten Adressenbits AB12K und AB13K. Beim Auffrisch-Aufruf werden alle 4 Blöcke gleichzeitig angesteuert.

Die Speicheraktivierung erfolgt unter folgenden Ansteuerbedingungen:

Schreib-/Leseaufruf: MREQ . /MEMDI . /RFSH . STE-Auswahlspannung aus AB14K und AB15K

Auffrischaufruf: MREQ . RFSH

Während des Auffrischzyklus werden die /CS-Eingänge der Speicherbausteine durch das Signal RFSH auf High-Potential geschaltet, damit die Datenausgänge im hochohmigen Zustand bleiben und keine ausgangsseitige Beeinflussung auftritt.

Die spezifischen statischen und dynamischen Anforderungen der Speicherbaustufen für den Eingang CE erfordern den Einsatz spezieller Treiberbaustufen PZ61. Diese wirken negierend und beinhalten ein log. Verknüpfungszusammenhang, das die Enable-Signale vom Schreib-/Lese-Aufruf und vom Auffrischaufruf disjunktiv verknüpft.

Sobald ein OE-Signal im Schreib- bzw. Leseaufruf gebildet wird (Signal RFSH inaktiv), werden auch die bidirektional arbeitenden Datentreiber SE16 aktiviert. Beim Schreiben (/RD, WR) ist die Datenübertragung vom Bus zum Speicher gerichtet. Da zwischen Datenein- und -ausgang der Speicherelemente ein Polaritätswechsel vorliegt, müssen die Daten vor dem Einschreiben

negiert werden. Beim Lesen schaltet RD die Daten vom Speicher-  
ausgang auf den Bus. Gleichzeitig mit der Datenankopplung an  
den Bus wird das Quittierungssignal RDY über eine Open-Kollek-  
tor-Baustufe auf den Bus gegeben und die Blockierung des  
"WAIT"-Bildungs-Netzwerks aufgehoben, sofern die Auswahl-  
brücke X11 - X12 nicht gesetzt ist (s. Pkt. 2.3.4.). Es kann  
somit beim Befehlslesen zur Zyklusverlängerung ein "WAIT"-  
Zyklus eingeschoben werden.

WAIT wird von einer Schiebekette aus zwei D-FlipFlops abge-  
leitet, die mit dem Kennsignal M1 und dem Systemtakt TAKT  
gesteuert wird. Das "WAIT"-Signal wird ebenfalls über eine  
Open-Kollektor-Baustufe ausgesendet.

Die Adressenbits AB12 bis AB15, die die Steckeinheiten- und  
Blockauswahl vornehmen, werden abhängig vom Inhalt des An-  
fangs-Adressen-Programmierfeldes X8:1; X9:1 ... 4 zur inter-  
nen Adresse AB12K ... AB15K umgerechnet. Diese Umrechnung  
übernimmt ein Adderbaustein, der von der angelegten Adresse  
die im Programmierfeld fixierte Adresse subtrahiert.  
(Addition des Zweierkomplements des zweiten Operanden.)

Soll die betreffende Steckeinheit aktiviert werden, müssen  
die umgerechneten Adreßbits AB14K und AB15K Nullpotential er-  
geben. Die Bits AB12K und AB13K adressieren dann die Speicher-  
blöcke der Steckeinheit. Die Programmierung der Anfangs-  
adresse im Programmierfeld erfolgt in binärer Verschlüsselung.

Zur Durchschaltung der Prioritätsketten des Busses K 1520  
sind folgende Brücken auf der Steckeinheit realisiert:

X1:A27 - B27	(/BAI - /BA0)
X1:A10 - B10	(/IEI - /IE0)
X2:A26 - B26	(/IEI1 - /IE01)

Zur Abblockung von kurz- und langzeitigen Störungen auf den  
Betriebsspannungen sind Stütz- und Siebkondensatoren in der  
Leitungsführung verteilt angeordnet.

Auf Grund der spezifischen dynamischen Eigenschaften des Speicherelements (Störbeeinflussung) sind Speichermoduln K 3525 in der Nähe der ZRE und in Systemen mit Buserweiterung durch Busverstärker BVE im Primärbus anzuordnen.

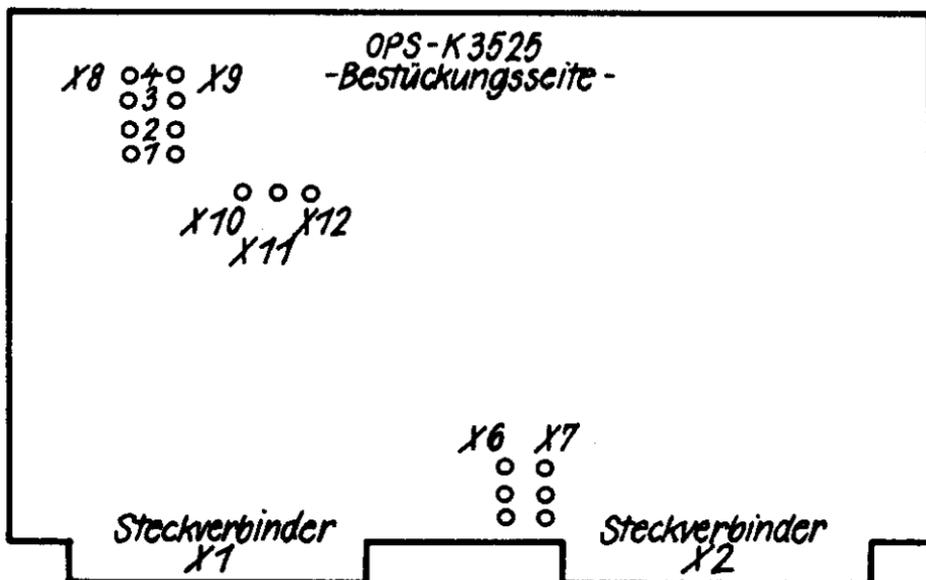


Abb. I/1 Programmierfelder der Steckeinheit K 3525

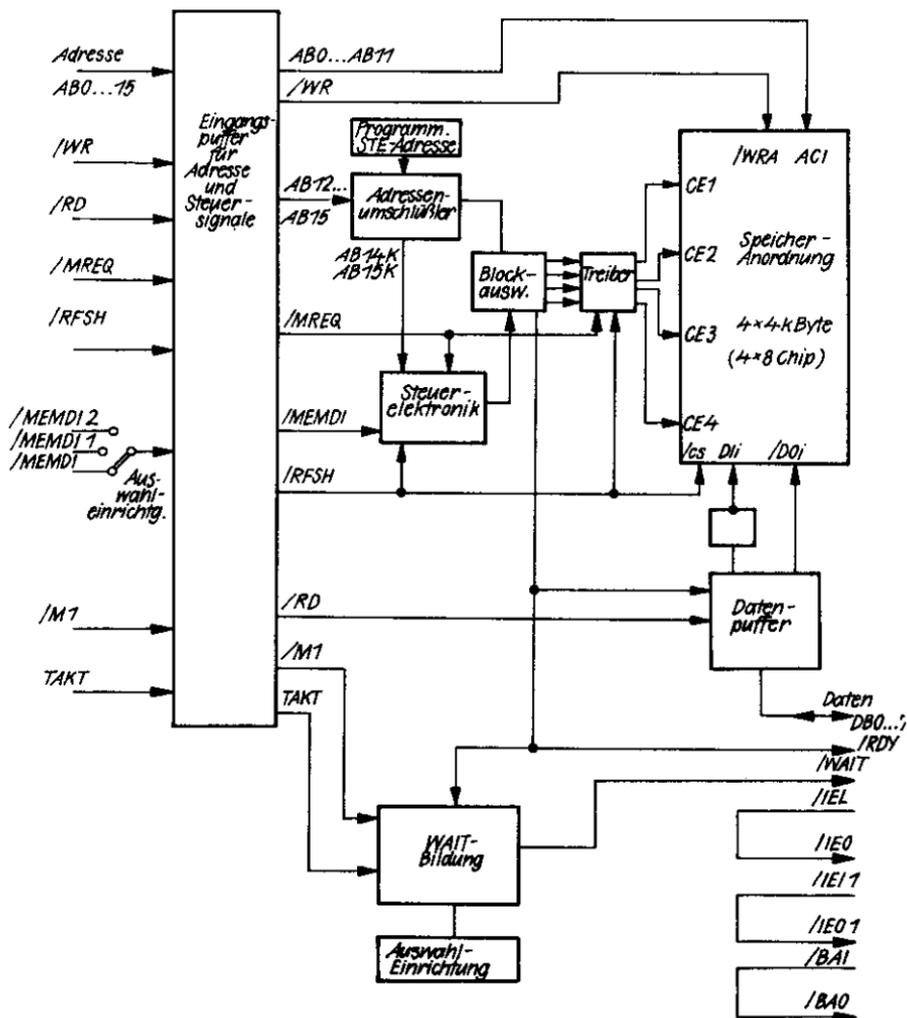


Abb. I/2 Blockschaltsbild K 3525

### 3.

#### Operativspeicher OPS K 3521

##### 3.1.

##### Kurzcharakteristik

Der Schreib-Lesespeicher (Operativspeicher) OPS K 3521 dient während des Programmablauf im Mikrorechner K 3520 zur Speicherung variabler Daten, die auch nach zwischenzeitlicher Programmunterbrechung durch Netzabschaltung am Rechner für die weitere Programmabarbeitung unverändert erhalten bleiben müssen.

Er wird durch den Steckeinheitentyp 012-7131 (012-7012) mit indirektem bzw. 012-7136 (012-7017) mit direktem Steckverbinder realisiert und beinhaltet einen 4K Byte großen statischen Halbleiterspeicher (CMOS-RAM) mit dem zur Entkopplung, Auswahl und Ansteuerung erforderlichen bipolaren Schaltkreisen und den zur Stützung der Speicherbetriebsspannung gehörenden Schaltungen einschließlich der Stützenspannungsquelle.

##### 3.2.

##### Spezifische technische Daten

Speicherkapazität:	4K Byte (Anordnung von 4 x 8 Speicherchips)
Speicherschaltkreistyp:	Q270 bei STE 012-7012 bzw. 7017 Q271 bei STE 012-7131 bzw. 7136 1K x 1 Bit; CMOS
Zugriffszeit:	≤ 530 ns
Betriebsarten:	"Lesen" oder "Schreiben" als abgeschlossene Zyklen in beliebiger Reihenfolge
Datenerhalt:	Durch steckeinheiteninterne Stützung der Betriebsspannung für die Speicherschaltkreise durch gepufferte MK-Akkumulatoren wird

der Datenerhalt bei Abschaltung der externen Betriebsspannungen gewährleistet.

Datenhaltezeit - 200 Stunden.

Reihenschaltung von 3 NK-Knopfzellen mit je 1,2 V und 0,225 mAh: Type KBL 0,225 vom VEB GI.Z nach TGL 22807 und Qualitätsvereinbarung

5P = 5 V  $\pm$  5 %, typ. 0,6 A

für Steuerelektronik und Pufferschaltkreise

5PG = 5 V  $\pm$  5 %, typ. 40 mA

für Speicherschaltkreise und Akkuladestrom.

12NR = 26 V  $\sim$   $\begin{matrix} +12 \\ -20 \end{matrix}$  %, typ. 10 mA.

Wechselspannung zur Erzeugung der Hilfsspannungen für die Batteriespannungsüberwachungsschaltung.

Sie muß mindestens 200 ms vor Zuschaltung der Systemspannungen 5P und 5PG anliegen.

Stützspannungsüberwachung: Eine Kontrollschaltung bewertet den Spannungszustand der Batterie unmittelbar vor dem Zuschalten der Systemspannungen und speichert das Auswertergebnis ab.

Im Betriebszustand kann die Aussage "Stützspannung war größer bzw. gleich oder kleiner als die minimale Schlafspannung der Speicherschaltkreise" als Anzeige auf der Steckeinheit oder logisch auf dem Bus ausgewertet werden.

LED-Anzeige ein bzw. Bussignal SUE ist high  $\hat{=}$  Datenerhalt war gewährleistet.

### 3.3.

#### Einsatzbedingungen für den Stütz-Akkumulator

Die NK-Knopfzellen werden in Einzelgehäusen gehalten, die an der Griffseite der Steckeinheit angeordnet sind. Das Wechseln der Knopfzellen ist im gesteckten Zustand der Steckeinheit möglich und kann auch im Betriebszustand des Rechners erfolgen.

Während der Lagerung und des Transports sind die Knopfzellen auf der Steckeinheit nicht zu bestücken. Es wird davon ausgegangen, daß bei einer Neubestückung grundsätzlich geladene Zellen zum Einsatz kommen. Im Betriebszustand des Rechners werden die Zellen mit einem mittleren Ladestrom von 5 mA geladen (ständige Pufferung). Dieser Strom führt auch bei Grenztemperaturen nicht zu Überladerscheinungen an den Zellen. Der maximal vorkommende Entladestrom bei abgeschaltetem Rechner beträgt  $500 \mu\text{A}$ . Der reale Wert hängt von den konkreten Typen und der Qualität der RAM-Elemente ab und kann zwischen wenigen  $\mu\text{A}$  bis zu  $500 \mu\text{A}$  bei 5 V Betriebsspannung streuen. Aus diesen Vorgaben ergibt sich als Richtwert, daß der Ladezustand der Zellen erhalten wird, wenn die Ladezeit allgemein ein Siebtel der Entladezeit beträgt.

Die Lebensdauer der Akkus wird durch die nutzbare mAb-Kapazität der Zellen bestimmt. Angaben dazu sind in der Einsatzvorschrift des Akkuherstellers und in der TGL 22807 festgelegt. Da die Einsatztemperaturen im K 1520 bis zu  $60^\circ\text{C}$  betragen können, entstehen hohe Belastungen für die NK-Elemente. Temperaturen über  $35^\circ\text{C}$  bewirken zunehmende chemische Umsetzungen der aktiven Masse, die die Kapazität und damit die Lebensdauer erheblich reduzieren. Es gelten daher lt. Qualitätsvereinbarung folgende zusätzliche Einsatzbedingungen:

Erfolgt der Betrieb der Zellen im Temperaturbereich bis  $45^\circ\text{C}$  bei zusätzlich insgesamt einer Woche Spitzentemperaturen bis  $60^\circ\text{C}$ , so ergibt sich eine garantierte Lebensdauer der Zellen von einem Jahr, wobei die Lebensdauerergrenze bei einer nutz-

baren Kapazität von 100 mAh definiert ist. Besteht die Grenztemperatur von 60 °C über einen langen Zeitraum, so verringert sich die definierte Lebensdauer auf 3 Monate.

Aus diesen Garantiewerten ist abzuleiten, daß die Zellen bei Erreichen der angegebenen 100 mAh-Grenze auszuwechseln sind, wenn eine Datenhaltezeit von  $\geq 200$  Stunden sicher gewährleistet werden muß. Reduziert man die Anforderungen an lange Datenhaltezeiten, so lassen sich Zellen noch nutzen, wenn die nutzbare Kapazität von 100 mAh unterschritten ist. Die reale thermische Belastung über die Zeit ist aber in der Praxis schwer erfaßbar, so daß der Kapazitätzustand der Zellen nicht exakt vorherzusagen ist. Ein ökonomischer Einsatz der Zellen wird ermöglicht, wenn im Betrieb unter konkreten Einsatzbedingungen im Finalprodukt praktische Werte für den Akkutausch abgeleitet werden.

Als Kriterium für die nutzbare Grenzkapazität und den dabei erreichbaren Ladezustand kann die Anzeige der Batteriespannungsüberwachungsschaltung der Steckeinheit genutzt werden. Aussagekräftige Werte ohne das Risiko des Datenverlustes erhält man, wenn die Batteriespannung auf der Steckeinheit wiederholt im Zustand des Datenerhalts gemessen wird. Fällt die Spannung bei Einhaltung normaler Lade-, Entladezyklen unter den Wert von 3,2 V, dann sind die Zellen zu ersetzen.

Neben den ergänzenden Festlegungen für den Einsatz der Zellen bei Temperaturen über 35 °C gelten allgemein die Festlegungen in der TGL 22807 und in der Behandlungsvorschrift des Akkuherstellers über Lagerung und Einsatz der Zellen.

Ist im Rechner eine Totalentladung von Zellen aufgetreten, sind diese Zellen außerhalb des Rechners mit Ladegerät nach Vorschrift des Akkuherstellers zu laden. Der Ladezustand bei der Lagerung von Zellen ist durch regelmäßige Erhaltungsladungen zu sichern. Eine Ladung von vollständig entladenen Zellen auf der Speichersteckeinheit mit dem geringen Strom von etwa 5 mA führt nicht zur vollen Ausnutzung der Nennkapazität der Zellen.

Eine Lagerung von entladenen Zellen ist bis zu einer Lagerzeit von einem Jahr ohne Einschränkung der elektrischen Parameter möglich, wenn die Umgebungsbedingungen:

Temperatur  $20^{\circ}\text{C} \pm 5 \text{ grd}$

Rel. Luftfeuchte  $60 \% \pm 15 \%$

eingehalten werden. Danach müssen sie unbedingt durch Ladegerät zwei- bis dreimal mit Nennströmen geladen und entladen werden, bevor sie ohne Einbuße an Kapazität im Rechner eingesetzt werden können. Die in der vorstehenden Abhandlung genannten Daten und Vorgaben, ergänzt durch Werte aus dem speziell ermittelten Einsatzverhalten im Finalprodukt, sollten in der Wartungsvorschrift dieses Erzeugnisses fixiert werden. Knopfzellen anderer Hersteller mit vergleichbaren elektrischen und konstruktiven Daten können eingesetzt werden, wenn die Behandlungsvorschriften dieser Erzeugnisse entsprechend beachtet werden. Es können sich dabei Einschränkungen in den technischen Daten der Speichersteckeinheiten bezüglich Einsatzbedingungen und Datenhaltezeit ergeben.

### 3.4.

#### Programmierung der Steckeinheit

Die Programmierung erfolgt analog dem OPS K 3520 (s. Pkt. 2.3. der Unterlage 1.12.517011.0/61).

### 3.5.

#### Funktionsbeschreibung

#### 3.5.1.

##### Verwendungszweck

Der OPS K 3521 wird im Mikrorechner K1520 als Operativspeicher (statischer Schreib-Lese-Speicher) eingesetzt, dessen Daten bei Systemspannungsabschaltung gesichert werden.

### 3.5.2.

#### Funktion

Die Grundschialtung des Speichermoduls K 3521 entspricht der des K 3520, deshalb wird auf die Unterlage 1.12.517011.0/61, Pkt. 2.4.2., verwiesen. Als Einschränkung gilt, daß der Modul K 3521 nicht für externe Stützung vorgesehen ist.

Auf Grund des Einsatzes unterschiedlicher CMOS-RAM-Typen existieren vier Steckeinheitentypen mit gleicher logischer Schaltung: Steckeinheit 012-7012, 012.7017, RAM pinkompatibel zu U202 Steckeinheit 012-7131, 012-7136, RAM nicht pinkompatibel zu U202.

An dieser Stelle werden nur die Schaltungsteile beschrieben, die für den CMOS-Speicher und damit für den OPS K 3521 und den OPS K 3621 spezifisch sind.

- Im Blockschaltbild Abb. X/3 sind die ergänzenden Schaltungsteile mit ihren funktionellen Verbindungen aufgeführt. Erläuterungen dazu schließen sich an.
- Um im Schlafzustand des Speichers (Stützakkus bestückt, 5P und 5PG abgeschaltet) für die CMOS-Elemente einen definierten Zustand und damit eine minimale Stromaufnahme zu erreichen, sind alle hochohmigen Eingänge der CMOS-Elemente über Widerstandsbausteine auf Massepotential gelegt (eine Ausnahme bildet der CE-Eingang).
- Im Betriebszustand wird die Speicheranordnung mit den CMOS-RAM von 5PG über eine Pufferschaltung mit Betriebsspannung 5PGI versorgt. Diese Spannung bewirkt auch die Ladung der Stützbatterie, wobei ein Vorwiderstand den Ladestrom auf etwa 5 mA begrenzt.

Die Aufgabe der Pufferschaltung ist es, bei abgeschalteten Systemspannungen (5P und 5PG) die Batteriespannung vom Spannungseingang abzublocken, damit keine Ausgleichströme fließen können.

Eine Pufferkapazität an der Spannung 5PGI verhindert größere Spannungseinbrüche beim Zu- und Abschalten der Systemspannungen, da dabei dynamische Stromerhöhungen über die RAM-

Elemente auftreten. Gleichzeitig unterdrückt als Prellerscheinungen bei der Kontaktierung der Knopfzellen.

Die Spannung der Stützbatterie kann im vollgeladenen Zustand etwa 4,1 V betragen. Der Entladezustand liegt vor, wenn die Spannung unter 3 V absinkt. Über den größten Zeitbereich der Batterientladekurve wird als Nennwert der Batteriespannung etwa 3,6 V anliegen.

Reduziert um den Spannungsabfall über den oben genannten Ladewiderstand liegt diese Spannung als 5PGI an den Speicherschaltkreisen an.

Bei der Bestückung der CMOS-Elemente wird im Fertigungsprozeß dafür gesorgt, daß bei diesen Spannungen ein Entladestrom von  $\leq 500 \mu\text{A}$  fließt. Sinkt die Spannung unter die im Datenblatt angegebene Schlafspannung der CMOS-RAM ab (bei Q271  $< 2 \text{ V}$ ), so tritt Datenverlust auf. Die Spannungsüberwachungsschaltung signalisiert diesen Zustand.

- Die Batteriespannungsüberwachungsschaltung bewertet die intern gestützte Speicherbetriebsspannung 5PGI hinsichtlich der Einhaltung der für den Datenerhalt geforderten Schlafspannung, bevor die eigentlichen Systemspannungen 5P und 5PG zugeschaltet werden, und speichert den Zustand als digitales Signal ab. Nach Anlagen der 5P steht dieses Signal für eine Auswertung im Anwendersystem als Open-Kollektor-Ausgangssignal SUE zur Verfügung. Der erforderliche Kollektorwiderstand ist in der Auswerteschaltung vorzusehen.

Gleichzeitig erfolgt eine optische Anzeige auf der Speichersteckeinheit.

#### Bedeutung der Signale:

SUE = high und LED-Anzeige leuchtet: 5PGI  $\geq$  minimale Schlafspannung. Datenerhalt ist gesichert.

SUE = low und LED-Anzeige aus: 5PGI  $<$  minimale Schlafspannung bzw. Akkus sind nicht bestückt. Datenerhalt ist nicht garantiert.

Die FF-Speicherschaltung ist so konzipiert, daß eine Abspeicherung der Vergleicheraussage unmittelbar nach der Einschaltflanke der Hilfsspannung 5PH erfolgt. Zu diesem Zeitpunkt dürfen die Systemspannungen 5P und 5PG nicht anliegen, da sie zu einer Beeinflussung der Stützspannung führen. Ein auftretendes Low-Signal an der Vergleicherstufe stellt das FF jederzeit in den Fehlerzustand.

Die für die Funktion dieser Schaltung erforderlichen Hilfsspannungen 5PH und 5NH werden durch eine schnelle Gleichrichtung aus einer voreilenden Wechselspannung 12NR (26 V $\sim$ ) gewonnen. Für eine sichere Bewertung der Stützspannung muß die Wechselspannung mindestens 200 ms vor den Systemspannungen an der Steckereinheit anliegen.

#### 4.

#### Operativ-/Festwertspeicher OFS K 3621

##### 4.1.

##### Kurzcharakteristik

Der kombinierte Schreib-Lese-Speicher (Operativspeicher) und programmierbare Festwertspeicher OFS K 3621 dient während des Programmablaufs im Mikrorechner K 1520 zur Speicherung variabler Daten, die auch nach zwischenzeitlicher Programmunterbrechung durch Systemspannungsabschaltung am Rechner für die weitere Programmabarbeitung unverändert erhalten bleiben müssen, sowie zur Speicherung von Festdaten. Dieser Speichermodul ermöglicht in der Kombination mit den anderen Speichermodulen eine Flexibilität in der Zusammensetzung der Halbleiterspeicher und realisiert ökonomisch kleine Speicher. Der OFS K 3621 wird durch den Steckereinheitentyp 012-7141 (012-7032) mit indirektem bzw. 012-7146 (012-7037) mit direktem Steckverbinder realisiert und beinhaltet einen 2K Byte großen statischen Halbleiterspeicher (CMOS-RAM) und einen 6K Byte großen programmierbaren Festwertspeicher (EPROM) mit den zur Entkopp-

lung, Auswahl und Ansteuerung erforderlichen bipolaren Schaltkreisen sowie den zur Stützung der Speicherbetriebsspannung gehörenden Schaltungen einschließlich der Stützspannungsquelle.

#### 4.2.

##### Spezifische technische Daten

Speicherkapazität:	2K Byte; statischer RAM (Anordnung von 2 x 8 Speicherchips) 6K Byte; EPROM (Anordnung von 6 Speicherchips)
Speicherschaltkreistyp:	Q270 bei STE 012-7032 bzw. 7037 Q271 bei STE 012-7141 bzw. 7146 1K x 1 Bit; CMOS Q260 1K x 8 Bit; nMOS
Zugriffszeit:	≤ 530 ns
Betriebsarten:	Abgeschlossene Zyklen "Lesen" oder "Schreiben" in beliebiger Reihenfolge beim RAM und "Lesen" beim ROM (Programmieren oder Löschen der EPROM ist nur extern mit Programmiergerät möglich).
Datenerhalt:	Energieunabhängige Datenspeicherung bei ROM-Speicher. RAM-Information wird bei Abschaltung der externen Betriebsspannungen erhalten durch steckeinheiteninterne Stützung der Betriebsspannung der RAM-Schaltkreise mit gepuffertem NK-Akkumulatoren. Datenhaltezeit für RAM ≥ 200 h
Stützspannungsquelle:	Batterie, bestehend aus einer Reihenschaltung von 3NK-Knopfzellen mit je 1,2 V und 0,225 mAh;

**Stromversorgung:**

Type KBL 0,225 vom VEB GLZ nach  
TGL 22807 und Qualitätsvereinbarung

5P = 5 V  $\pm$  5 %, typ. 0,7 A

für ROM-Speicher, Steuerelektronik  
und Pufferschaltkreise

5PGH = 5 V  $\pm$  5 %, typ. 40 mA

für RAM-Speicher und Akkuladestrom

5N = 5 V  $\pm$  5 %, typ. 0,2 A

12P = 12 V  $\pm$  5 %, typ. 0,3 A

Es ist dafür zu sorgen, daß die  
Spannung 5N nicht später als 10 ms  
nach Zuschaltung von 5P bzw. 12P  
ihren Nennwert erreicht und höchstens  
10 ms vor Wegfall der 5P bzw. 12P  
abschaltet.

12NR = 26 V  $\sim$   $\begin{matrix} +12 \% \\ -20 \% \end{matrix}$ , typ. 10 mA.

Wechselspannung zur Erzeugung der  
Hilfsspannungen für die Batterie-  
spannungsüberwachungsschaltung. Sie  
muß mindestens 200 ms vor Zuschal-  
tung der Systemspannungen 5P und  
5PG anliegen.

**Stützspannungsüberwachung:**

Eine Kontrollschaltung bewertet  
den Spannungszustand der Batterie  
unmittelbar vor dem Zuschalten der  
Systemspannungen und speichert das  
Auswertergebnis ab.

Im Betriebszustand kann die Aussage  
"Stützspannung war größer bzw.  
gleich oder kleiner als die minima-  
le Schlafspannung der Speicher-  
schaltkreise" als Anzeige auf der  
Steckeinheit oder logisch auf dem  
Bus ausgewertet werden.

LED-Anzeige ein bzw. Bussignal SUE  
ist high = Datenerhalt war gewähr-  
leistet.

#### 4.3.

#### Einsatzbedingungen für den Stütz-Akkumulator

a. Pkt. 3.3.

#### 4.4.

#### Programmierung der Steckeinheit

Die Programmierung der Steckeinheit erfolgt wie bei OFS K 3620 und ist identisch mit Pkt. 4.3. der Unterlage 1.12.517011.0/61.

#### 4.5.

#### Funktionsbeschreibung

##### 4.5.1.

#### Verwendungszweck

Der OFS K 3621 wird im Mikrorechner K 152 0 als kombinierter Operativspeicher (statischer Schreib-Lese-Speicher) und programmierbarer Festwertspeicher (Nur-Lese-Speicher) eingesetzt. Die RAM-Information wird bei Systemspannungsabschaltung gesichert.

##### 4.5.2.

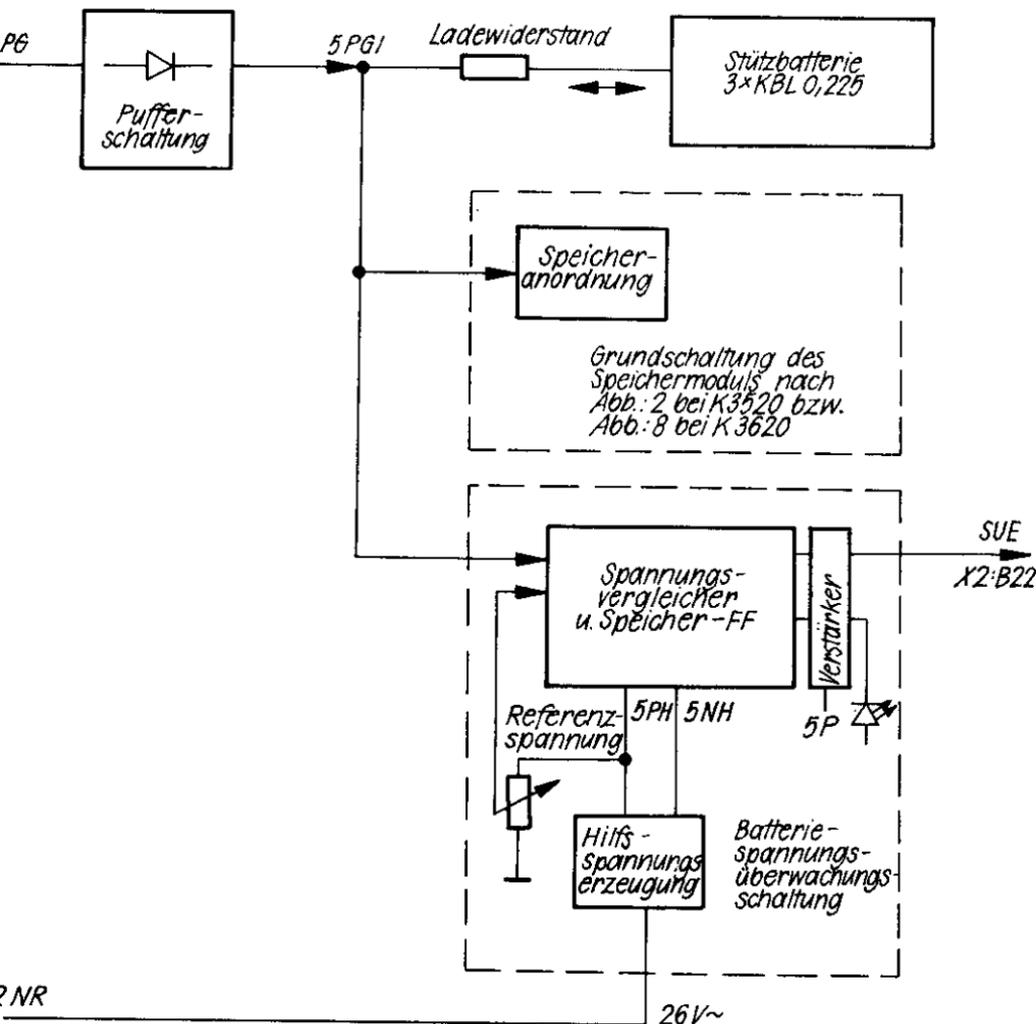
#### Funktion

Die Grundschialtung des Speichermoduls K 3621 entspricht der des K 3620, so daß auf den Pkt. 4.4.2. der Beschreibung dieses Moduls (Unterlage 1.12.517011.0/61) verwiesen wird. Als Einschränkung gilt, daß der Modul K 3621 nicht für externe Stützung vorgesehen ist.

Auf Grund des Einsatzes unterschiedlicher CMOS-RAM-Typen existieren vier Steckeinheitentypen mit gleicher logischer Schaltung:

Steckeinheiten 012-7032, 012-7037, RAM pinkompatibel zu U202  
Steckeinheiten 012-7141, 012-7146, RAM nicht pinkompatibel  
zu U202.

Die für den CMOS-Speicher charakteristischen Schaltungsteile sind bereits in der Funktionsbeschreibung des Moduls K 3521, Pkt. 3.5.2., aufgeführt. Daher wird an dieser Stelle auf eine Beschreibung verzichtet.



2 NR  
2: A27, B27

Abb. X/3 Ergänzendes Blockschaltbild zu K 3521 und K 3621

XI.

Technische Beschreibung

Anschlußsteuereinheit ADA - K 6022

## Inhaltsverzeichnis

	Seite
1. Kurzcharakteristik	XI-3
2. Technische Daten	XI-3
3. Funktionsbeschreibung	XI-5
3.1. Verwendungszweck	XI-5
3.2. Funktion	XI-5
3.2.1. Programmierbare Parallel-E/A-Schnittstelle	XI-6
3.2.2. Ruf-End-Steuerung	XI-7
3.2.3. Adressierungseinrichtung	XI-9
3.2.4. Pegelstufen	XI-13
3.2.5. Anschlußlogik zwischen Systembus und PIO-Baustein	XI-13
3.3. Programmierung	XI-14
3.4. Anschlußverzeichnis	XI-17
3.5. Interfacekabel	XI-19

## 1.

### Kurzcharakteristik

Die Anschlußsteuereinheit ADA - K 6022 dient zum Anschluß von peripheren Geräten mit dem Standard-Anschluß robotron 1000/1 an den Mikrorechner K 1520. Der Anschluß ADA — Peripherie erfolgt durch Interfacekabel (s. Pkt. 3.5.).

## 2.

### Technische Daten

Steckeinheitenabmessungen:	215 mm x 170 mm
Steckraster:	20 mm
Steckverbinder:	2 x 58polig, indirekt, Beuf.304-58 TGL 29331/03 bzw. 2x 58polig, direkt TGL 29331/01 2x 39polig, indirekt, Beuf.402-39 TGL 29331/04 (SIF 1000-Anschluß)
Einsatzklasse:	5/60/30/95/10-1E
Stromversorgung:	5 V $\pm$ 5 %, typ. 0,9 A 12 V $\pm$ 5 %, typ. 0,1 A
Kanäle je Steckeinheit:	2 unabhängig voneinander arbeitende Kanäle 1 Ausgabekanal 1 Eingabekanal
Übertragungsbreite: (pro Kanal zum Standard-Anschluß robotron 1000/1)	8 Datenbits (/DAT-A bzw. /DAT-E) 3 Kommandobits (/KOM-A bzw. /KOM-E) 3 Statusbits (/STA-A bzw. /STA-E) 1 Paritätsbit (/PA-A bzw. /PA-E)
Steuersignale: (zum Standard-Anschluß robotron 1000/1)	/RUF-A, /RUF-E, /END-A, /END-E, /GES-E

Signalpegel (KME3):	High-Potential: 6,5 ... 12 V Low-Potential: 0 ... 0,5 V max. 3 mA bei 12 V
Belastung der Ausgangs- leitungen:	
Ein- und Ausgangs- leitungen zum Systembus des MR K 1520:	3 Adressenleitungen (AEO ... AB7) (Eingänge Low-Power-Schottky-TTL) 8 Datenleitungen (DB0 ... DB7) (Ein/Ausgänge Low-Power-Schottky- TTL) 4 Steuerleitungen (/M1, /IODI, /RESET, TAKT) (Eingänge Low-Power-Schottky-TTL) 3 Steuerleitungen (IORQ, /RD, INT) Belastung: 2 parallelliegende Ein- bzw. Ausgänge der PIO-Beusteine Q301 2 Steuerleitungen für Verdrehung der Prioritätskette (IEI, /IEO) (TTL-Eingangs- bzw. Ausgangs- pegel)
Übertragungsgeschwindig- keit:	≳ 20K Byte/s (8 Bit-parallel ohne Paritätsbit) ≳ 5K Byte/s (8 Bit-parallel, mit Paritätsbit)
Übertragungsentfernung:	max. 20 m
Adressierung der Steckeinheit:	Durch interne Wickelverbindungen auf den Programmiererebenen X6 und X7 können 32 Adressen ausgewählt werden.
Geräteanschluß:	Standardanschluß 1000/1 (SIF 1000) realisiert durch 2 x 39polige Steckverbinder nach TGL 29331/04.

### 3.

#### Funktionsbeschreibung

##### 3.1.

#### Verwendungszweck

Die Anschlußsteuereinheit ADA - K 6022 ist für den Anschluß von SIF 1000 Geräten an den Mikrorechner K 1520 konzipiert. An die Ein/Ausgabekanäle der Steckeinheit können 1 Ausgabe-gerät und 1 Eingegerät angeschlossen werden. Die Steckeinheit wird unter Beachtung der Prioritäten steckplatzunabhängig an den Systembus angeschlossen. Der Datenaustausch zwischen der ADA und den peripheren SIF robotron 1000-Geräten erfolgt über den programmierbaren Parallel-Eingabe/Ausgabe-Interfacebaustein Q301 (PIO). Dabei wird der Datenaustausch grundsätzlich interruptgesteuert durchgeführt.

Es kommen die folgenden Betriebsarten des PIO-Bausteins Q301 zur Anwendung:

Für die Ausgabe:	Betriebsart Byte-Ausgabe und Betriebsart Bit-Ein/Ausgabe
Für die Eingabe:	Betriebsart Byte-Eingabe und Betriebsart Bit-Ein/Ausgabe

##### 3.2.

#### Funktion

Die ADA besteht aus folgenden Funktionsgruppen:

- Programmierbarer Parallel-E/A-Baustein (PIO)
- Ruf-End-Steuerung
- Adressierungseinrichtung
- Pegelstufen (Leitungssender und Leitungsempfänger)
- Anschlußlogik für Daten-, Steuer- und Adressenleitungen vom Systembus an den Q301.
- Statusregister

### 3.2.1.

#### Programmierbare Parallel-E/A-Schnittstelle

Das Kernstück für den Datenaustausch zwischen der ADA und den peripheren Geräten bildet der PIO-Baustein Q301 zur parallelen Ein- bzw. Ausgabe. Bei seinen zwei unabhängigen 8-Bit-breiten bidirektionalen peripheren Interfacekanälen (A und B) werden die Betriebsarten wie folgt angewendet:

##### Ausgabeoperation:

- Betriebsart Bytes-Ausgabe (0) für den Datenaustausch der Datenleitungen über den Interfacekanal A (Port A).
- Betriebsart Bit-Ein/Ausgabe (3) für Kommando-Status und Prüfbitleitungen über den Interfacekanal B (Port B).
- /RUF-A und /END-A werden über die beiden Quittungssignale ARDY bzw. /ASTB ausgetauscht.

##### Eingabeoperation:

- Betriebsart Byte-Eingabe (1) für den Datenaustausch der Datenleitungen über den Interfacekanal A.
- Betriebsart Bit-Ein/Ausgabe (3) für Kommando-, Status-, Gesuch- und Prüfbitleitungen über den Interfacekanal B.
- /RUF-B und /END-B werden über die beiden Quittungssignale ARDY bzw. /ASTB ausgetauscht.

Jeder beiden Port kann durch Steuerworte von der ZRE aus programmiert werden. Für Ein- bzw. Ausgabekanäle ist die Signalbelegung des Port B folgende:

7	6	5	4	3	2	1	0
Ausgabe	Status			Prüfbit	Kommando		
-	A3	A2	A1	PAA	A3	A2	A1
Prüfbit	Status			Gesuch	Kommando		
PAE	E3	E2	E1	E	A3	A2	A1

### 3.2.2.

#### Ruf-End-Steuerung

Die Übertragungszyklen zwischen ADA und Peripheriegerät (RUF-END-Steuerung) werden über eine Zusatzlogik durch die Signale ARDY und /ASTB gebildet.

Die Statussignale werden in einem Schaltkreis gespeichert, der mit RUF gesteuert wird. Sie sind über Port B abfragbar.

#### Ausgabe:

Das vom PIO-Baustein Q301 aktivierte Signal ARDY gelangt über einen flankengesteuerten Speicherschaltkreis an eine Laufzeitkette. Liegt an der Laufzeitkette außerdem das nichtaktive Signal /END-A an, so wird 8 Systemtakte nach dem Auftreten von ARDY das Signal /RUF-A zum peripheren Gerät gesendet. Dabei ist garantiert, daß die Daten eingeschwungen sind und vom peripheren Gerät übernommen werden können. Aktiviert dieses dann das Signal /END-A, so wird der Eingang der Laufzeitkette gesperrt, der flankengesteuerte Speicherschaltkreis rückgesetzt und damit 8 Systemtakte danach /RUF-A inaktiv. (Dadurch ist garantiert, daß das Signal /RUF-A in einer Zeit  $> 3,3$   $\mu$ s aktiv ist). Während der Zeit /RUF-A = aktiv und /END-A = aktiv wird das Signal ASTB gebildet. In der Zeit /RUF-A = aktiv kann das Statusregister geladen werden. Wird aus irgend einem Grunde das Signal /END-A nicht aktiviert, so kann man programmtechnisch den flankengesteuerten Speicherschaltkreis über Einlesen des Status (Eingabebefehl Port B) rücksetzen. Damit wird das Signal /RUF-A inaktiv, und ein neuer Ausgabezyklus kann gestartet werden.

#### Eingabe:

Nach dem Ende einer Datenübertragung ADA-ZRE (beim Beginn eines Eingabeprogramms ist dieses 1. Übertragene Zeichen ungültig) wird das Signal ARDY automatisch vom PIO-Baustein aktiviert. Dieses Signal gelangt über einen flankengesteuerten Speicherschaltkreis an eine Laufzeitkette. Liegt an der Laufzeitkette

außer dem nichtaktiven Signal /END-E an, so wird 8 Systemtakte nach dem Auftreten von ARDY das Signal /RUF-E zum peripheren Gerät gesendet. Damit kann das periphere Gerät zur ADA senden und das Signal /END-E aktivieren. Durch dieses Signal wird der Eingang der Laufzeitkette gesperrt, der flankengesteuerte Speicherschaltkreis rückgesetzt und damit 8 Systemtakte danach /RUF-E inaktiv. (Dadurch ist garantiert, daß das Signal /RUF-E in einer Zeit  $> 3,3\mu\text{s}$  aktiv ist). In der Zeit /RUF-E = aktiv ist es möglich, das Statusregister zu lesen. Während der Zeit /RUF-E = aktiv und /END-E = aktiv wird das Signal /ASTB aktiv, und die Daten werden in das Eingaberegister des Interfacebausteins geladen.

Wird /ASTB inaktiv, so bildet der PIO-Baustein ein Interruptsignal und stellt das Signal ARDY auf inaktiv. Wird aus irgend einem Grunde das Signal /END-E nicht aktiviert, so kann man programmtechnisch den flankengesteuerten Speicherschaltkreis über Einlesen des Status (Eingabebefehl Port B) rücksetzen. Damit wird das Signal /RUF-E inaktiv, und ein neuer Eingabezcyklus kann gestartet werden.

Verbindet der Anwender der ADA K 6022 auf der Programmierenebene X9:1 mit X8:2, so gilt für die Programmierung der Eingabe der oben beschriebene Ablauf.

Wird X9:1 mit X8:1 verbunden, besteht vom Anwender die Möglichkeit, die folgende Zusatzfunktion der ADA K 6022 zu nutzen:

Im oben beschriebenen Ablauf wird durch ARDY direkt /RUF-E aktiviert. Die Zusatzfunktion besteht jetzt darin, daß das Signal /RUF-E erst dann aktiviert wird, wenn im Programm dem Eingabebefehl für die Daten ein Befehl "Ausgabe-Daten-Port A" folgt. Damit besteht die Möglichkeit, nach beliebigen Datenübertragungen das Signal /RUF-E nicht wieder aktiv werden zu lassen und das Eingabeprogramm für das periphere Gerät exakt beendet zu können.

### 3.2.3.

#### Adressierungseinrichtung

Der Adressenbereich der niederwertigen Adressen ABO ... AB7 wird zur Eingabe-Ausgabe-Adressierung und zur Steckeeinheitenauswahl benutzt.

Das Adressenbit ABO wählt den entsprechenden Interfacekanal (Port) des ausgewählten PIO-Bausteins aus.

(ABO = "Low"  $\hat{=}$  Interfacekanal A;  
ABO = "High"  $\hat{=}$  Interfacekanal B).

Das Adressenbit AB1 legt fest, ob das jeweilige auf den Datenleitungen liegende Wort ein Daten- oder ein Steuerwort ist.

(AB1 = "Low"  $\hat{=}$  Datenwort;  
AB1 = "High"  $\hat{=}$  Steuerwort)

Durch das Adressenbit AB2 erfolgt die Auswahl des jeweiligen zu benutzenden PIO-Bausteins

(AB2 = "Low"  $\hat{=}$  Baustein 1 (PIO1)  
AB2 = "High"  $\hat{=}$  Baustein 2 (PIO2))

Die Adressierung der Steckeeinheit erfolgt durch die Adressenbits AB3 ... AB7 mit Hilfe von Wickelverbindungen auf den Programmiererebenen X6 und X7.

#### 3.2.3.1.

#### Die Zuordnung der Adressenbits bei der Adressierung der PIO auf der ADA K 6022

Für die Adressierung auf der ADA - K 6022 stehen die Adressbits ABO - AB7 zur Verfügung.

1. Tetrade				2. Tetrade		
AB7	AB6	AB5	AB3	AB2	AB1	AB0

frei wählbare Bits zur  
Steckeeinheitenadressierung

Bits für die baustein-  
spezifische Adressierung

- AB7 - AB3 sind beliebig variiierbar und in Verbindung mit den Adreßbits AB2 - ABO als 2 Tetraden bei der Programmierung zu berücksichtigen.

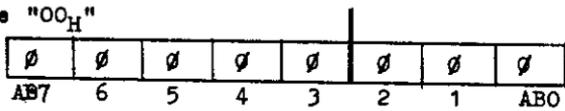
Adressierbereich ABO - AB7:

AB7	AB6	AB5	AB4	AB3	AB2	PIO- Bau- stein	AB1	D/S	AB0	Kanal im PIO
Frei wählbarer Bereich					∅	1	∅	D	∅	A
zur Steckeinheiten- adressierung					1	2	1	S	1	B

Zur Bildung der Steckeinheitenadressen sind Programmiererebenen X6 und X7 auf der K 6022 miteinander zu verbinden.

Adressierbeispiele:

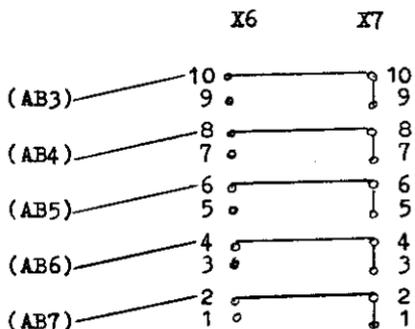
1. Adresse "00<sub>H</sub>"



Inhalt der Adresse "00<sub>H</sub>":

- . Port A im PIO
  - . Datenwort
  - . PIO-Baustein 1
  - . alle Bits für die Steckeinheiten-  
adressierung haben Nullpotential
- } Bedeutung siehe  
Tabelle  
Adressierbereich

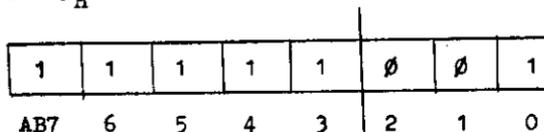
Für die Steckeinheitenadresse sind auf dem Programmierfeld X6/X7 folgende Verbindungen zu realisieren:



Haben die Bits AB7 - AB3 Nullpotential, sind die geradzahligen Pins von X6 mit den zugeordneten Plus von X7 zu verbinden. (Siehe Beispiel)

Wenn die Bits AB7 - AB3 L-Potential haben, sind jeweils die ungeradzahligen Pins von X6 mit den zugeordneten Pins von X7 zu verbinden (gleiche Pinpaare von X6 sind gleichen Pinpaaren von X7 zugeordnet).

## 2. Adresse "F9<sub>H</sub>"



Inhalt der Adresse "F9<sub>H</sub>":

- . Port B im PIO                    Bedeutung siehe
- . Datenwort                        Tabelle
- . PIO-Baustein 1                  Adressierbereich
- . alle Bits für die Steckeinheiten-  
adresse haben L-Potential

Folgende Verbindungen sind auf dem Programmierfeld X6/X7 zu realisieren:

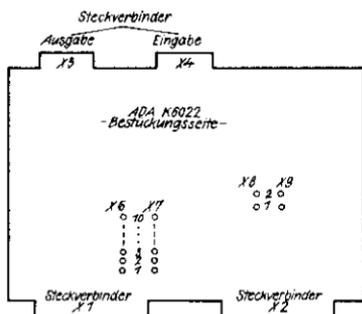
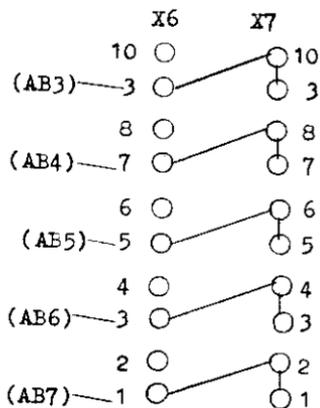


Abb. XI/1 Programmierfelder der Steckeinheit

### 3.2.3.2.

#### Zuordnung der PIO-Bausteine zu den Steckverbindern der ADA K 6022

Steckverbinder X3	PIO-Baustein 1; Ausgabe-Kanal
Steckverbinder X4	PIO-Baustein 2; Eingabe-Kanal

### 3.2.4.

#### Pegelstufen (Leitungssender und Leitungsempfänger am peripheren Interface )

Peripherieseitig wird der KME3-Pegel (D21) verlangt. Der Interfacebaustein besitzt jedoch TTL-kompatible MOS-Ein- und Ausgänge, wodurch für die Anpassung an die peripheren SIF robotron 1000-Geräte und zur Übertragung auf längeren Leitungen gesonderte Sender- und Empfängerbaustufen eingesetzt werden.

Die Sonderausgänge werden durch NAND mit höherer Spannungsfestigkeit und offenen Kollektoren realisiert. Als Leitungsempfänger werden universelle Empfängerschaltkreise mit relativ großem Eingangswiderstand und Triggercharakteristik eingesetzt.

### 3.2.5.

#### Anschlußlogik zwischen Systembus und PIO-Baustein

Alle Adreß- und Datenleitungen sowie ein Teil der Steuerleitungen des Systembusses sind durch spezielle Anpassungsbausteine in Schottky-TTL-Technologie von den Interfaceschaltkreisen entkoppelt.

Die Datenleitungen, die auf einen bidirektionalen Bustreiber geführt werden, sind richtungsgesteuert.

### 3.3.

#### Programmierung

Die beiden unabhängigen Interfacekanäle eines PIO-Bausteins werden durch zwei bis fünf Steuerworte von der ZRE programmiert. (Je nach gewünschter Betriebsart).

#### Laden des Interruptvektors

Der Interruptvektor des betreffenden Port des PIO-Bausteins wird durch ein Programm in den PIO-Baustein geladen. Dieser 8-Bit-Vektor wird während des Interruptbestätigungszyklusses von dem PIO-Baustein, der momentan die höchste Priorität besitzt, auf den Datenbus gelegt und damit der ZRE mitgeteilt. In der ZRE dient der Vektor zur Adressierung des zum entsprechenden Interfacekanals gehörenden Interruptbehandlungsprogramms.

D7	D6	D5	D4	D3	D2	D1	D0
V <sub>7</sub>	V <sub>6</sub>	V <sub>5</sub>	V <sub>4</sub>	V <sub>3</sub>	V <sub>2</sub>	V <sub>1</sub>	0

- D0 wird als Markierungsbit benutzt. Dieses Bit kennzeichnet das Steuerwort als Interruptvektor.
- V - niederwertiger Teil einer Adresse für Interruptbehandlung.

#### Auswahl der gewünschten Betriebsarten

Die PIO-Bausteine der ADA arbeiten in den Betriebsarten 0, 1 und 3 (s. Pkt. 3.2.1.). Die Betriebsart wird durch das Einschreiben eines Steuerwortes in den speziellen Interfacekanal des PIO-Bausteins definiert.

D7	D6	D5	D4	D3	D2	D1	D0
M1	M0	X	X	1	1	1	1

Be-  
triebs-  
art

nicht  
benötigt

Markierungsbits kennzeichnen das  
Steuerwort als Betriebsartenaus-  
wahlwort.

Betriebsart		M1	MØ	
Byte-Ausgabe	(Ø)	Ø	Ø	
Byte-Eingabe	(1)	Ø	1	
Byte-Ein/Ausgabe (bidirektional)	(2)	1	Ø	in ADA nicht verwendet
Bit-Ein/Ausgabe	(3)	1	1	nur Port B

Die Markierungsbits D3-D0 müssen auf "1" gesetzt sein.  
Bei der Betriebsart 3 (Bit-Ein/Ausgabe) muß nach dem Festlegen der Betriebsart definiert werden, welche Leitung des betreffenden Port als Eingang oder als Ausgang betrieben wird. Das wird mit dem folgenden Steuerwort festgelegt:

D7	D6	D5	D4	D3	D2	D1	DØ
I/O <sub>7</sub>	I/O <sub>6</sub>	I/O <sub>5</sub>	I/O <sub>4</sub>	I/O <sub>3</sub>	I/O <sub>2</sub>	I/O <sub>1</sub>	I/O <sub>Ø</sub>

1  $\hat{=}$  Eingang = 1

0  $\hat{=}$  Ausgang = Ø

### Interruptsteuerung

Das Interrupt-Steuerwort hat für jedes Port das folgende Format:

D7	D6	D5	D4	D3	D2	D1	DØ
UB mögl.	UND ODER	High/ Low	Maske folgt	Ø	1	1	1

- D3 ... DØ: Die Bits definieren das Steuerwort als Interruptsteuerwort.
- D6 ... D4: Die Bits werden nur in der Betriebsart 3 benutzt. In den übrigen Betriebsarten werden sie ignoriert.
- D6 - Definiert, ob in der logischen Funktion UND bzw. ODER ein Interrupt ausgelöst werden soll
  - Ø = ODER-Funktion
  - 1 = UND-Funktion

D5 - Die Kanaldatenleitung wird überwacht bei  
 $\emptyset$  auf den "low"-Zustand  
 1 auf den "high"-Zustand

D4 - 1 bedeutet, daß ein Steuerwort folgen muß, welches vom Port als Maske interpretiert wird.

- D7:  $\emptyset \hat{=}$  Interrupt-Flip-Flops rückgesetzt.  
 Interruptanforderungen werden nicht angenommen.  
 1  $\hat{=}$  Interrupt-Flip-Flops gesetzt.  
 Interruptanforderungen werden angenommen.

Maskierungssteuerwort:

D7	D6	D5	D4	D3	D2	D1	D $\emptyset$
MB <sub>7</sub>	MB <sub>6</sub>	MB <sub>5</sub>	MB <sub>4</sub>	MB <sub>3</sub>	MB <sub>2</sub>	MB <sub>1</sub>	MB $\emptyset$

- MB<sub>n</sub> =  $\emptyset \hat{=}$  Bit der entsprechenden Portleitung wird zur Erzeugung eines Interrupt überwacht.

Es ist möglich, das Interrupt-Freigabe-Flip-Flop durch das folgende Steuerwort zu beeinflussen.

D7	D6	D5	D4	D3	D2	D1	D $\emptyset$
UB mögl.	X	X	X	$\emptyset$	$\emptyset$	1	1

- Initialisierung - Setzen Interruptvektor (untere 8 Bits der Vektoradresse) für Port A
- Setzen Betriebsart  $\emptyset$  für Port A
  - Setzen Interruptsteuerwort für Port A
  - Setzen Interruptvektor (untere 8 Bits der Vektoradresse) für Port B  
 nur bei Arbeit mit Interrupt im Port B
  - Setzen Betriebsart 3 für Port B
  - Setzen I/O-Register

7	6	5	4	3	2	1	$\emptyset$	Bit
	1	1	1	$\emptyset$	$\emptyset$	$\emptyset$	$\emptyset$	

- Setzen Interruptsteuerwort für Port B  
(nur bei Arbeit mit Interrupt im Port B)
- Setzen Maskierungssteuerwort für Port B  
(nur bei Arbeit mit Interrupt im Port B)

Start Datenausgabe (Ausgabebefehl-Daten-Port A)

Abfrage Statusregister (Eingabebefehl-Daten-Port B)

### Eingabe

- Initialisierung
- Setzen Interruptvektor (untere 8 Bits der Vektorendresse) für Port A
  - Setzen Betriebsart 1 für Port A
  - Setzen Interruptsteuerwort für Port A
  - Setzen Interruptvektor (untere 8 Bits der Vektorendresse ) für Port B  
nur bei Arbeit mit Interrupt im Port B
  - Setzen Betriebsart 3 für Port B
  - Setzen I/O-Register

7	6	5	4	3	2	1	0	Bit
1	1	1	1	1	Ø	Ø	Ø	

- Setzen Interruptsteuerwort für Port B  
(nur bei Arbeit mit Interrupt im Port B)
- Setzen Maskierungssteuerwort für Port B  
(nur bei Arbeit mit Interrupt im Port B)

Start Dateneingabe (Eingabebefehl-Daten-Port A)

Start Datenausgabe (Ausgabebefehl-Daten-Port A)

nur bei RUF-Abschaltung, s. Pkt. 3.2.2.-Eingabe

Abfrage Statusregister (Eingabebefehl-Daten-Port B)

### 3.4.

#### Anschlußverzeichnis

Der Anschluß von SIF robotron 1000-Geräten erfolgt über 39polige Steckverbinder. (Buchsenleiste befindet sich auf der Griffseite)

der Steckeinheit). Die Belegung des indirekten Steckverbinders ist aus der folgenden Aufstellung zu entnehmen:

Ausgabekanal: (Die Verteilung der Steckverbinder ist Pkt. 3.2.3.2. zu entnehmen).

Kon-takt	Signal-name	Kon-takt	Signal-name	Kon-takt	Signal-name
A01	/STA-A1	B01	+ 12 V	C01	/DAT-A4
A02	/STA-A3	B02	/RUF-A	C02	/DAT-A3
A03	/STA-A2	B03	-	C03	/DAT-A2
A04	-	B04	Masse	C04	/DAT-A1
A05	-	B05	Masse	C05	/DAT-A8
A06	-	B06	Masse	C06	/DAT-A7
A07	Masse	B07	Masse	C07	Masse
A08	-	B08	Masse	C08	/DAT-A6
A09	-	B09	Masse	C09	/DAT-A5
A10	-	B10	Masse	C10	/PA-A
A11	-	B11	-	C11	/KOM-A3
A12	-	B12	/END-A	C12	/KOM-A2
A13	-	B13	+ 5 V	C13	/KOM-A1

Eingabekanal: (Steckverbinderverteilung entsprechend Pkt. 3.2.3.2.)

Kon-takt	Signal-name	Kon-takt	Signal-name	Kon-takt	Signal-name
A01	/DAT-E8	B08	+ 5 V	C01	/KOM-E3
A02	/DAT-E7	B02	/RUF-E	C02	/KOM-E2
A03	/STA-E1	B03	-	C03	/KOM-E1
A04	/DAT-E6	B04	Masse	C04	-
A05	/DAT-E5	B05	Masse	C05	-
A06	/STA-E3	B06	Masse	C06	-
A07	Masse	B07	Masse	C07	Masse
A08	/DAT-E3	B08	-	C08	-
A09	/STA-E2	B09	-	C09	-
A10	/DAT-E2	B10	-	C10	--

Kon- takt	Signal- name	Kon- takt	Signal- name	Kon- takt	Signal- name
A11	/DAT-E1	B11	/GES-E	C11	-
A12	/DAT-E4	B12	/END-E	C12	-
A13	/PA-E	B13	+ 12 V	C13	-

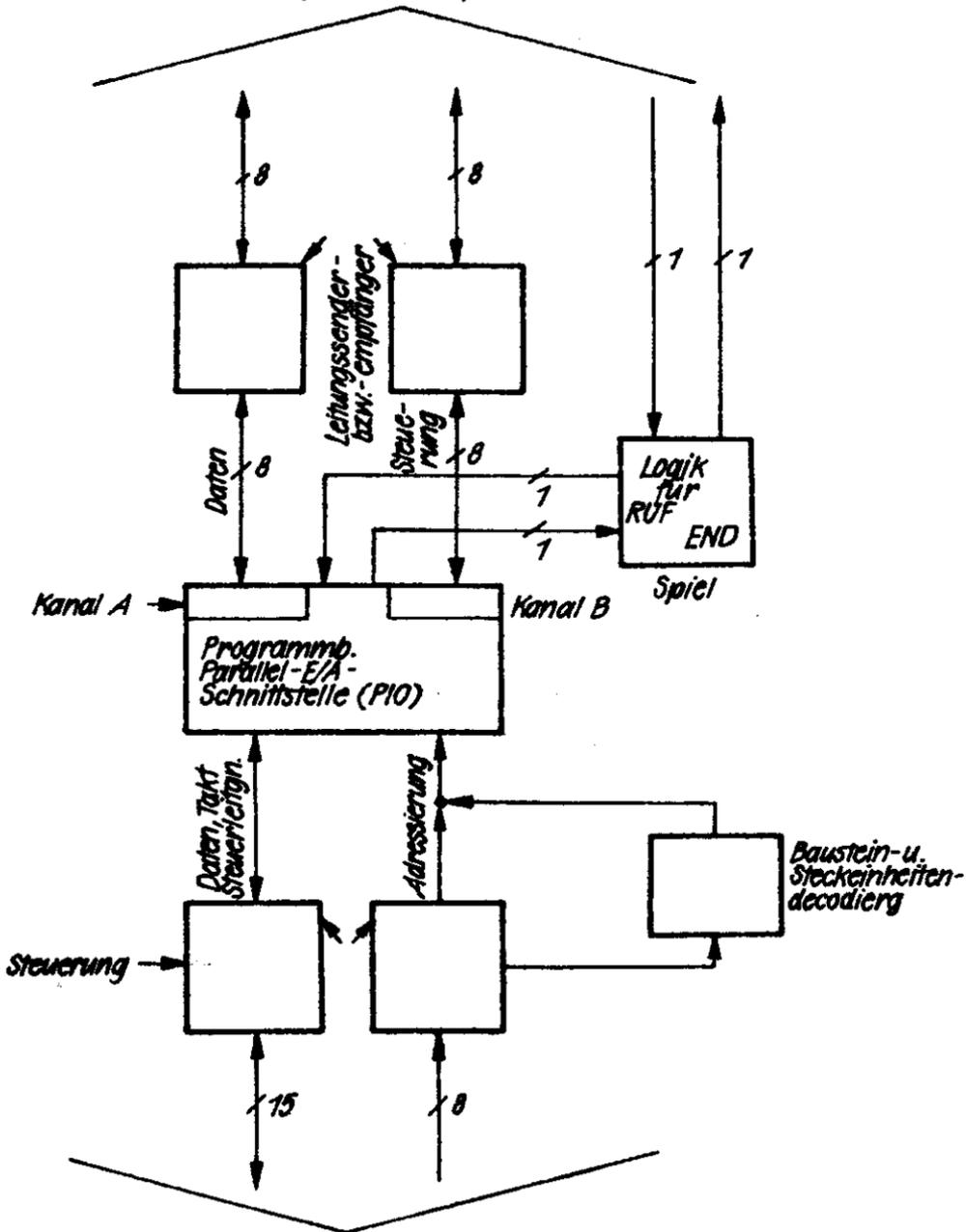
### 3.5.

#### Interfacekabel

Übersicht der Kabeltypen, die für den Anschluß der Anschluß-  
steuereinheit ADA-K 6022 mit den peripheren Geräten zur  
Verfügung stehen.

Kabeltyp-Nr.	Kabellänge	Anschließbare Geräte
K 0514.01	5 m	LBL robotron 1210
.02	10 m	
.03	15 m	
.04	20 m	
K 0515.01	5 m	LBS robotron 1215 und SD 1156
.02	10 m	
.03	15 m	
.04	20 m	
K 0515.05		Adapterkabel für SD 1156
K 0516.01	5 m	KMBG robotron 1250
.02	10 m	
.03	15 m	
.04	20 m	

Peripheres Interface



Systembus

Abb. XI/2 Blockschaubild der Anschlusssteuereinheit  
ADA K 6022

III.

Technische Beschreibung

Anschlußsteuereinheit V.24 ASV - K 8021

## Inhaltsverzeichnis

	Seite
<u>1. Kurzcharakteristik</u>	XII-4
<u>2. Technische Daten</u>	XII-4
<u>3. Funktionsbeschreibung</u>	XII-6
3.1. Verwendungszweck	XII-6
3.2. Funktionskomplexe	XII-6
3.2.1. BUS-Anpassung	XII-7
3.2.2. Takterzeugung mittels CTC	XII-8
3.2.3. Taktauswahlschaltung	XII-9
3.2.4. Steuerung der Datenübertragung mittels SIO	XII-9
3.2.5. Steuerung der Wartungsschleife für die seriellen Daten	XII-10
3.2.6. Pegelanpassung TTL/V.24	XII-11
3.2.7. Stromversorgung 12N	XII-11
3.3. Einstellmöglichkeiten auf der ASV	XII-11
3.3.1. Adressierung des SIO/CTC-Komplexes	XII-11
3.3.2. Auswahl der Prioritätskette	XII-13
3.3.3. Einstellung der Übertragungsgeschwindigkeit je Kanal	XII-14
3.3.4. Steuerung der Taktbereitstellung	XII-14
3.3.5. Auswahl der möglichen Bondvarianten des SIO	XII-14
3.4. Anschlußbedingungen	XII-15
3.4.1. Systembus- und Koppelbusanschlüsse der ASV	XII-15
3.4.2. Anschluß zur seriellen Schnittstelle	XII-15
<u>4. Programmierung</u>	XII-16
4.1. Grundprinzip der ASV	XII-16
4.2. Betriebsweisen der ASV	XII-17
4.2.1. Betriebsweisen der seriellen Schnittstelle	XII-17
4.2.2. Betriebsweisen der Systembus-Schnittstelle	XII-17
4.3. Adressenverschlüsselung für die ASV	XII-18
4.3.1. Adressenaufbau	XII-18
4.3.2. Adressenkombinationen der Ein- bzw. Ausgabebefehle	XII-19

	Seite
4.4. Einsatz des CTC für SIO-Steuerung	XII-20
4.4.1. Zuordnung der CTC-Kanäle zu den Takteingängen des SIO	XII-20
4.4.2. Bereitstellung der erforderlichen Übertragungsfrequenzen für den SIO	XII-20
4.5. Programmierung des SIO	XII-22
4.5.1. Grundsätzliches	XII-22
4.5.2. Programmiertabelle des SIO	XII-23
4.5.3. Ablauf der Programmierung des SIO	XII-29

## 1.

### Kurzcharakteristik

Die Anschlußsteuereinheit ASV K 8021 übernimmt im MR K 1520 die Anpassung des parallel arbeitenden K 1520-Bus an die serielle Schnittstelle entsprechend ESER-Standard für S2 bzw. TGL 29077/01 (CCITT - V.24). Durch Verwendung der Bausteine Q304 (serieller E/A-Baustein) und Q302 (Zähler/Zeitgeber) sind die Betriebsarten programmierbar.

Die Anschlußsteuereinheit stellt, von der Schnittstelle aus betrachtet, eine Datenendstelle (DES) dar, die über Datenübertragungseinrichtungen (DUE) mit fernaufgestellten DES oder mit nahaufgestellten DES direkt verbunden werden kann.

## 2.

### Technische Daten

Steckeinheitenabmessungen: 215 mm x 170 mm  
Steckraster: 20 mm  
Steckverbinder: 2 x 58polig, indirekt  
Bauform TGL 29331/03 bzw.  
2 x 58polig, direkt  
TGL 29331/01  
2 x 15polig, indirekt,  
TGL 29331/04 (V.24-Anschluß)  
Einsatzklasse: 5/60/30/95/10-1<sub>E</sub>  
Stromversorgung: 5P = + 5 V  $\pm$  5 %, typ. 0,80 A  
12P = + 12 V  $\pm$  5 %, typ. 0,06 A  
12NR = 26 V + 12 %  
- 20 % Wechselspannung  
zur Erzeugung der - 12 V auf der  
Steckeinheit, typ. 0,140 A  
Kanäle pro Steckeinheit: 2 unabhängig voneinander arbeitende  
Ein/Ausgabe-Kanäle nach CCITT-  
V.24  
Betriebsweisen: duplex, halbduplex  
Gleichlaufverfahren: synchron, asynchron

Übertragungsgeschwindigkeit: 200, 300, 600, 1200, 2400,  
4800, 9600 Bd

Zeichenformat: 5 ... 8 Bit/Zeichen

Stopbitlänge: 1, 1/2, 2 Bit

Paritätsprüfung: möglich; gerade oder ungerade

Übertragungswege:

- Öffentliches Fernsprechnetz
- Überlassene Fernsprechleitungen
- Öffentliche Datennetze
- systemeigene Leitungen (innerhalb des Nutzerterritoriums)

Anschlußgeräte :

- MODEM
- GEM
- Terminals mit Schnittstellen nach V.24

Schnittstellenleitungen: nach V.24

Elektrische Bedingungen der Schnittstellen: nach V.28 bzw. TGL 29077/02

Länge der Anschlußkabel: max. 15 m

Anschluß zum Systembus:

- 8 Adressenleitungen (AB0 ... AB7)
- 8 Datenleitungen (DB0 ... DB7)
- 11 Steuerleitungen (M1, /IODI, /RESET, TAKT, /IORQ, /RD, /INT, /WAIT, /IBI, /IEO, /RDY)

Adressierung der Steckeinheit:

Durch interne Wickelverbindungen auf dem Programmierfeld X6 können 16 STE-Adressen ausgewählt werden

### 3.

#### Funktionsbeschreibung

##### 3.1.

#### Verwendungszweck

Die Anschlußsteuereinheit ASV K 8021 ist ein teilweise programmierbarer Datenübertragungsadapter zur Anpassung der seriellen Schnittstelle CCITT-V.24 bzw. TGL 29077/01 an den K 1520-BUS zur seriellen Datenübertragung mit langsamen und mittleren Datenübertragungsraten. Die Steckeinheit wird unter Beachtung der Prioritäten steckplatzunabhängig an den Systembus angeschlossen.

Die Anschlußsteuereinheit kann sowohl im Interrupt- als auch im Polling-Betrieb eingesetzt werden.

Wesentlicher Kern der ASV ist der Baustein für serielle Ein/Ausgabe Q304, der in Verbindung mit dem Zähler/Zeitgeber-Baustein Q302 den gesamten Datenaustausch zwischen der seriellen Schnittstelle und dem Systembus steuert. Bis auf die Einstellung des Übertragungsverfahrens (synchron, asynchron), der Schnittstellenleitung 111 je Kanal und der Adresse für die Steckeinheit müssen alle Steuerinformationen vom Programm bereitgestellt werden.

Durch Verändern spezieller Wickelverbindungen lassen sich die Bondvarianten 0 oder 1 des seriellen Ein/Ausgabe-Bausteins einsetzen.

##### 3.2.

#### Funktionskomplexe

Die ASV besteht aus folgenden wesentlichen Funktionskomplexen:

- BUS-Anpassung
- Takterzeugung durch CTC
- Taktauswahlschaltung
- Steuerung der Datenübertragung durch SIO

- Steuerung der Wartungsschleife für die seriellen Daten
- Pegelanpassung TTL/V.24
- Stromversorgung 12N

### 3.2.1.

#### BUS-Anpassung

Die Adreß-, Daten- und Steuersignale werden durch spezielle Anpassungsbausteine (SE12, SE16) vom Interfacebaustein und vom Zähler/Zeitgeber-Baustein entkoppelt.

Die bidirektional arbeitenden Verstärkerschaltkreise SE16 werden in Richtung Systembus gesteuert, falls die Bedingungen

$$\begin{aligned} & \text{IORQ} \cdot \text{RD} \cdot \text{/IODI} \cdot \text{gültige Adresse} \\ \vee & \text{IORQ} \cdot \text{M1} \cdot \text{IEI} \cdot \text{/IEO} \end{aligned}$$

erfüllt sind.

Über den als Verstärker arbeitenden SE12 werden die Adressenbits zur Unterscheidung für Daten/Steuerinformationen für Kanal A/Kanal B und für die Adreßdekodierschaltung zur Bildung der Chipauswahlsignale bereitgestellt.

Das Kennungssignal RDY wird aus den Bedingungen

$$\begin{aligned} & \text{CE} \cdot \text{/IODI} \cdot \text{IORQ} \cdot \text{/M1} \\ \vee & \text{IORQ} \cdot \text{M1} \cdot \text{IEI} \cdot \text{/IEO} \end{aligned}$$

gebildet.

Die Signale /RDY, /INT und /WAIT werden zur Verstärkung über Open-Kollektorstufen geführt.

Entsprechend den in der TGL 37271 (Linieninterface BUS K 1520) angegebenen Prinzipien erfolgt die Steuerung der Interruptkette.

### 3.2.2.

#### Takterzeugung durch CTC

Der CTC-Baustein wird als programmierbarer Frequenzteiler zur Bereitstellung der vom SIO benötigten Sende- und Empfangstakte benutzt.

Die Programmierung ist abhängig von der gewählten Betriebsart (synchron/asynchron) und der zu realisierenden Übertragungsgeschwindigkeit der seriellen Daten (Baudrate).

Die Zuordnung der Sende- und Empfangstakte ist in der folgenden Tabelle aufgeführt:

	Betriebsarten			
	asynchron	synchron		Wartung
		Senden	Empfangen	
Sendetakt Kanal A	CTC- Kanal 0	Ltg. 114 Kanal A	Ltg. 114 Kanal A	CTC-Kanal 0
Empfangstakt Kanal A	CTC Kanal 1	Ltg. 115 Kanal A	Ltg. 115 Kanal A	CTC-Kanal 1
Synchron- Sendetakt Kanal A Ltg. 113	-	CTC Kanal 0	-	-
Sende/ Empfangs- takt Kanal B	CTC- Kanal 2	Ltg. 114 Kanal B	Ltg. 115 Kanal B	CTC- Kanal 2
Synchron- sendetakt Kanal B Ltg. 113	-	CTC Kanal 2	-	-

Am Ausgang der Leitung 113 ist auch für die übrigen Betriebsarten der entsprechende Kanalausgang des CTC verfügbar. Dabei ist zu beachten, daß die Ltg. 113 über ein Flip-Flop geführt wird (halbe Frequenz des Systemtaktes!).

Auf der STE K 8021 erfolgt die Umschaltung zwischen den Betriebsarten "Synchron" und "Asynchron" durch die folgenden Wickelverbindungen:

	Kanal A	Kanal B
asynchron	X11:5 — X11:4	X10:6 — X10:4
synchron	X11:6 — X11:4	X10:5 — X10:4

Beim Synchronbetrieb über Kanal B erfolgt die Umschaltung zwischen Leitung 114 und Leitung 115 durch Auswertung der Leitung 105 des Kanals B. Dabei bedeutet:

- Leitung 105 "Ein" → Senden
- Leitung 105 "Aus" → Empfangen.

### 3.2.3.

#### Taktauswahlschaltung

Die Taktauswahlschaltungen wählen abhängig von den möglichen Betriebsarten (asynchron, asynchron-Wartung; synchron, synchron-Wartung) zwischen den durch den CTC und den durch den Modem bereitgestellten Takten diejenigen aus, die dann den entsprechenden Takteingängen des SIO zugeführt werden (s. auch Pkt. 3.2.2.).

### 3.2.4.

#### Steuerung der Datenübertragung durch SIO

Für die Steuerung der Datenübertragung werden alle notwendigen Informationen über Ausgabebefehle in den Baustein eingespeichert. Eine Ausnahme bildet hier nur die durch zugeführte Takte vorbestimmte Datenübertragungsrate.

Die Bereit- und Statusinformationen werden über Eingabebefehle gelesen.

Bereit- und Statusbedingungen können der ZVE durch Interrupts gemeldet werden.

Durch den Wechsel von - Einschreiben der Steuerinformation - Auslesen der Statusinformation - Datenübertragung (Ein- bzw. Ausgabe) wird die Bedienung der Anschlußsteuereinheit im wesentlichen vollzogen.

Auf Grund der umfangreichen Dokumentation für den SIO-Baustein kann hier nur auf die Kanalelektronik eingegangen werden.

### 3.2.5.

#### Steuerung der Wartungsschleife für die seriellen Daten

Der Wartungsmodus ermöglicht auch unter "on-line"-Bedingungen eine prinzipielle Prüfung der Anschlußsteuereinheit. Dazu werden über eine Wartungsschleife die seriellen Sendedaten eines Kanals als serielle Empfangsdaten dem gleichen Kanal angeboten. Die entsprechenden Datenleitungen mit V.24-Pegel werden dabei gesperrt bzw. nicht ausgewertet.

Ohne daß die Steuerung zum Modem geändert wird, können die seriellen Datenwege der ASV geprüft werden.

Es muß dabei beachtet werden, daß der mit Wartungsmodus zu testende Kanal duplexfähig ist bzw. vor der Datenübertragung so gesteuert werden muß. Sender und Empfänger müssen gleich eingestellt sein.

Durch die mögliche Überprüfung der Funktionsfähigkeit der ASV im Wartungsmodus kann bei einer Störung der gesamten Übertragungstrecke die Anschlußsteuerung von der übrigen Übertragungseinrichtung getrennt werden. Somit ist die Fehlerortung getrennt auf der ASV und den anderen Teilen der Übertragungseinrichtung möglich.

### 3.2.6.

#### Pegelanpassung TTL/V.24

Die Umsetzung auf die erforderlichen V.24-Schnittstellenpegel erfolgt durch entsprechende V.24 typische Pegelanpaßstufen. Leitungsempfänger wandeln ankommende Signale in die vom SIO auswertbaren TTL-Signale um. Durch Leitungstreiber werden die vom SIO zur Modemsteuerung benutzten TTL-Signale in Signale mit V.24-Pegel umgewandelt.

### 3.2.7.

#### Stromversorgung 12N

Über eine spezielle Schaltung wird aus einer Rohwechselfspannung (26 V ~) die Sonderspannung 12N (- 12 V) auf der Steck-einheit erzeugt.

### 3.3.

#### Einstellmöglichkeiten auf der ASV

#### 3.3.1.

##### Adressierung des SIO/CTC-Komplexes

Als Adresse für die ASV K 8021 werden die niederen 8 Bit der 16 Bit breiten Adresse des K 1520-Bus gewertet.

Aus der gültigen Adresse werden durch einstellbare Adreßdeko-dierung folgende Signale ermittelt:

Aus Adreßbit AB $\emptyset$ :

- Umschaltsignal für Steuerinformation/Daten für den SIO,  
sowie als Bit  $\emptyset$  der Kanalnummer für den CTC.

AB0 = "low" $\hat{=}$ Datenwort	} beim SIO
AB0 = "High" $\hat{=}$ Steuerwort	
AB0 = Signal CS $\emptyset$	beim CTC

Aus Adreßbit AB1:

- Umscheltsignale Kanal A/Kanal B für den SIO, sowie Bit 1 der Kanalnummer für den CTC.

AB1 = "Low" $\hat{=}$ Kanal A	}	beim SIO
AB1 = "High" $\hat{=}$ Kanal B		
AB1 = Signal CS1		beim CTC

Aus Adreßbit AB2:

Mit dem Adressenbit AB2 wird der Wartungsmodus eingeschaltet und eingespeichert.

AB2 = "Low" $\hat{=}$ Normalmodus
AB2 = "High" $\hat{=}$ Wartungsmodus

In Abhängigkeit von AB1 schaltet AB2 den Kanal A oder B auf Wartungsbetrieb um. Der Wartungsmodus wird bei allen IN/OUT-Befehlen mit dem gesetzten Adreßbit AB2 eingeschaltet.

Aus Adreßbit AB3:

Mit dem Adressenbit AB3 wird zwischen den Bausteinen SIO und CTC unterschieden.

AB3 = "Low" $\hat{=}$ SIO
AB3 = "High" $\hat{=}$ CTC

Die Adressenbits AB4 ... AB7 werden zur Adressierung der Steckereinheit genutzt. Das Festlegen der Adressen geschieht mit Hilfe von Wickelverbindungen auf der Programmierenebene X6.

Das Programmierfeld X6 ist zur Bildung der Steckeinheiten-  
adresse wie folgt zu kontaktieren:

STB- Adr. (Hex)	Von X6:1/2 nach	Von X6:3/4 nach	Von X6:5/6 nach	Von X6:7/8 nach
0	X6:15	X6:13	X6:11	X6:9
1	X6:16	X6:13	X6:11	X6:9
2	X6:15	X6:14	X6:11	X6:9
3	X6:16	X6:14	X6:11	X6:9
4	X6:15	X6:13	X6:12	X6:9
5	X6:16	X6:13	X6:12	X6:9
6	X6:15	X6:14	X6:12	X6:9
7	X6:16	X6:14	X6:12	X6:9
8	X6:15	X6:13	X6:11	X6:10
9	X6:16	X6:13	X6:11	X6:10
A	X6:15	X6:14	X6:11	X6:10
B	X6:16	X6:14	X6:11	X6:10
C	X6:15	X6:13	X6:12	X6:10
D	X6:16	X6:13	X6:12	X6:10
E	X6:15	X6:14	X6:12	X6:10
F	X6:16	X6:14	X6:12	X6:10

### 3.3.2.

#### Auswahl der Prioritätskette

An die ASV ist jeweils eine der beiden möglichen E/A-Prioritätsketten anschließbar.

Prioritätskette	Signalname	Verbindung
Systembus	/IEI	X7:4 X7:2
Systembus	/IEO	X8:4 X8:2
Koppelbus	/IEI1	X7:3 X7:2
Koppelbus	/IEO1	X8:3 X8:2

### 3.3.3.

#### Einstellung der Übertragungsgeschwindigkeit je Kanal

Es kann hier zwischen zwei Übertragungsgeschwindigkeiten bzw. Übertragungsbereichen durch die Realisierung der folgenden Verbindungen unterschieden werden.

Steuerzustand der Ltg. 111	Potential	Verbindung
hohe Geschwindigkeit (1200 Bd)	$> + 3 V$	Kanal A: X11:3 — X11:7 Kanal B: X10:3 — X10:7
niedrige Geschwindigkeit (600 Bd)	$< - 3 V$	Kanal A: X11:3 — X11:8 Kanal B: X10:3 — X10:8

### 3.3.4.

#### Steuerung der Taktbereitstellung

Die Taktauswahl für die möglichen Betriebsarten ist unter Pkt. 3.2.2. schon erwähnt. Für die vorgesehene Betriebsart sind die entsprechenden Verbindungen auf den Programmebenen X10 bzw. X11 herzustellen.

### 3.3.5.

#### Auswahl der möglichen Bondvarianten des SIO

Auf der STE K 8021 ist die Möglichkeit vorhanden, SIO-Bausteine in den Bondvarianten SIO/0 oder SIO/1 einzusetzen. Dazu ist es erforderlich, die folgenden Verbindungen zu realisieren:

Bestückungsvariante	Verbindungen
Bondvariante 0 (SIO/0)	X9:1 — X9:6 X9:2 — X9:5
Bondvariante 1 (SIO/1)	X 9:1 — X9:5 X9:2 — X9:3 X9:4 — X9:6

### 3.4.

#### Anschlußbedingungen

##### 3.4.1.

#### Systembus- und Koppelbusenschlüsse der ASV

Die Anschlußbedingungen an den Systembus sind in der TGL 37271 - Linieninterfece BUS K 1520 - dargelegt.

Die auf der ASV verwendeten bzw. realisierten Signale sind unter Pkt. 2. aufgeführt.

Die Belegung des Koppelbus (X2) der ASV ist folgende:

Kontakt	Signalname
A22	CLK/TRG3
A26	/IE01
A27	12N
B26	/IE11
B27	12N

##### 3.4.2.

#### Anschluß zur seriellen Schnittstelle

Die Anschlüsse der seriellen Schnittstellen erfolgen an der ASV griffseitig durch 15polige indirekte Steckverbinder.

X3 = Kanal B der ASV

X4 = Kanal A der ASV

Die Schnittstellenleitungen sind folgenden Steckkontakten zugeordnet:

Kontakt	Schnittstellenleitung
A1	-
A2	102 Betriebserde
A3	103 Sendedaten
A4	104 Empfangsdaten
A5	105 Aufforderung zum Senden
B1	106 Bereit zum Senden
B2	-
B3	108/1 Datenendstelle mit Übertragungsweg verbinden
	108/2 Datenendstelle betriebsbereit
B4	109 Empfangssignalpegel
B5	-
C1	111 Wahl der Übertragungsgeschwindigkeit durch die DEE
C2	-
C3	113 Sendeschrittakt (Quelle: DEE)
C4	114 Sendeschrittakt (Quelle: DUE)
C5	115 Empfangsschrittakt (Quelle: DUE)

Wird ein Modem verwendet, das mit der Leitung 113 arbeitet, dann ist im Modemanschlußkabel die Leitung 113 mit der Leitung 114 zu brücken.

#### 4.

##### Programmierung

#### 4.1.

##### Grundprinzip der ASV

Die Anschlußsteuereinheit ASV K 8021 verwendet für den Datenaustausch den Baustein für serielle Ein/Ausgabe Q304 und den Zähler/Zeitgeber Baustein Q302. Die für die Arbeitsweisen benötigten Steuerinformationen werden vom Programm bereitge-

stellt. Davon ausgenommen sind lediglich die Einstellung des Übertragungsverfahrens (synchron/asynchron), der Schnittstellenleitung 111 je Kanal sowie die Steckeinheitenadressierung (s. Pkt. 3.3.).

#### 4.2.

##### Betriebsweisen der ASV

#### 4.2.1.

##### Betriebsweisen der seriellen Schnittstelle

Der serielle Ein/Ausgabe-Baustein Q304 bestimmt durch seine Fähigkeiten die mit der ASV möglichen Betriebsweisen. Es kann zwischen folgenden Betriebsweisen gewählt werden:

- asynchron
- synchron
- bitorientiert synchron

Die Betriebsweisen werden durch Steuerinformationen über den Systembus eingestellt.

#### 4.2.2.

##### Betriebsweisen der Systembus-Schnittstelle

Die ASV kann im Interrupt- als auch im Polling-Betrieb betrieben werden.

##### - Interrupt-Betrieb:

Die ASV kann in interruptgesteuerte Systeme eingesetzt werden. Das wird durch die Zusammenschaltung des SIO- und des CTC-Bausteins zu einer Interruptkette möglich. Die Priorität der STE wird durch den Steckeinheitenplatz im System bestimmt.

Auf der Steckeinheit sind die Prioritäten wie folgt festgelegt:

SIO	Empfänger	Kanal A	
SIO	Sender	Kanal A	
SIO	Status	Kanal A	
SIO	Empfänger	Kanal B	fallende
SIO	Sender	Kanal B	Priorität
SIO	Status	Kanal B	
CTC	Kanal 0		
CTC	Kanal 1		
CTC	Kanal 2		
CTC	Kanal 3		



- Polling-Betrieb:

Durch ein Wechselspiel zwischen dem Laden der Schreibregister 0 ... 7, dem Schreiben und Lesen von Daten und dem Lesen bzw. Auswerten der Leseregister 0 ... 2 des SIO-Bausteins ist der Polling-Betrieb für die Steuerung der seriellen Datenübertragung möglich.

### 4.3.

#### Adressenverschlüsselung für die ASV

##### 4.3.1.

##### Adressenaufbau

Die Bedeutung der Adressenbits ist unter Pkt. 3.3.1. beschrieben. Zu beachten ist, daß die Adreßbits ABO und AB1 bei der Adressierung des CTC-Bausteins die duale Verschlüsselung der 4 Zähler darstellen.

## 4.3.2.

Adressenkombinationen der Ein- bzw. Ausgabebefehle

AB 7 6 5 4 3 2 1 0	Bemerkungen
x x x x 0 0 0 0	Datenschreib- bzw. -lesebefehl für SIO Kanal A bei Normalbetrieb
x x x x 0 0 0 1	Steuerinformationsschreib- bzw. -lesebefehl für SIO Kanal A bei Normalbetrieb
x x x x 0 0 1 0	Datenschreib- bzw. -lesebefehl für SIO Kanal B bei Normalbetrieb
x x x x 0 0 1 1	Steuerinformationsschreib- bzw. -lesebefehl für SIO Kanal B bei Normalbetrieb
x x x x 0 1 0 0	Datenschreib- bzw. -lesebefehl für SIO Kanal A bei Wartungsbetrieb
x x x x 0 1 0 1	Steuerinformationsschreib- bzw. -lesebefehl für SIO Kanal A bei Wartungsbetrieb
x x x x 0 1 1 0	Datenschreib- bzw. -lesebefehl für SIO Kanal B bei Wartungsbetrieb
x x x x 0 1 1 1	Steuerinformationsschreib- bzw. -lesebefehl für SIO Kanal B bei Wartungsbetrieb
x x x x 1 0 0 0	Steuerinformationsbefehl für CTC Zähler 0
x x x x 1 0 0 1	Steuerinformationsbefehl für CTC Zähler 1
x x x x 1 0 1 0	Steuerinformationsbefehl für CTC Zähler 2
x x x x 1 0 1 1	Steuerinformationsbefehl für CTC Zähler 3

#### 4.4.

#### Nutzung des CTC für SIO-Steuerung

##### 4.4.1.

#### Zuordnung der CTC-Kanäle zu den Takteingängen des SIO

Die Zählerausgänge des CTC werden beim asynchronen Betrieb als Takteingänge für den SIO benutzt. Wenn ein SIO-Kanal für asynchronen Betrieb programmiert wird, muß der entsprechende Zähler des CTC so mit programmiert werden, daß die gewünschte Übertragungsfrequenz erreicht wird.

Die Zuordnung der CTC-Kanäle zu den Takteingängen des SIO ist:

- CTC-Kanal 0 - legt Sendefrequenz für Kanal A (asynchron) fest (TxCA - SIO Eingang)
- CTC-Kanal 1 - legt Empfangsfrequenz für Kanal A (asynchron) fest (RaCA - SIO Eingang)
- CTC-Kanal 2 - legt Empfangs- und Sendefrequenz für Kanal B (asynchron) fest (RxTxCB - SIO Eingang)

Der CTC-Baustein wird durch Ledern des Betriebsartenvektors und der Zeitkonstante aktiviert.

##### 4.4.2.

#### Bereitstellung der erforderlichen Übertragungsfrequenzen für den SIO

- Bereitstellung bei asynchronen Betrieb

Zur Ermittlung der zu programmierenden Zeitkonstante (für die jeweilige Übertragungsgeschwindigkeit des SIO in Baud) gilt folgende Beziehung:

$$U_{SIO} = \frac{f_{TAKT}}{VT_{SIO} \cdot VT_{CTC} \cdot ZK_{CTC}}$$

$U_{SIO}$  = Übertragungsgeschwindigkeit des SIO in Baud

$VT_{SIO}$  = Vorteiler des SIO

$VT_{CTC}$  = Vorteiler des CTC

$ZK_{CTC}$  = Zeitkonstante des CTC

$f_{TAKT}$  = Frequenz des Systemtaktes (2457600 Hz)

Zu beachten ist dabei, den CTC als Zeitgeber zu betreiben.

$\dot{U}_{SIO}/Bd$	$ZK_{CTC}$ bei	
	$VT_{SIO}$	= 16
	$VT_{CTC}$	= 16
50	192	
100	96	
200	48	
300	32	
600	16	
1200	8	
2400	4	
4800	2	
9600	1	

- Bereitstellung bei synchronem Betrieb

Für den Synchronbetrieb ergibt sich mit der Bedingung

$VT_{SIO} = 1$  die folgende Beziehung:

$$\dot{U}_{SIO} = \frac{f_{TAKT}}{VT_{CTC} \cdot ZK_{CTC}}$$

(Notwendig für Taktbereitstellung auf Ltg. 113 und für den Wartungsbetrieb).

$U_{SIO}/Bd$	CTC als Taktgeber	
	$ZK_{CTC}$ bei $VT_{CTC} = 16$	bei $VT_{CTC} = 256$
100	-	96
200	-	48
300	-	32
600	256	16
1200	128	8
2400	64	4
4800	32	2
9600	16	1

#### 4.5.

#### Programmierung des SIO

##### 4.5.1.

##### Grundsätzliches

Der SIO-Baustein besitzt 2 Kanäle (A und B) und eine interne Interruptsteuerung. Es existiert für beide Kanäle nur ein Interruptvektorregister, das dem Kanal B fest zugeordnet ist. Beim Einlesen des Interruptvektors während eines Interrupt-erkennungszyklus wird dieser Vektor für den jeweiligen Kanal spezifiziert.

Bit 3 = 0 bedeutet Kanal B

Bit 3 = 1 bedeutet Kanal A

Vor jeglicher Arbeit mit dem SIO muß dieser durch die Übertragung entsprechender Steuerinformationen in die gewünschte Betriebsart gesetzt werden. Zu diesem Zweck besitzt jeder Kanal 7 Schreibregister 0, 1, 3 ... 7 und der Kanal B zusätzlich das Schreibregister 2 als Interruptvektorregister. Zum Schreiben des Interruptvektors muß stets der Kanal B adressiert werden. Des weiteren besitzt jeder Kanal zum Anzeigen der vorhandenen Bedingungen 2 Leseregister 0 und 1. Kanal B besitzt ein weiteres Leseregister (2), worin der aktuelle Interruptvektor zum Auslesen gespeichert ist.

Für gelesene Daten stehen je Kanal 3 Pufferspeicher und das Empfangsregister zur Verfügung. Es können demnach insgesamt 4 Datenbytes beim Empfang gespeichert werden. Für zu schreibende Daten steht ein Pufferregister und das Senderegister zur Verfügung, so daß beim Senden insgesamt 2 Register die Daten speichern. Der SIO übernimmt selbständig die CRC-Rechnung, Prüfbitbildung und -kontrolle sowie die Realisierung des Stopbits.

Nach jedem externen Rücksetzen des SIO muß der Interruptvektor neu eingeschrieben werden. Alle anderen Register können auch während des normalen Ablaufs mit der gewünschten Betriebsart programmiert werden.

Zu beachten ist, daß der Kanal B in der SIO-Bondvariante 0 nur einen gemeinsamen Takteingang für Senden und Empfangen besitzt. Daraus ergeben sich einige Einschränkungen für den Kanal B bei verschiedenen Arbeitsweisen. Der Kanal A besitzt hingegen zwei Takteingänge, getrennt für Senden und Empfangen. Kanal B kann demnach asynchron duplex nur mit gleicher Geschwindigkeit arbeiten bzw. bei synchroner Arbeitsweise nur halbduplex betrieben werden. Die Reihenfolge des Beschreibens der Register ist nicht vorgeschrieben.

#### 4.5.2.

##### Programmiertabelle des SIO

In der nachfolgenden Tabelle ist der wesentlichste Inhalt der einzelnen Schreib- bzw. Leseregister dargestellt. Weitere Informationen sind aus der speziellen SIO-Dokumentation zu entnehmen.

DB 7	DB 6	DB 5	DB 4	DB 3	DB 2	DB 1	DB 0
<u>Rücksetzanweisungen für CRC</u>							
<u>Kommandoweisungen</u>							
DB 7.6. Rücksetzart	DB 5.4.2. Kom-ART	Registeranzeiger					
0 0 Keine Auswirkung	0 0 0 Null-Kommando	DB 210	Registernummer	000	0 (SR od. LR)		
0 1 CRC Prüfschalt. Empf.	0 0 1 Sende-Irrung	001	1 (SR od. LR)				SR0
1 0 CRC gener. Send.	0 1 0 RS Ext. u. Status interrupts	010	2 (SR od. LR)				
1 1 CRC/SYNC-FF	0 1 1 Kanal rücksetzen	011	3 (SR)				
	1 0 0 RS Empfängerint. mit 1 Zeichen	100	4 (SR)				
	1 0 1 RS Sendeinterrupt	101	5 (SR)				
	1 1 0 RS-Fehler FF	110	6 (SR)				
	1 1 1 Rückkehr vom Interrupt	111	7 (SR)				
RS d. WAIT/READY Leitung	Fkt.d. WAIT/READY-Itg.	Aktiv.d. WAIT/READY-Itg.	Int.-Mod. bei DAC. Empfang DB 4 3 M Interrupt	Status beeinfl. Vektor	Freigebe Sende Int.	Freigebe bei 1 Int. ext. Int.	
bei 0 verbleibt die Ltg. in WAIT od. READY-Mod. bei 1 wird Ltg. in WAIT-Mod. gesetzt	bei 0 = WAIT 1=READY	bei 0 wenn Senderpuffer voll bei 1 wenn Empf.leer	0 0 0 gesperrt 0 1 1 nur bei 1 Zeich. 1 0 2 alle Zeichen m. beeinfl. Vektor 1 1 3 alle Zeichen. Vektor	bei 1 Beeinfl. der Int.-Vektorbits 1, 2 u.3	bei 1 Int bei Senderpuffer leer	bei 1 Int. bei Übergängen Ltg. 106, 109, SYNC, SR1 Trennbed. erkannt Senden CRG-, SYN-Z.	

DB 7	DB 6	DB 5	DB 4	DB 3	DB 2	DR 1	DB Ø
Int.-Vektor-bit 7	Int.-Vektor-bit 6	Int.-Vektor-bit 5	Int.-Vektor-bit 4	Int.-Vektor-bit 3	Int.-Vektor-bit 2	Int.-Vektor-bis 1	Int.-Vektor-bit 0
		Kanalzuordnung			DB 2 1	Interrupturspecke	immer "0"
		0 $\bar{K}$ .B					
		1 $\hat{K}$ .A			0 0	Sendepuffer	
					0 1	Ext./Statusbeding.	
					1 0	Empf.zeich. vorh.	
					1 1	spez. Empf. tes.	
SR2							
Anzahl der Bits je Empf. Zeichen							
DB 7_6 Bit/Z							
0 0	5						
0 1	6						
1 0	7						
1 1	8						
SR3							
Taktfrequenz							
DB 7_6							
0 0	Datentr. x1-Taktfr.						
0 1	Datentr. x16-Taktfr.						
1 0	Datentr. x32-Taktfr.						
1 1	Datentr. x64-Taktfr.						
SR4							
Stopbitanzahl/Zeichen							
DB 3 2							
0 0	Synchr. Mod.						
0 1	1 Stopt./Z.						
1 0	1/2 Stopt./Z.						
1 1	2 Stopt./Z.						
Synchron.-Modus							
DB 5 4							
0 0	Mmosynchr.						
0 1	Bisynchr.						
1 0	SDLC-Mod.						
1 1	Ext.-Synchr.						
Einschal-Fangsetrieb							
CRC-Empf. Freigabe							
Einnahmen							
Adress-Such-Modus							
Ladearbeit							
Empf. freigegeben							

DB 7	DB 6	DB 5	DB 4	DB 3	DB 2	DB 1	DB 0
Datenstation bereit	Anzahl der Bits pro Sendezeichen	Pause senden	Senderfreigabe	CRC-Code	Aufforderung zum Senden	CRC-Senderfreigabe	
0 Lfd. 108 akt. 1 Lfd. 108 inakt.	DB_6_5_ Bit/Z 0 0 5 o.weniger 1 0 6 0 1 7 1 1 8			0 Polynom $x^{16} + x^{15} + x^2 + 1$ 1 Polynom $x^{16} + x^{12} + x^5 + 1$	0 Lfd. 105 aktiv 1 Lfd. 105 inaktiv		SR5
<p><u>Speicherregister für 1 Byte, das folgende Bedeutung hat:</u>  bei Monosynchr. Modus <math>\hat{=}</math> dem SYNC-Zeichen bei SDLC Modus <math>\hat{=}</math> der Prüfadresse  bei Bisynchr. Modus <math>\hat{=}</math> den ersten 8 Bit bei Ext.Synchr.M. - nicht benutzt  d. Folge</p>							
<p><u>Speicherregister für 1 Byte, das folgende Bedeutung hat:</u>  bei Monosynchr. Modus <math>\hat{=}</math> dem SYNC-Zeichen bei SDLC-Modus wird Z.0111 1110 gele-  bei Bisynchr. Modus <math>\hat{=}</math> den zweiten 8 Bit bei Ext.Synchr.M. - nicht benutzt den SR7  d. Folge</p>							
Trennen/ Abbruchbedingung	Senden CRC/SINC. Lfd. 106	Auswertung Synchr.-Zu- stand 0 $\hat{=}$ Synchr. erreicht 1 $\hat{=}$ Suchmod.	Synch. -Zu- Auswertung	Lfd. 109	Senderpuffer Leer	Int.-Be- dingung liegt vor	Empfangs- zeichen verfügbar

DB 7	DB 6	DB 5	DB 4	DB 3	DR 2	DB 1	DB Ø
Ende des Rahmens	CRC-/Stop- bit- fehler	Empfänger- Geräte- lauf	Paritäts- fehler	Restcode (Länge 1.-Feld) DB 321 letztes vorletztes Byte	Byte	Byte	alles Gesendet
				000 0 3 100 0 4 010 0 5 110 0 6 001 0 7 101 0 8 011 1 8 111 2 8			LR1
Entspricht dem SchreibeRegister 2 - Interruptvektor (nur über Kanal B lesbar)							
LR2							

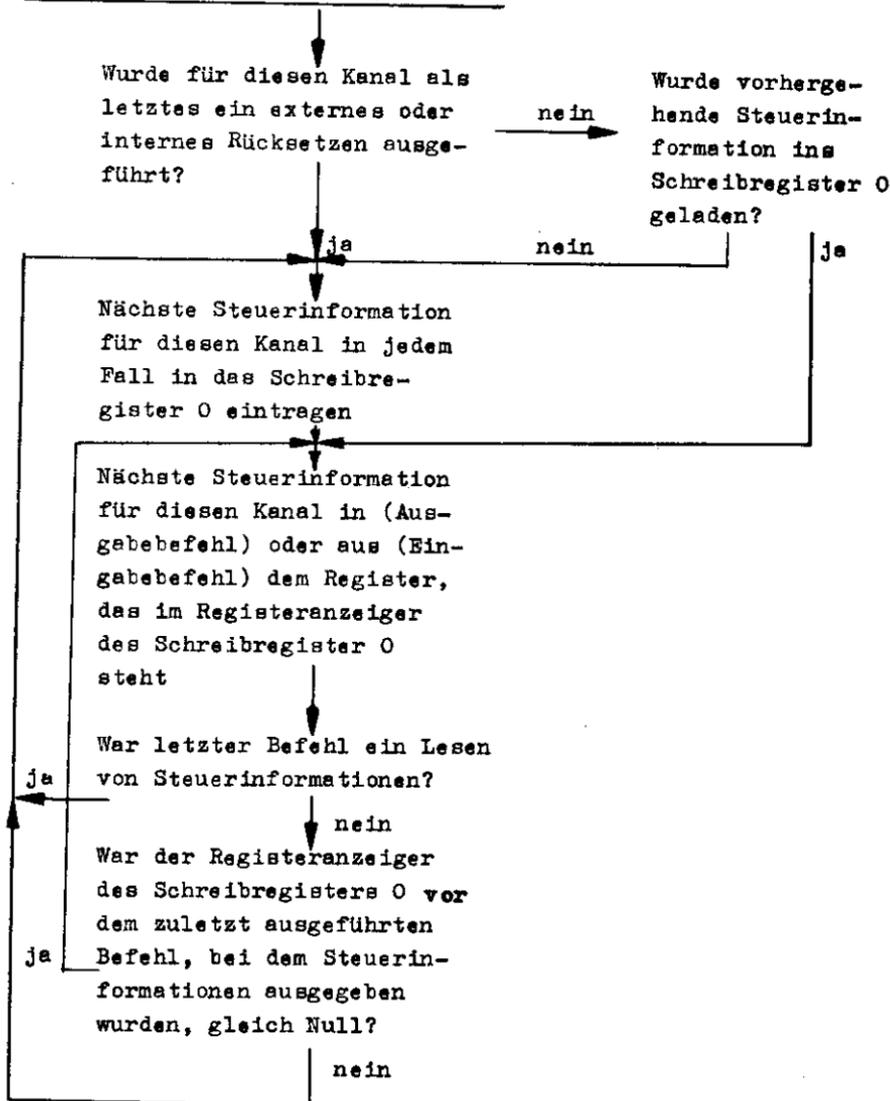
Die untenstehende Übersicht gibt die SIO-Eingänge bzw. -Ausgänge und deren Zuordnung zu den einzelnen Schnittstellenleitungen wieder.

SIO-Anschlüsse	Schnittstellenleitung		Tabellen- zuordnung
/RSTA bzw. /RSTB	Sendeeufforderung	105	SR5/DB1
/DTRA bzw. /DTRB	Datenstation bereit	108	SR5/DB7
/DCDA bzw. /DCDB	Auswertung der Leitung 109	109	LRO/DB3
/CTSA bzw. /CTSB	Auswertung der Leitung 106	106	LRO/DB5
/RxDA bzw. /RxDB	Serielle Empfangsdaten	104	-
/TxDA bzw. /TxDE	Serielle Sendedaten	103	-
/TxCA	Sendetakt Kanal A	114	-
/RxCA	Empfangstakt Kanal A	115	-
/RxTxCB	Empf./Sendetakt Kanal B	114 115	- -
/SYNCA bzw. /SYNCB	wird als externe Leitung nicht benutzt		

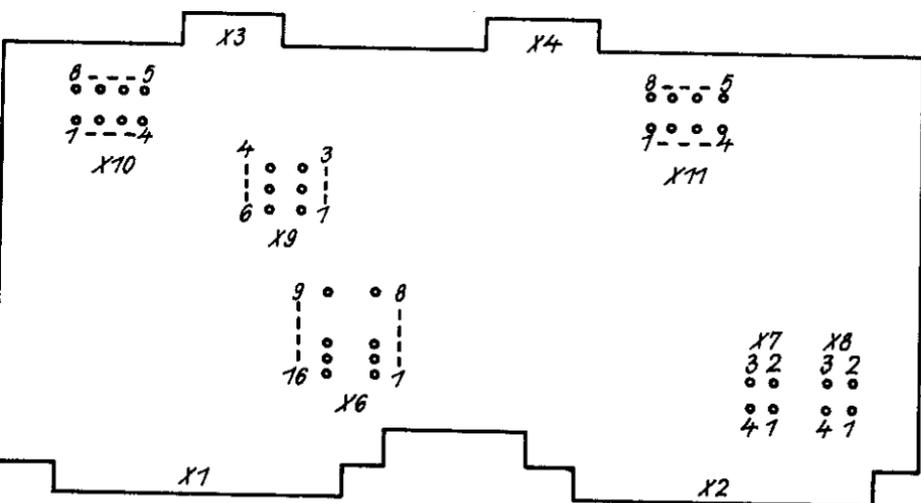
(Die Übersicht bezieht sich auf die SIO-Bondvariante 0).

4.5.3.

Ablauf der Programmierung des SIO



Es ist aus diesem Ablauf ersichtlich, daß zum Schreiben bzw. Lesen einer Steuerinformation 2 Befehle auf den gleichen Kanal (gleiche Adresse) nötig sind, und zwar beim Schreiben "out-Befehle" und beim Lesen ein "Out- (zur Ausgabe des Registeranzeigers) und ein "In-Befehl" (für das Lesen des entsprechenden Registers).



X1...- Steckverbinder  
X6...- Wickelstiftreihen

XII/1 Programmierfelder der Steckeinheit

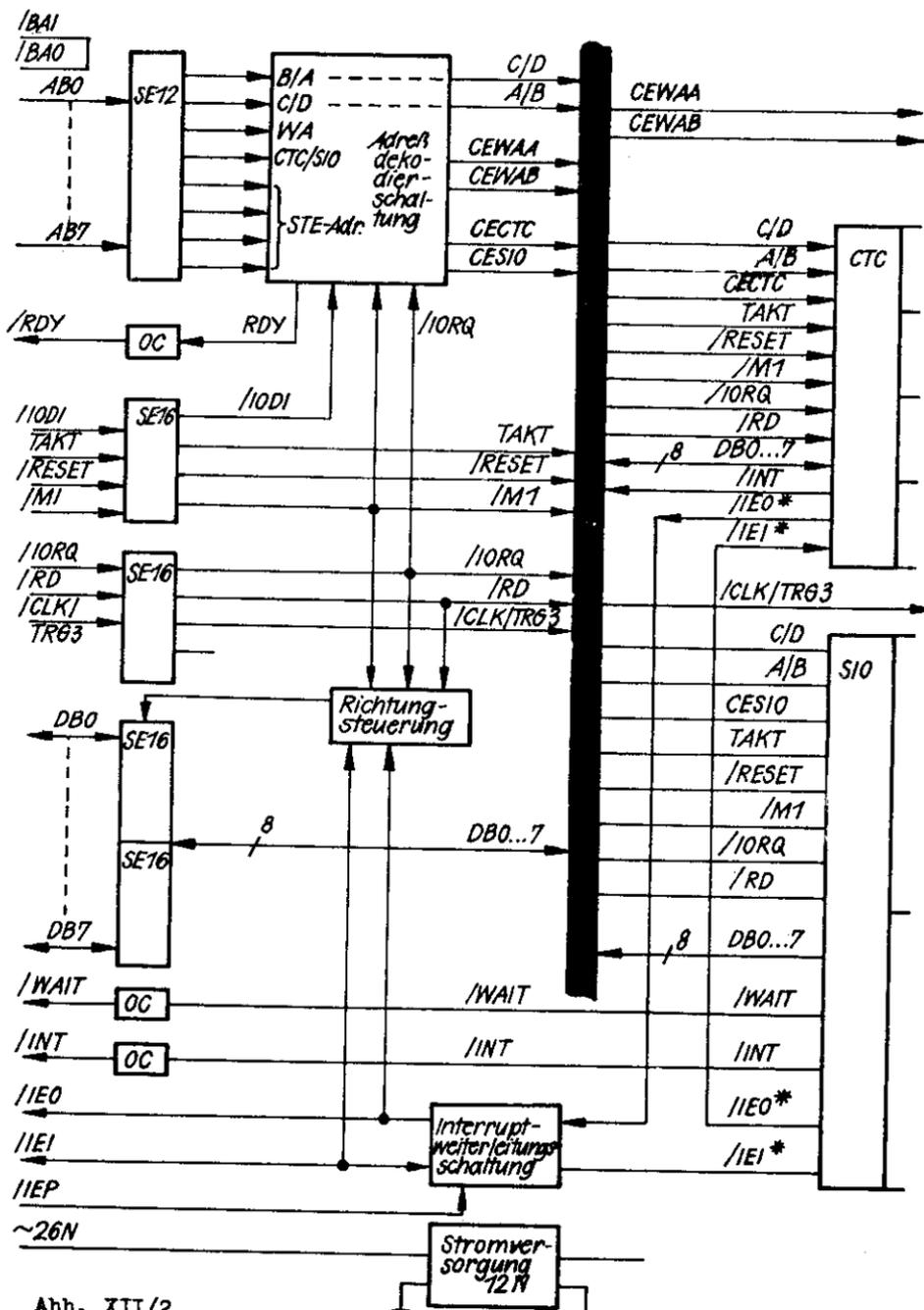


Abb. XII/2

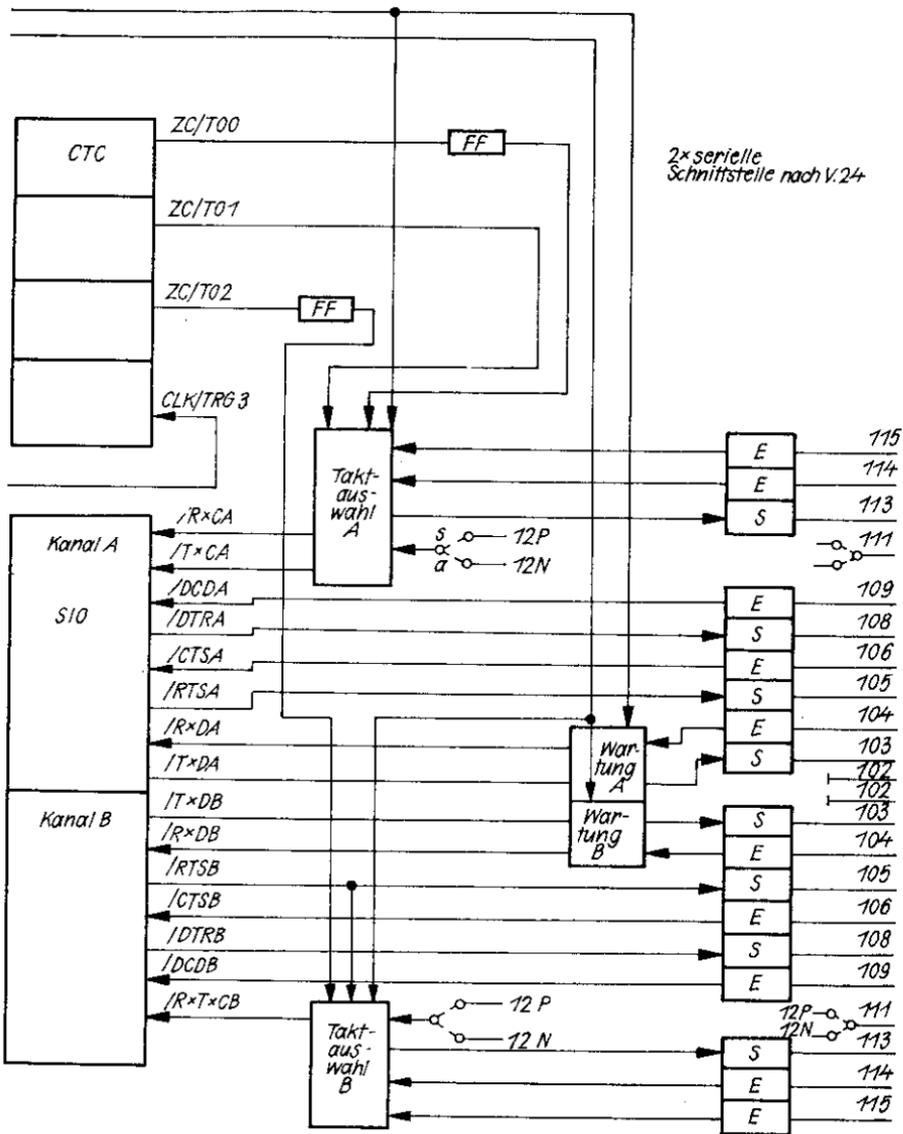


Abb. XII/3 Blockschaltbild ASV- K 8021 Teil 2

XIII.

Technische Beschreibung

Anschlußeinheit für Folienspeicher AFS K 5121

## Inhaltsverzeichnis

	Seite
<u>1. Kurzcharakteristik</u>	XIII-3
<u>2. Technische Daten</u>	XIII-4
2.1. Allgemeine Daten	XIII-4
2.2. Takterzeugung	XIII-4
<u>3. Funktionsbeschreibung</u>	XIII-5
3.1. Taktzentrale	XIII-5
3.2. Parallel - Serien - bzw. Serien - parallel - Wandlung	XIII-5
3.3. Markenerkennung	XIII-6
3.4. PLL (Phasenregelkreis) -	XIII-6
3.5. Peripherieinterfece	XIII-6
3.6. WAIT - Steuerung bei der Datenübertragung	XIII-7
3.7. Adreßdekoder	XIII-7
3.8. Anschlußbedingungen	XIII-8
3.8.1. Systembus	XIII-8
3.8.2. Peripheriesignale	XIII-9

# 1.

## Kurzcharakteristik

Die Anschlußeinheit für Folienspeicher (AFS) K 5121 dient dem Anschluß von maximal 4 Folienspeichern des Typs MF 3200 (Ungarische Optische Werke - MOM) an den MR K 1520. Der Anschluß der Folienspeicher an die AFS erfolgt über Interfacekabel (s. Pkt. 3.8.2.).

Die AFS ist wahlweise für zwei Steckverbindersysteme des K 1520 - BUS vorgesehen:

<u>Steckverbinder</u>	<u>Steckeinheitentyp</u>
indirekt	078 - 2081
direkt	078 - 2086

Die AFS K 5121 ist für ein Aufzeichnungsformat entsprechend ISO-Standard Nr. 5654 bzw. daraus abgeleiteter Formate mit geändertem Sektoraufbau geeignet.

Nach Rücksprache mit dem Entwickler können über die AFS mit geringfügigen Änderungen auch Folienspeicher anderer Hersteller bzw. Minifolienspeicher an den K 1520 angeschlossen werden. Der Datenaustausch zwischen der AFS und dem Systembus K 1520 kann über verschiedene Betriebsarten gesteuert werden:

- Wait-Steuerung 1

direkter Anschluß der AFS an die Wait-Leitung

- Wait-Steuerung 2

Steuerung über RDY-Leitung mit Überwachung der Dauer des Wait-Zustandes.

Bei Hevarie erfolgt ein Schutz des Speicherinhaltes des dynamischen Speichers im K 1520 durch Abbruch der entsprechenden Routine des Software-Moduls für den Folienspeicher.

## 2.

### Technische Daten

#### 2.1.

##### Allgemeine Daten

Steckeinheitenabmessungen: 215 mm x 170 mm  
Steckraaster: 20 mm  
Steckverbinder: 2 x 58polig, indirekt,  
Bauform: 304 - 58  
TGL 29331/03  
oder  
2 x 58polig, direkt  
TGL 29331/01  
1 x 26polig, indirekt,  
Bauform: 202 - 26  
TGL 29331/04  
(Anschluß MF 3200)

Einsatzklasse : 5/60/30/95/10-1<sub>E</sub>  
Stromaufnahme: 5P = + 5 V  $\pm$  5 % typ. 2,5 A  
5P = - 5 V  $\pm$  5 % typ. 20 mA

#### 2.2.

##### Takterzeugung

Quarztyp: Q42/E1 010 TGL 33581  
Quarznennfrequenz: 5000 kHz  
Arbeitsfrequenz: 500 kHz

### 3.

#### Funktionsbeschreibung

##### 3.1.

##### Taktzentrale

Vom quarzgesteuerten Generator wird ein Takt von 3000 kHz erzeugt und von einem Domimalzähler auf die Arbeitsfrequenz von 500 kHz geteilt. Aus diesem Takt werden mit Hilfe eines Dekoders, eines Dualzählers und der Ergänzungs-elektronik die für die Parallel-Seriell-Wandlung und Seriell-Parallel-Wandlung notwendigen Signale und der Schreibimpuls erzeugt. Für den Einsatz von Minifolienspeichern steht zusätzlich eine Arbeitsfrequenz von 250 kHz zur Verfügung.

##### 3.2.

##### Parallel-Serien- bzw. Serien-Parallel-Wandlung

Dieser Block besteht aus dem Schaltkreis U 855, für den Daten\_austausch, 5 x D 195 (4-bit-Schieberegister) und einer Ergänzungs-elektronik.

Die von der ZRE kommenden Bytes werden in den U 855 zwischengespeichert, über die parallelen Eingänge in die Schieberegister geschrieben und dann durch einen Schiebetakt herausgeschoben. Die Daten werden mit einem Signal, das die Schreibimpulsbreite bestimmt, verknüpft und über Treiber zum Laufwerk gesendet.

Für die Serien-Parallel-Wandlung werden die durch die PLL (Phasenregelkreis) synchronisierten Daten in die Schieberegister geschoben, und nach dem 16. Schiebetakt (8 Datenbits und 8 Taktbits) werden die 8 Datenbits in den U 855 geschrieben und zum geeigneten Zeitpunkt von der ZRE abgefragt.

### 3.3.

#### Markenerkennung

Nach Ausgabe des Lesebefehls werden solange Daten in die Schieberegister geschoben, bis die als Taktbits vorgesehenen Stellen im Schieberegister die Kombination enthalten, die einer Marke entspricht. Diese Situation löst ein Interrupt aus. Das dazugehörige Interruptbehandlungsprogramm liest die dazugehörigen 8 Datenbits ein und vergleicht diese Kombination mit der zu erwartenden Marke. Bei Übereinstimmung setzt das Leseprogramm für den Adreß- oder Datenteil eines Sektors ein. Wenn die Kombination der Dateninformation von der erwarteten abweicht, so geht das System in den Lesezustand zurück, indem Daten in das Schieberegister seriell geschoben werden, bis wieder eine gesuchte Taktkombination auftaucht. Um die Zuverlässigkeit bei der Markenerkennung zu erhöhen, werden die beiden letzten Taktbits und das letzte Datenbit des letzten Null-Bytes vor der Marke noch erfaßt und hardwaremäßig auf der HAFS ausgewertet.

### 3.4.

#### PLL (Phase-Locked-Loop = Phasenregelkreis)

Dieser Phasenregelkreis synchronisiert die ankommenden Daten und liefert dazu einen Takt, der bei zulässigen Drehzahltoleranzen des Laufwerkes sich ständig nachregelt und somit eine sichere Auswertung der Lesedaten ermöglicht.

### 3.5.

#### Peripherieinterface

Die Eingangsleitungen werden im Folienspeicher bzw. AFS über folgende Schaltung angepaßt:

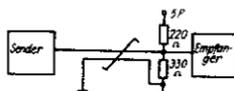


Abb. XIII/1

Die Sender der Ausgangeleitungen sind Dual-Peripheritreiber mit nachgeschaltetem Transistor (E 155 LP7).

### 3.6.

#### Wait-Steuerung bei der Datenübertragung

Über das Wait-(READY-) Signal wird die Arbeitsgeschwindigkeit des Rechners K 1520 an die des Laufwerkes angepaßt.

Zur Wait-Steuerung werden die READY-Signale des U 855, der zum Datenaustausch benutzt wird, und das Signal D-RD ausgewertet. Außerdem werden die Signale CS des U 855 und AB1 mit dekodiert. Wait wird dann aktiv:

- wenn bei einem Datenausgabebefehl die im Ausgabebitor zwischengespeicherten Daten von der Anschlußsteuerung noch nicht abgeholt wurden;
- wenn bei einem Dateneingabebefehl noch keine neuen Daten von der Anschlußsteuerung in das Eingabebitor eingeschrieben wurden.

### 3.7.

#### Adreßdekorier

Durch die AFS - K 5121 werden 8 I / O Adressen belegt. Die Adreßbits ABO und AB1 werden benutzt, um an den Schaltkreisen U 855 zwischen Tor A und B bzw. zwischen Kommandos und Daten zu unterscheiden.

Aus den Adreßbits AB2 bis AB7 kann über zwei Dekoder SE05 jede durch den Anwender über Wickelbrücken vorgegebene Adressengruppe dekodiert werden.

### 3.8.

#### Anschlußbedingungen

Alle von der Steckeinheit AFS K 5121 genutzten Systembus-signale (Adressen-, Steuer- und Datenbits) belasten den Bus mit max. 0,25 mA.

Der Datenausgang wird von SE 16 getrieben.

### 3.8.1.

#### Systembus

Adresse	- 8 bit ABO ... AB7
Daten	- 8 bit DBO ... DB7
/IORQ	- Input-output-Anforderungssignal; aktiviert Wait-Anforderung in Verbindung mit den Adressen
/RD	- Befehlssignal "Input" Bestimmt die Wirkungsrichtung der bidirektio- nalen Datentreiber in Verbindung mit Adressen und /IORQ
/IODI Takt, /M1	- Input-output-Sperrsignal Systemtakt und Kennzeichen "Befehlslesezyklus" M 1 mit IORQ verknüpft kennzeichnet einen Interrupterkennungsszyklus.
/RESET	Rücksetzsignal für die U 855
/IBI	Interruptfreigebe durch die höherpriorisierten interruptauslösenden Steckeinheiten
/IEP	Interruptfreigebe parallel, Signal für externe Beschleunigungsschaltung für die Interrupt- freigebe
/WAIT	Signal löst bei Einnahme eines bestimmten Zustandes beim Datenaustausch WAIT-Zyklen im Prozessor aus. Dies wird erforderlich, weil das Laufwerk beim Datenschreiben die Datenbytes nicht so schnell

übernehmen kann wie sie die ZRE zur Verfügung stellt. Analoge Abläufe beim Datenlesen.

/RDY Quittierungssignal wird gesendet, wenn ein auf der AFS vorhandenes Tor adressiert wird.

### 3.8.2.

#### Peripheriesignale

Signal	Erklärung	Anschlußbelegung
/D-FW	Falsche Schreibsteuerung	B 10
/D-WP	Schreibschutz	A 09
/D-TO	"Spur 00" erreicht	B 09
OD-IX	"Index"-Loch (Spuranfang)	B 11
/D-SD	Schrittrichtung	B 04
/D-FR	Rücksetzen der falschen Schreibsteuerung	A 05
/D-ST	Schritt	B 08
/D-HL	Kopfladen	A 04
/D-WE	Schreibgenehmigung	A 08
/D-WD	Schreibdaten	B 07
/D-RD	Lesedaten	A 11
/D-LCK0	Laufwerkverriegelung für das Laufwerk 0	A 03
/D-LCK1	Laufwerkverriegelung für das Laufwerk 1	B 03
/D-LCK2	Laufwerkverriegelung für das Laufwerk 2	B 12
/D-LCK3	Laufwerkverriegelung für das Laufwerk 3	A 12
/D-SELO	Laufwerkeauswahl für das Laufwerk 0	A 07
/D-SEL1	Laufwerkeauswahl für das Laufwerk 1	B 06
/D-SEL2	Laufwerkeauswahl für das Laufwerk 2	A 06
/D-SEL3	Laufwerkeauswahl für das Laufwerk 3	B 05

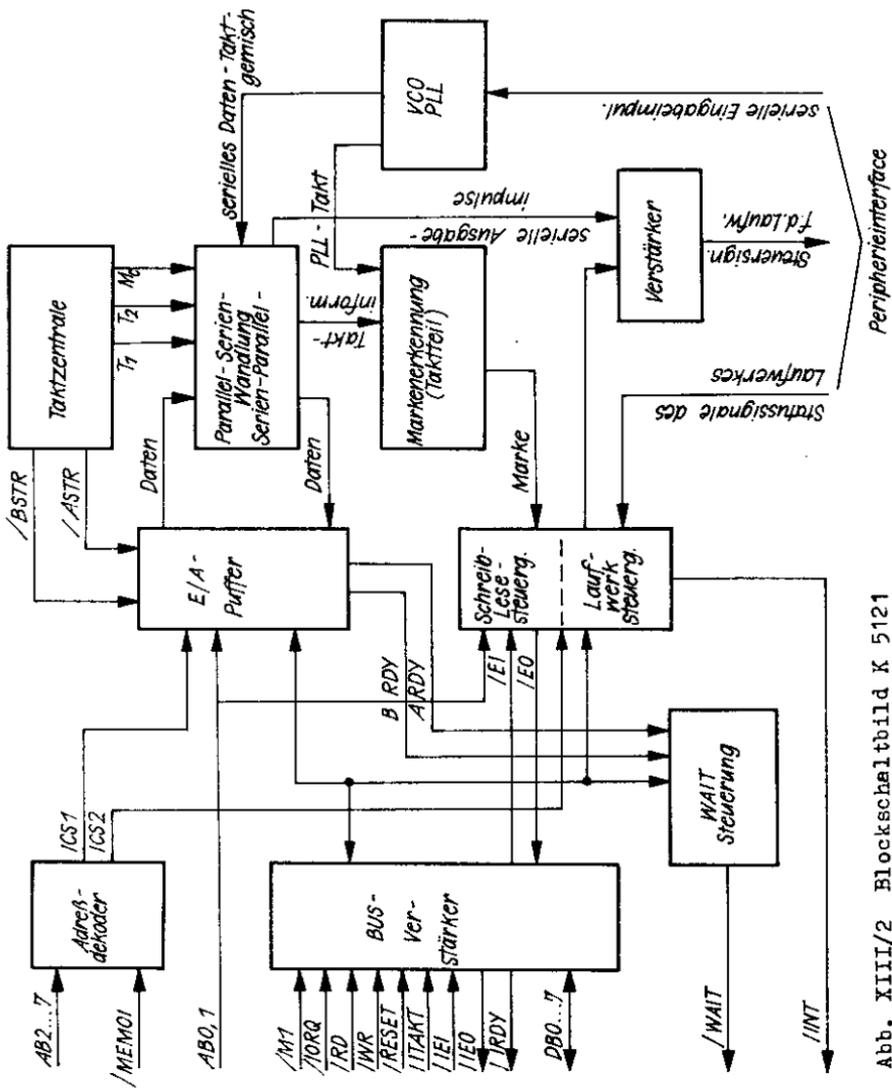


Abb. XIII/2 Blockschaltbild K 5121

XIV.

Technische Beschreibung

Busverstärker BVE - K 4120

## Inhaltsverzeichnis

	Seite
<u>1. Kurzcharakteristik</u>	XIV-3
<u>2. Technische Daten</u>	XIV-3
<u>3. Funktionsbeschreibung</u>	XIV-4
3.1. Nutzungsvorschrift	XIV-4
3.2. Funktion	XIV-6

1.

### Kurzcharakteristik

Der Busverstärker BVE K 4120 ermöglicht mit zwei Verbindungsleitungen LTG K 0521 und einem Kabeladapter VLA K 0522 eine Verlängerung des System- und Koppelbusses des Mikrorechners K 1520, wenn die auf einem Bus zur Verfügung stehende Anzahl von Steckeinheitenplätzen für die gewünschte Rechnerkonfiguration nicht ausreicht oder größere Entfernungen zwischen gekoppelten Steckeinheiten-Einsätzen überbrückt werden müssen.

2.

### Technische Daten

Steckeinheitenabmessungen: 215 mm x 170 mm  
Steckraster: 20 mm  
Steckverbinder: 2 x 58polig, indirekt, Bauf.304-58  
TGL 29331/03 bzw.  
2 x 58polig, direkt  
TGL 29331/01  
2 x 58polig, Bauf.202-58  
TGL 29331/03  
(griffseitig: Anschluß von LTG  
K 0521)  
Einsatzklasse: 5/60/30/95/10-1<sub>E</sub>  
Stromversorgung: 5 V  $\pm$  5 %, typ. 0,75 A  
Busseitige Anschluß- entsprechen den Bedingungen des  
bedingung: Systembus K 1520 lt. TGL 37271  
Zubehör zum Busverstärker  
K 4120:  
1 Stück Kabeladapter  
VLA K 0522  
Steckeinheitenabmessung: 215 mm x 170 mm  
Steckraster: 20 mm  
Steckverbinder: 2 x 58polig, indirekt, Bauf.304-58  
TGL 29331/03 bzw.

2 x 58polig, direkt  
TGL 29331/01  
2 x 58polig, indirekt, Bauf.202-58  
TGL 29331/03  
(griffseitig; Anschluß von LTG  
K 0521)

2 Stück Verbindungsleitun-  
gen LTG K 0521

Leitung: 4 x BY 26 x 0,3, TGL 24451/20  
Leitungslänge: 0,6 m (K 0521.03)  
1,2 m (K 0521.02)  
2,5 m (K 0521.01)  
Steckverbinder: 58polig, indirekt, Bauf. 102-58  
TGL 29331/03

### 3.

#### Funktionsbeschreibung

#### 3.1.

##### Nutzungsvorschrift

Die hier beschriebenen Baugruppen werden angewendet, wenn der Systembus aus Gründen räumlicher Trennung oder hoher Bussuslastung in einen Primärbus (enthält die ZRE) und einen oder mehrere Sekundärbusse aufgeteilt werden muß. Die Busverstärkereinheit BVE K 4120 befindet sich im Primärbus und wird mit zwei Verbindungsleitungen LTG K 0521 über den Adapter VLA K 0522 mit dem jeweiligen Sekundärbus verbunden (Abb. XIV/4). Prinzipiell besteht keine Begrenzung in der Anzahl der zur Busverlängerung gekoppelten Sekundärbusse. Zu beachten sind dabei lediglich die Belastungs- und Zeitverhältnisse auf dem Bus.

Der K 4120 ist auf Grund des einheitlichen Anschlußbildes der Steckeinheiten des K 1520 prinzipiell steckplatzunabhängig einsetzbar. Der Steckplatz eines Busverstärkers, bezogen auf die ZRE-Steckeinheit bestimmt aber die Einordnung des ge-

koppelten Sekundärbusses in die Interrupt-Prioritätskette und die Einordnung in die DMA-Prioritätskette in der Gesamtkonfiguration des MR K 1520.

Die gleiche Steckplatzunabhängigkeit besteht prinzipiell auch für den Kabeladapter K 0522 im angekoppelten Sekundärbus. Es muß lediglich dafür gesorgt werden, daß die /BAO-/BAI-Kette und die /IEO-/IEI-Kette in diesem Bus einen in sich geschlossenen Kreis bilden (Rückführung der /BAO- und /IEI-Leitung vom letzten besetzten Steckplatz zur /BAI- bzw. /IEI-Klemme des ersten besetzten Steckplatzes).

Die Prioritätenketten innerhalb des angekoppelten Busses beginnen dann jeweils an der Stelle des gesteckten Adapters K 0522 und durchlaufen alle in die geschlossene Kette einbezogenen Steckeinheiten. Die so gebildeten sekundären Teilketten werden im Primärbus an die Stelle des koppelnden Busverstärkers in die primären Prioritätenketten eingefügt. Das nachfolgende Beispiel demonstriert die prinzipielle Wirkungsweise.

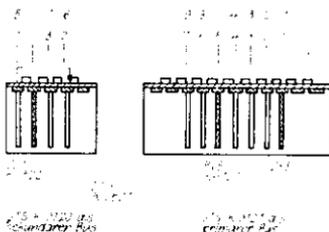


Abb. XIV/1 Beispiel einer Buserweiterung durch einen angekoppelten Steckeinheiteneinsatz

Ein spezieller Einsatz bei der Kopplung nur eines Sekundärbusse ergibt sich, wenn der Busverstärker im Primärbus die letzte Prioritätenstufe einnimmt und der Adapter die erste Steckeinheit des Sekundärbusse bildet. Hier muß die /BAO-/BAI- und die /IEO-/IEI-Kette im Sekundärbus nicht vom Ende auf den ersten Steckplatz zurückgeführt werden. Die ursprüngliche Prioritätsfolge wird linear um die Folge im gekoppelten Bus verlängert.

Der Einsatz des Busverstärkers schränkt das Zusammenspiel der unterschiedlichen Moduln des K 1520 auf dem verlängerten Systembus nicht ein. Der angekoppelte Sekundärbus kann außer Speicher- und E/A-Moduln auch Funktionseinheiten enthalten, die Unterbrechungen auslösen und die Busherrschaft anfordern (DMA-Betrieb). Lediglich die ZRE-Steckeinheit, der Koppler für die Bedieneinheit (K 7022), eine eventuell vorhandene Schaltung zur Auswertung des Signals RDY und die Busverstärker selbst müssen sich im Primärbus befinden. Auf Grund der Störstrahlung des Verbindungskebele darf dieses nur innerhalb geschlossener Gefäßsysteme verlegt werden. Ist das aus bestimmten Gründen nicht möglich, muß vom Anwender ein geschirmtes Kabel verwendet werden.

### 3.2.

#### Funktion

Das Blockschaltbild (Abb. XIV/2) demonstriert die prinzipielle Wirkungsweise des Busverstärkers. Er enthält im wesentlichen nur Verstärker, die richtungsgesteuert den Systembus und Teile des Koppelbusse weiterleiten und für eine elektrische Entkopplung zwischen den Bus-Teilen sorgen.

Die in Abb. XIV/2 gekennzeichnete Richtungssteuerung wirkt nach folgenden Prinzipien:

- für Adresse und Steuerspannungen, einschließlich "WAIT":  
Bedingung: BAI . /BAO

Verbele Interpretation: Modul am Sekundärbus besitzt Busherrschaft

Bedingung erfüllt: Weiterleitung in Richtung Primärbus  
Bedingung nicht erfüllt: Weiterleitung vom Primärbus auswärts.

Für "WAIT" erfolgt die Weiterleitung jeweils gerade entgegengesetzt.

- für Daten:

Bedingung: RD · RDY-K BAI · /BAO · /RD IBI · /IEO ·  
IORQ · M1-K

Verbale Interpretation:

Der Informationssender befindet sich am Sekundärbus, d.h.:

- beim Lesen befindet sich dort der passive Teilnehmer (RDY-K)
- beim Schreiben befindet sich dort der aktive Teilnehmer (BAI . BAO)
- bei Interruptanerkennung befindet sich dort der zu bedienende Teilnehmer (IEI . IEO)

Bedingung erfüllt: Weiterleitung in Richtung Primärbus

Bedingung nicht erfüllt: Weiterleitung vom Primärbus auswärts.

Die /BAI-/BAO- und die /IEI-/IEO-Kette wird auf dem K 4120 logisch unterbrochen. Die Ketten werden über den angeschlossenen Sekundärbus geschlossen (s. dazu Pkt. 3.1.).

Die Weiterleitung der Busspannungen erfolgt über bidirektionale Treiberschaltkreise SE16 oder über Open-Kollektor-Baustufen BSO3, zu denen erforderliche Lastwiderstände auf der Steckeneinheit plaziert sind. Ist auf der BVE die Wickelbrücke X10:8-X11:8 geschlossen, so bildet eine spezielle Schaltung so lange WAIT bis RDY vom passiven Teilnehmer erscheint.

Ist dagegen die Wickelbrücke X10:7-X11:7 geschlossen, so wird diese RDY-Auswertung nicht ausgeführt. Zu beachten ist, daß WAIT nur durch ein RDY abgeschaltet werden kann. Durch entsprechende Veränderung der Wickelbrücken ist die BVE K 4120 auch für die Kopplung des MRES 20 mit dem Anwendersystem zu verwenden (s. Tab. 2). Dabei sind allerdings entsprechende Funkstörtechnische Maßnahmen für die Verbindungsleitungen zu berücksichtigen.

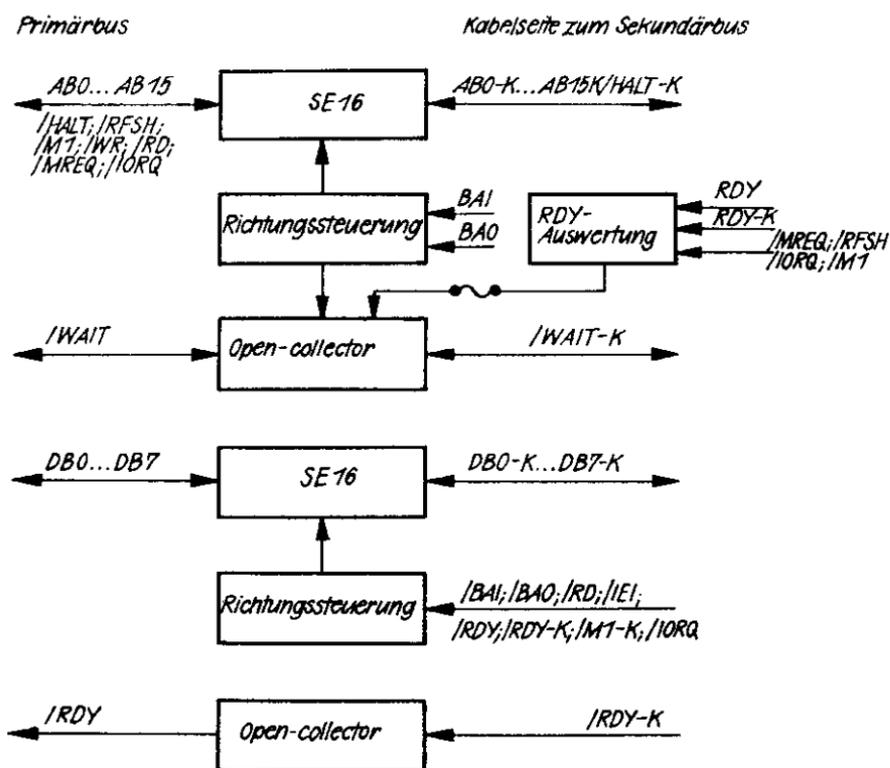


Abb. XIV/2 EVE K 4120 - Blockschaubild Teil 1

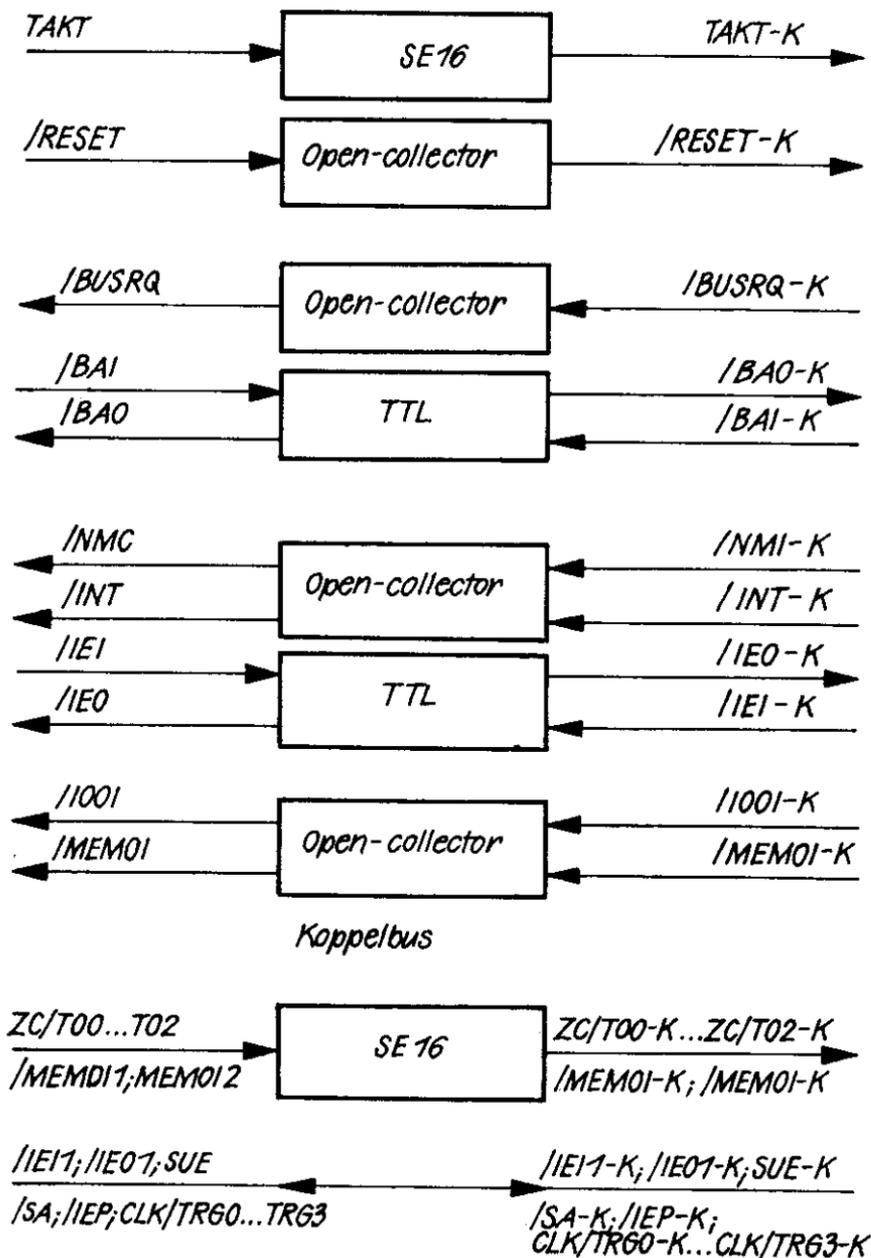
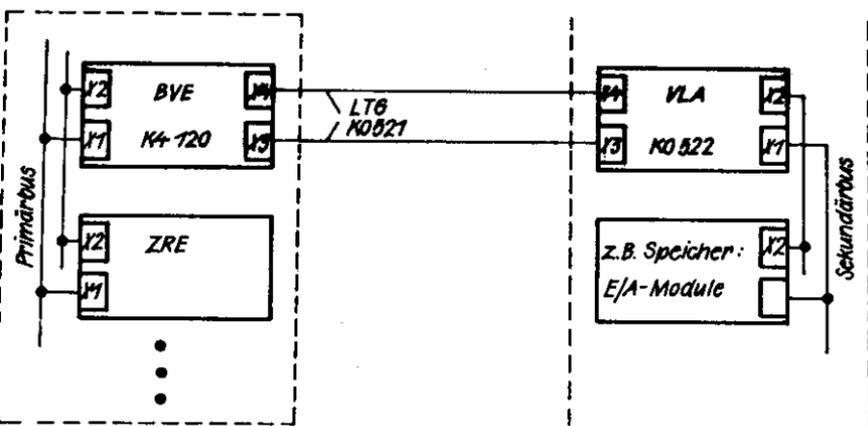
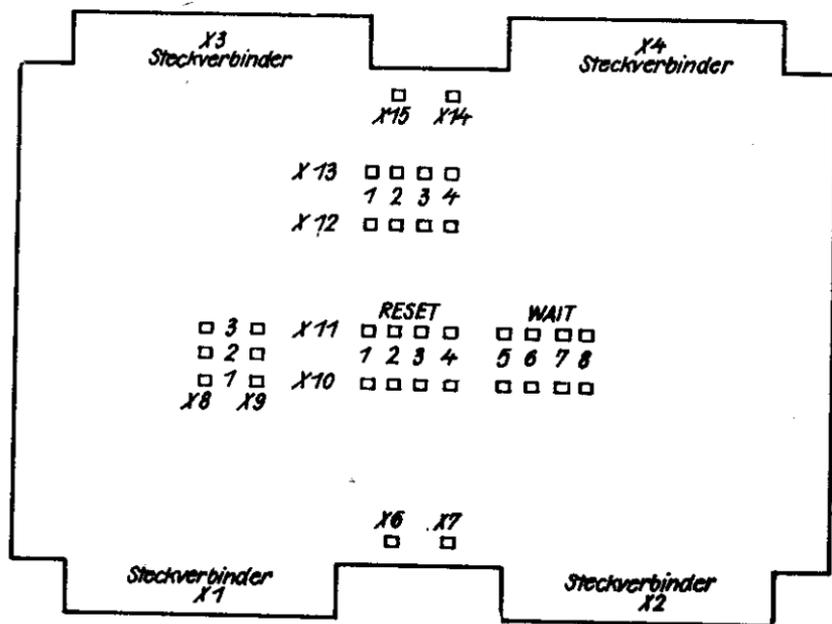


Abb. XIV/3 BVE K 4120 - Blockschaltbild Teil 2



bb. XIV/4 Prinzipschaltung Busverlängerung



bb. XIV/5 Busverstärker BVE K 4120 Anordnung der Wickelbrücken

Signalname	Klemme X2:	Bedeutung
TAKTO	B04	Zentraler Takt mehrerer Rechner
/IEP	B07	Hilfssignal für IEI-IEO-Kette
UM	A07	USER-Mode (für MRES 20)
IOPR	B18	Prüfrechner E/A-Seitensteuerung (für MRES 20)
IOAS	A18	Anwendersystem E/A-Seitensteuerung (für MRES 20)
MEMPR	B19	Prüfrechner Speicher-Seitensteuerung (für MRES 20)
MEMAS	A19	Anwendersystem Speicher-Seiten- steuerung (für MRES 20)
/SA	B20	Netzein-/ -ausschalt-Signal
/RDYAS	A20	RDY des Anwendersystems (für MRES 20)
/MEMDI2	B21	} Speichererweiterung
/MEMDI1	A21	
SUE	B22	Spannungsüberwachung CMOS-RAM
CLK/TRG3	A22	} Zeitgebersignale
CLK/TRG2	B23	
CLK/TRG1	B24	
CLK/TRG0	B25	
ZC/TO2	A23	
ZC/TO1	A24	
ZC/TO0	A25	
/IEI1	B26	} erweiterte Interrupt-Prioritäten- kette
/IEO1	A26	

Tab. 1: Belegung des Koppelbus der BFE K 4120

Funktion	Wickelbrücken	Einsetz als Busverstärker	Einsetz zur Kopplung des MRES 20
5P	X6-X7	x	Speisung vom Sekundärbus (i.a. Ver.1-3)
	X14-X15		Speisung vom Primärbus (z.B. Ver.4)
TAKT	X8:1-X9:1	x	Variante 1
	X8:2-X9:2		Variante 4
	X8:3-X9:3		Variante 2, 3
RESET	X10:1-X11:1	x	Variante 1, 2, 4
	X10:2-X11:2		Variante 3
	X10:3-X11:3	x	Variante 1, 2, 4
	X10:4-X11:4		Variante 3
BUSRQ	X10:5-X11:5	x	Variante 1, 4
	X10:6-X11:6		Variante 2, 3
WAIT	X10:7-X11:7	ohne RDY-Auswertung	
	X10:8-X11:8	mit RDY-Auswertung	x
CS	X12:1-X13:1	x	Variante 1, 4
	X12:2-X13:2		Variante 2, 3
MEMDI	X12:3-X13:3	x	
IODI	X12:4-X13:4	x	

Tab. 2: Wickelbrücken der BVE K 4120

XV.

Technische Beschreibung

Bedieneinheit K 7622

## Inhaltsverzeichnis

	Seite
<u>1. Kurzcharakteristik</u>	XI-3
<u>2. Technische Daten</u>	XV-3
<u>3. Konstruktiver Aufbau</u>	XV-4
<u>4. Funktionsbeschreibung</u>	XV-4
4.1. Verwendungszweck	XV-4
4.2. Funktion	XV-5
4.3. Anschluß der Bedieneinheit	XV-10

1.Kurzcharakteristik

Die Bedieneinheit BDE K 7622 ist ein selbständiges Gerät. Sie ist mit einer eigenen Stromversorgung ausgerüstet und somit unabhängig von der Betriebsspannung des Mikrorechners. Der Anschluß der BDE an den Rechner erfolgt über Kabel unter Zwischenschaltung der Anschlußsteuerung K 7022. Die Bedieneinheit wird in zwei Varianten geliefert. Als Auf-Tisch-Gerät ist sie variabel einsetzbar. In Form einer Frontplattenausführung wird sie dem Rechner fest zugeordnet. In der Regel wird die Bedieneinheit K 7622 als Kommunikations-Hilfsmittel genutzt.

2.Technische Daten

Abmessungen:	525 x 240 x 240 mm
Einsatzklasse:	EKL 5/40/30/95/10-1 <sub>E</sub>
Betriebsspannung:	220 V $\pm$ 10 % - 15 %, 50 Hz $\pm$ 2 Hz
Stromaufnahme:	0,13 A
Schutzgrad:	IP 20
Bedienelemente:	25 Leuchtdrucktasten, rastend TGL 26627 7 Leuchtdrucktasten, nichtrastend TGL 26627
Anzeigeelemente:	11 Lumineszenzdiode VQA 13 für Steuersignale 8 Lumineszenzdiode VQA 13 für Datenbus 4 Lichtemitteranzeigen VQB 71/ VQB 84 für Adreßbus (16 Bit hexadezimal)
Anschluß BDE-ABD:	3 m Kabel (Zubehör BDE)
Betriebsdauer:	Dauerbetrieb

### 3.

#### Konstruktiver Aufbau

Alle Baugruppen der Bedieneinheit sind an der Front- und Montageplatte befestigt. Diese Einheit kann in ein tragbares Kastengehäuse A (480 x 240 x 240 mm) oder in einem EGS-Gestellrahmen eingesetzt werden. Die Bauelemente sind auf Steckeinheiten (215 x 170 mm) angeordnet, die wiederum von einem Steckeinheiteneinsatz aufgenommen werden. Dieser ist in der BDE schwenkbar angeordnet.

Die Betriebsspannung wird von einem Stromversorgungsmodul Typ STM 5 V/10 A/10 K 0310.06 erzeugt. Zur Dämpfung von Störschwingungen und störenden Impulsen wird netzseitig das Filter Typ NFI K 0311 genutzt.

Die erforderliche Schutzgüte wird durch die Schutzmaßnahme "Nullung" erreicht und ist nur gegeben, wenn die Einheit in einem Kastengehäuse bzw. einem anderweitigen schützenden Gefäß eingesetzt wird.

### 4.

#### Funktionsbeschreibung

##### 4.1.

#### Verwendungszweck

Die Bedieneinheit K 7622 dient zur Unterstützung der Kommunikation mit dem Rechner bei der Inbetriebnahme, Wartung und bei der Testung von Systemprogrammen. Sie ist nicht Bestandteil der Grundausrüstung einer Rechnerkonfiguration.

Die Bedieneinheit ermöglicht:

- das Starten von beliebigen Adressen
- das Stoppen zu beliebigen Zeiten
- das Stoppen auf frei wählbaren Adressen (den sogenannten Testpunkten)
- das Arbeiten des Rechners im Einzelzyklusbetrieb

- die Bereitstellung von Adressen, Daten und Steuersignalen für den Rechner
- den direkten Speicherzugriff (für stat. und dyn. Speicher)
- die Anzeige von Adressen, Daten und Zuständen der ZVE.

## 4.2.

### Funktion

Eine Grobübersicht über die Funktion der BDE K 7622 gewährt das Blockschaltbild. Zugleich ist am Schluß dieser Unterlage die Frontplatte der BDE schematisch dargestellt. Beide Abbildungen ergänzen die nachfolgenden textlichen Erläuterungen.

### 4.2.1.

#### Registerstruktur

#### 4.2.1.1.

##### Adreßregister

Die BDE enthält ein Adreßregister für 16 Adressenbits. Der Adreßregisterinhalt wird hexadezimal über die Lumineszenzanzeigen VQB 71/84 dargestellt. Mit dem Tastenschalter "LADE ADR" wird die mit den Tastenschaltern 0 ... 15 eingestellte Adresse unter der Bedingung, daß sich der Rechner im "BUSAK" oder "HALT"-Zustand befindet, in das Register geladen.

#### 4.2.1.2.

##### Datenregister

Das Datenregister der BDE umfaßt 8 Bit. Die Anzeige von gültigen Daten erfolgt über die den Leuchtdrucktasten 0 ... 7 zugeordneten 8 LED. Das Einschreiben der Daten in das Datenregister erfolgt im "BUSAK"-Zustand des Rechners mit der Taste "LADE-DAT".

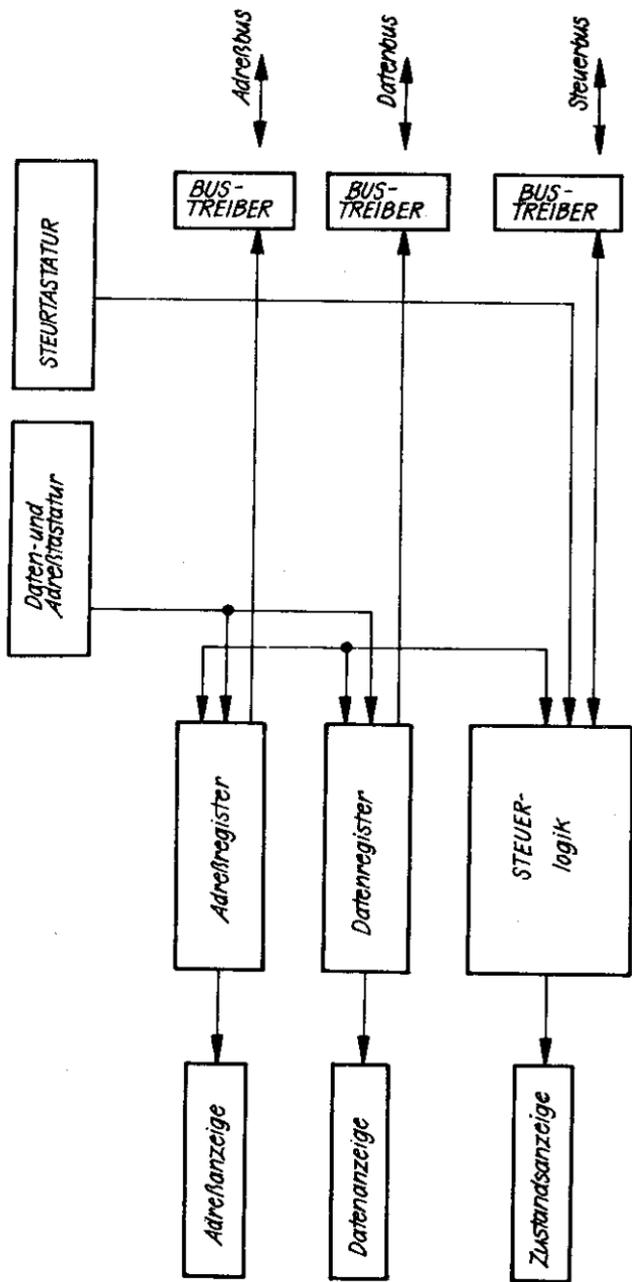


Abb. XV/1 Blockschalbild BDE K 7622

Wird im laufenden Betriebszustand des Rechners diese Taste beteiligt, so wird der Inhalt des Schalterregisters angezeigt, ohne eine Verfälschung der auf dem BUS befindlichen Daten zu verursachen.

#### 4.2.2.

##### HALT durch die Bedieneinheit

Beim Betätigen des Tastenschalters "HALT" wird unter der Bedingung, daß es sich um einen Befehlslesezyklus handelt, der 1-Byte-Steuergruppenbefehl "HALT" erzeugt und über die Bustreiber an die ZRE gegeben. Während dieses Haltzustandes arbeitet die ZRE fortwährend Leerbefehle "NOI" ab.

Mit Drücken der Taste "START ADR" wird das Programm ab der im Adreßregister enthaltenen Adresse fortgesetzt.

#### 4.2.3.

##### START durch die Bedieneinheit

Beim Betätigen des Tastenschalters "START ADR" wird das Signal "/NMI" gesetzt und anschließend der Rücksprungbefehl "RETN" erzeugt. Die Signale RETNM1 und RETNM2 senden den 2-Byte-Rücksprungbefehl aus. Über die Signale RETNM3 und RETNM4 wird die im Adreßregister stehende Startadresse ausgegeben. Für die Dauer des Befehls "RETN" wird das Speichersperrsignal "MEMDI" von der BDE ausgesendet.

#### 4.2.4.

##### Testpunkt

Zum Erkennen des Testpunktes wird der Inhalt des Adreßregisters mit der Stellung der Tastenschalter 0 ... 15 verglichen. Bei Übereinstimmung der eingetasteten und der vom BUS empfangenen Adresse wird das Signal "WAIT" an den Rechner gesendet

und versetzt ihn in den Wartezustand. Dabei zeigt die BDE die aktuelle Adresse mit den zugehörigen Daten an.

Nach Anlaufen eines Testpunktes kann das Programm im Schrittbetrieb abgearbeitet werden. Durch Drücken der Taste "START ZYKL" wird der "WAIT"-Zustand für die Dauer eines Zyklusses aufgehoben, und das Programm bleibt zu Beginn des nächsten Zyklus stehen.

Soll ein weiterer Testpunkt angelaufen werden, so ist diese Testpunktadresse in das Schalterregister einzutragen und mit der Taste "START ADR" zu starten.

Mit Lösen der Taste "TEST PKT" läuft das Programm ab der im Adreßregister der BDE enthaltenen Adresse weiter.

#### 4.2.5.

##### Speicher schreiben

Bei Betätigen der Tastenschalter "WR", "BUSRQ" und Erhalt des Quittungssignals "/BUSAK" werden nach Drücken der Taste "START ADR" tektgerecht die Signale "/MREQ" und "/WRO" von der BDE gebildet. Dabei werden die im Datenregister der BDE eingetragenen Daten in den Speicherplatz eingeschrieben, dessen Adresse im Adreßregister der BDE vorher eingetragen wurde.

Nach jeder Schreiboperation erfolgt ein Lesen der in der adressierten Speicherzelle eingetragenen Daten, die automatisch mit dem Inhalt des mit "DAT 0 ... 7" gekennzeichneten Schalterregister verglichen werden. Bei Übereinstimmung leuchtet die Anzeige "DATOK" etwa 1 s lang auf.

#### 4.2.6.

##### Speicher lesen

Bei Betätigen der Tastenschalter "RD" und "BUSRQ" und Erhalt des Quittungssignals "/BUSAK" werden nach Drücken der Taste "START ADR" taktgerecht die Signale "/MREQ" und "/RDO" gebildet. Dabei werden die Daten von der durch das Adreßregister der BDE adressierten Speicherzelle in das Datenregister der BDE übertragen und angezeigt.

#### 4.2.7.

##### Refresh-Steuerung

Bei Verwendung dyn. Speicher ist die Taste "RFSH" vor Betätigung der Tasten "BUSRQ", "ZYKL" oder "TEST PKT" zu drücken. Damit wird bei den Rechnerzuständen "BUSAK" und "WAIT" ein Auffrischen dyn. Speicher von der BDE gewährleistet. Im "WAIT"-Zustand wird die "RFSH"-Adresse mit einem von der BDE periodisch erzeugten "/WBARFSH"-Signal ("BUSAK") ausgesendet. Das bewirkt ein Umschalten der BUS-Verstärker. Dadurch ergeben sich Einschränkungen in der Abarbeitung von Programmen mit Ein/Ausgabezyklen bei Verwendung dyn. Speicher.

Mit Lösen der Taste "BUSRQ" läuft nach Beendigung einer kompletten Auffrischperiode des Programm ab der aktuellen Adresse, die beim Drücken der Taste in das Adreßregister der BDE eingetragen wurde, weiter.

Mit Lösen der Tasten "TEST PKT" oder "ZYKL" läuft nach Beendigung einer kompletten Auffrischperiode des Programm ab der im Adreßregister der BDE enthaltenen Adresse weiter.

#### 4.2.8.

##### Zyklischer Betrieb

Der Tastenschalter "ZYKL" erzeugt das Signal "WAIT", das die ZVE in den Wartezustand versetzt. Dabei wird von der BDE die

Adresse mit den dazugehörigen Daten angezeigt. Bei Betätigen der Taste "START ZYKL" wird der "WAIT"-Zustand kurzfristig zwecks Ablauf eines Zyklusses aufgehoben. Die ZRE arbeitet diesen einen Zyklus ab und bleibt danach im nächsten Zyklus stehen.

Mit Lösen der Taste "ZYKL" läuft das Programm ab der im Adreßregister der BDE enthaltenen Adresse weiter.

#### 4.2.9.

##### Nichtmaskierter Interrupt

Der Tastenschalter "NMI" aktiviert das Signal "NMI". Die Folge ist ein Sprung zur Adresse  $0066_H$ . Der weitere Programmablauf hängt von dem mit der Adresse  $0066_H$  startenden Unterbrechungsbehandlungsprogramm ab.

#### 4.3.

##### Anschluß der Bedieneinheit

Der Anschluß der BDE erfolgt mit einem 3 m langen Kabel (Zubehör BDE) über die Anschlußsteuerung Bedieneinheit ABD K 7022 an den Rechner. Die Anschlußbelegung ist der nachstehenden Tabelle zu entnehmen.

Anschlußbelegung der BDE

<u>Spannungsname</u>	A	B	<u>Spannungsname</u>
00	29	29	00
00	28	28	00
/WBAI	27	27	/WBARFSH
/WHALT	26	26	/WM1
	25	25	/WRFSH
/WIORQ	24	24	/WWAIT
/WINT	23	23	/WNMI
	22	22	/WIODI
	21	21	WTAKT
/WBUSRQ	20	20	/WRESET
WAB1	19	19	WAB0
WAB3	18	18	WAB2
WAB5	17	17	WAB4
WAB7	16	16	WAB6
	15	15	
WAB9	14	14	WAB8
WAB11	13	13	WAB10
WAB13	12	12	WAB12
WAB15	11	11	WAB14
/WASSP	10	10	
/WMEMDI	09	09	/WMREQ
/WRD	08	08	/WWR
WDB0	07	07	WDB1
WDB2	06	06	WDB3
WDB4	05	05	WDB5
WDB6	04	04	WDB7
	03	03	
00	02	02	00
00	01	01	00

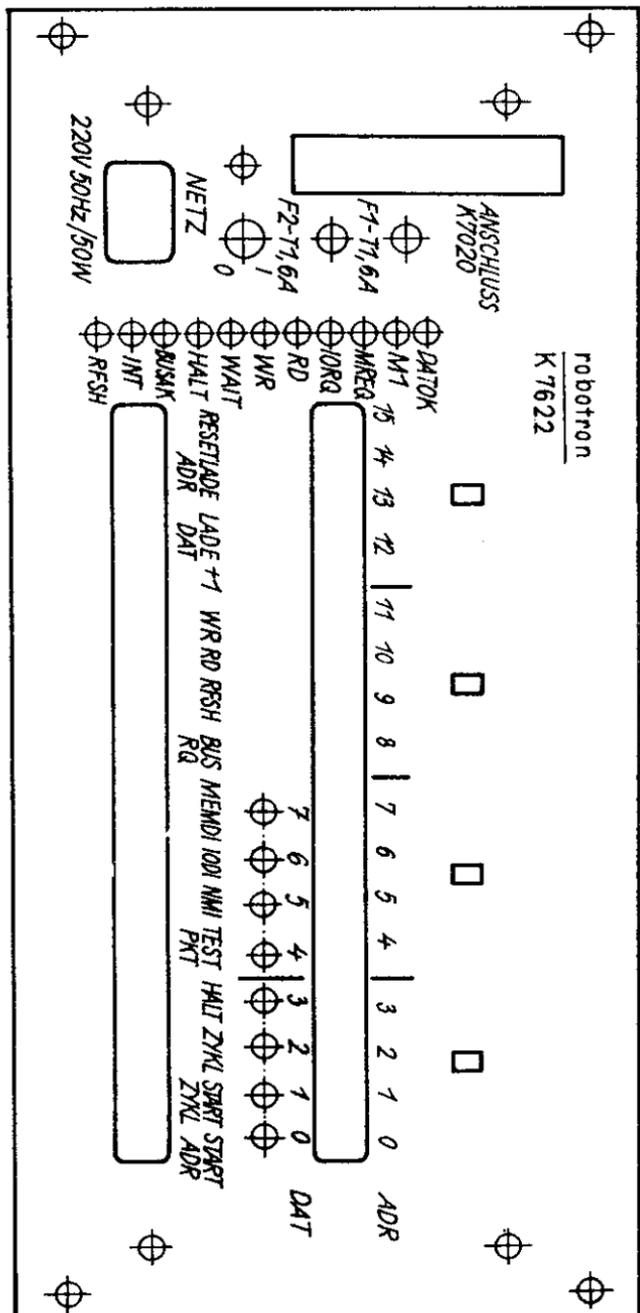


Abb. XV/2 Bedien- und Anzeigefeld

XVI.

Technische Beschreibung

Koppler ABD - K 7022

## Inhaltsverzeichnis

	Seite
<u>1. Kurzcharakteristik</u>	XVI-3
<u>2. Technische Daten</u>	XVI-3
<u>3. Funktionsbeschreibung</u>	XVI-4
3.1. Verwendungszweck	XVI-4
3.2. Funktion	XVI-4

## 1.

### Kurzcharakteristik

Der Koppler ABD-K 7022 stellt das erforderliche Bindeglied zwischen dem BUS des Rechners K 1520 und der Bedieneinheit K 7622 dar. Er entkoppelt die Funktionseinheiten, gewährleistet die logisch-funktionelle Anpassung und steuert den richtungsabhängigen Austausch der Informationen. Die Bedieneinheit wird durch eine Flachleitung, die im Zubehör enthalten ist, an die griffseitige Buchsenleiste des Kopplers angesteckt.

## 2.

### Technische Daten

Steckeinheitenabmessungen: 215 mm x 170 mm  
Steckraster: 20 mm  
Steckverbinder: 2 x 58polig, indirekt,  
Bauf. 304-58  
TGL 29331/03 bzw.  
2 x 58polig, direkt  
TGL 29331/01  
1 x 58polig, indirekt,  
Bauf. 202-58  
TGL 29331/03  
(Anschluß der BDE K 7622)  
Einsatzklasse: 5/60/30/95/10-1<sub>E</sub>  
Stromversorgung: 5 V  $\pm$  5 %, typ. 1,2 A  
Busseitige Anschluß-  
bedingungen: TTL-Pegel:  
Anschlußbild des MR K 1520 lt.  
Fachbereichsstandard  
TGL 37271

### 3.

#### Funktionsbeschreibung

##### 3.1.

#### Verwendungszweck

Der Einsatz des Kopplers K 7022 ist nur in der Zusammenschaltung mit der Bedieneinheit K 7622 sinnvoll. K 7022 ist auf die spezifischen Bedingungen der Bedieneinheit abgestimmt und realisiert die Weiterleitung der anzuzeigenden Busspannungen bzw. die Einspeisung der durch Tastenfunktionen der Bedieneinheit manipulierten Bussignale auf den Systembus.

Die Steckeinheit ist wegen des standardisierten Anschlußbildes des Systembusses prinzipiell steckplatzunabhängig einsetzbar. Die Platzierung muß aber so erfolgen, daß diese Steckeinheit die erste Stelle der Prioritätskette für Busanforderungen (/BAI-/BAO-Kette) einnimmt.

##### 3.2.

#### Funktion

Der Koppler wird busseitig an den standardisierten Systembus des MR K 1520 angeschlossen. Die auf der Steckeinheit über Pufferschaltkreise entkoppelten und gesteuerten Bussignalleitungen werden über Kabel zur Bedieneinheit weitergeleitet. Diese Busspannungen tragen zur Kennzeichnung einen vorangestellten Buchstaben W im Spannungsamen. Je nach den Anforderungen der Bedieneinheit und dem Zustand auf dem Systembus wird der Datenfluß zwischen Bus und Bedieneinheit unterschiedlich richtungsgesteuert. Der funktionelle Zusammenhang zwischen dieser Übertragungssteuerung und den Bedieneinheitfunktionen muß aus der Funktionsbeschreibung der Bedieneinheit entnommen werden.

Diese Unterlage gibt nur die formal-logische Funktion der Koppler-STE wieder.

Unter welchen Bedingungen die gerichtete Weiterleitung der einzelnen Bussignale erfolgt, zeigt folgende Aufstellung.

Spannung	Bedingung	Übertragungsrichtung
/M1 /HALT TAKT /INT		BUS BDE
/WRESET /WWAIT /WMEMDI /WIODI /WNMI /WBUSRQ		BDE BUS
/BAI /WBARFSH	nach /WBAI "open-C" nach /BAI	BUS BDE BDE BUS
WAB0 ... WAB15  /WIORQ /WMREQ /WRD /WVR /WRFSH	(WBUSRQ WWAIT)-(BAI WBARFSH)  sonst	EDE BUS  BUS BDE
/BAO /RDY	/((BAI WBARFSH)./WWAIT) /((WMEMDI.WMREQ WIOSI. WIOQ) . /WRFSH)	
WDB0 ... WDB7	(WBUSRQ WWAIT).(BAI WBARFSH)./WRD /((WBUSRQ WWAIT) . (BAI WBARFSH)).(WMEMDI WIODI) sonst	BDE BUS  BUS BDE

Das Signal /IEI wird über eine Kurzschlußbrücke als /IEO auf dem Systembus weitergereicht, damit die Prioritätskette des Systembusses durch die Steckeinheit nicht unterbrochen wird.

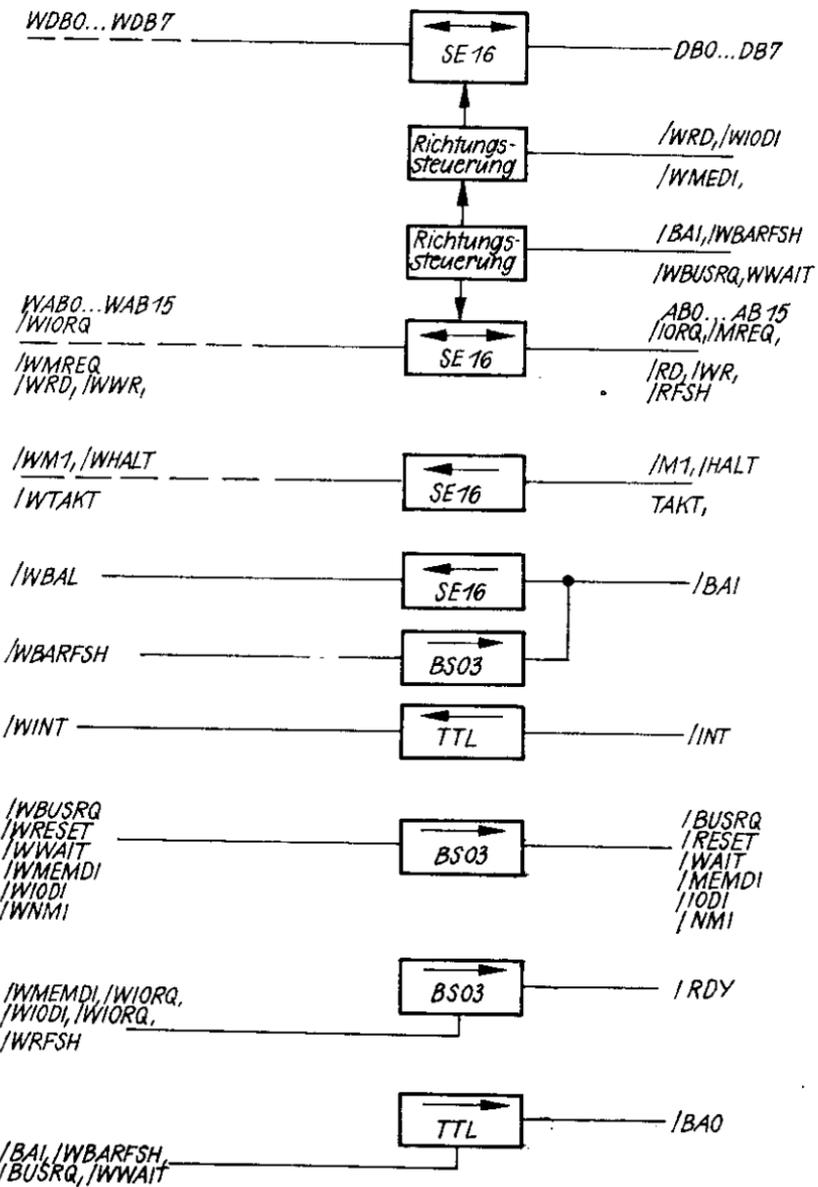
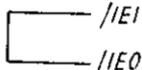


Abb. XVI/1 Blockschaltbild ABD K 7022

XVII.

Technische Beschreibung

PROM-Programmiersinheit PPE K 0420

und

PROM-Aufnahmeeinheit PAE K 0422

## Inhaltsverzeichnis

	Seite
<u>1. Kurzcharakteristik</u>	XVII-3
<u>2. Technische Daten</u>	XVII-3
<u>3. Funktionsbeschreibung</u>	XVII-4
3.1. Adreßdekoder	XVII-4
3.2. RDY-Generierung	XVII-5
3.3. Kommandoregister	XVII-5
3.4. Sonderspannungserzeugung	XVII-6
3.5. Programmierimpulstreiber	XVII-6
3.6. PROM-Adreßregister	XVII-6
3.7. E/A-Datenpuffer	XVII-7
3.8. Time-out-Schaltung	XVII-7
3.9. Schnittstelle zum PROM	XVII-8
<u>4. PAE K 0422</u>	XVII-8
<u>5. Blockschaltbild</u>	XVII-9

## 1.

### Kurzcharakteristik

Die Anschlußsteuerung zur PROM-Programmierung PPE K 0420 dient der Programmierung von

PROM des Typs U 555  
sowie der Prüfung des Inhalts von  
PROM des Typs U 555  
ROM des Typs U 551

Über Programmsteuerung ist ein Duplizieren von PROM U 555 möglich.

Die Anschlußsteuerung enthält die erforderliche Elektronik zur Programmierung eines PROM und zur Erzeugung der benötigten Sonderspannung. Über den rückwärtigen Steckverbinder (X5) wird die PROM-Aufnahme (PAE K 0422 s. Pkt. 4.) angeschlossen, in deren Schwenkhebelfassung der zu behandelnde ROM bzw. PROM gesteckt wird. Die PPE wurde für 2 Steckverbinder-systeme entwickelt.

<u>Steckverbinder</u>	<u>Steckeinheitentyp</u>
indirekt	078 - 2071
direkt	078 - 2076

Ein spezieller Softwaremodul realisiert das Zusammenwirken zwischen dem MR K 1520 und der PPE K 0420 bzw. der PAE K 0422. Mit Hilfe des Softwaremoduls ist auch ein Duplizieren von PROM U 555 möglich.

## 2.

### Technische Daten

Steckeinheitenabmessungen: 215 mm x 170 mm  
Steckraaster: 20 mm

Steckverbinder: 1 x 58polig, indirekt  
 Bauform 304-58  
 TGL 29331/03 oder  
 1 x 58polig, direkt  
 TGL 29331/01  
 (Systembus K 1520)  
 1 x 26polig, indirekt  
 Bauform 202-26  
 TGL 29331/04

Zubehör: (PAE K 0422) PROM-Aufnahme

Steckverbinder: 1 x 26polig, indirekt  
 Bauform 122-26  
 TGL 29331/04

Adapter mit PROM-Fassung  
 (Schwenkhebelfassung) zum  
 griffseitigen Anschluß an  
 die Steckeinheit PPE K 0420  
 über Kabel mit einer maxima-  
 len Länge von 2,5 m

Einsatzklasse: 5/60/30/95/10-1<sub>E</sub>

Stromversorgung: 5P = 5 V  $\pm$  5 %, typ. 1,1 A  
 12P = 12 V  $\pm$  5 %, typ. 0,2 A  
 5N = 5 V  $\pm$  5 %, typ. 50 mA

### 3.

#### Funktionsbeschreibung

##### 3.1.

#### Adreßdekoder

Zur Ansteuerung der PPE K 0420 werden 3 Ausgabe- und 1 Eingangsadresse des K 1520 benötigt. Die Dekodierung erfolgt durch 3 Schalterkeise SE 05.

Die Adreßbits AB2 bis AB7 sind durch Wickelbrücken oder Mikroschalter auf der PPE frei wählbar, so daß jede mögliche Adressengruppe dekodiert werden kann.

### 3.2.

#### RDY-Generierung

Als Quittung für die ordnungsgemäße Dekodierung der Toradressen durch die PPE wird von der Baugruppe durch ODER-Funktion ein RDY-Signal erzeugt.

### 3.3.

#### Kommandoregister

Ein Schaltkreis SE 12 fungiert als Kommandoregister. Mit einem Ausgabebefehl werden die Daten des Kommandobytes eingeschrieben.

Dabei gilt folgende Zuordnung:

D <sub>0</sub>	Sonderspannung einschalten
D <sub>1</sub>	Umschalten Schreiben/Lesen Aktivieren der Leitung /CS WE des PROM
D <sub>2</sub>	Einschalten Programmierimpuls Aktivieren Time-out-Schaltung
D <sub>3</sub>	Einschalten der Betriebsspannung 5N
D <sub>4</sub>	Einschalten der Betriebsspannungen 12P, 5P
D <sub>5</sub>	beliebig
D <sub>6</sub> , D <sub>7</sub>	AB8, AB9 des PROM

Die Signale D<sub>0</sub> ... D<sub>4</sub> sind aktiv = high.

Das Ein- bzw. Abschalten der Kommandosignale wird über Programm gesteuert. Im Einschaltmoment wird durch RESET das Kommandoregister zurückgesetzt und damit D<sub>0</sub> ... D<sub>7</sub> = low.

### 3.4.

#### Sonderspannungserzeugung

Die Sonderspannung von + 26 V ( Programmierspannung) wird durch einen geregelten Transverter erzeugt. Das Signal eines Oszillators mit einer Frequenz von 40 kHz steuert eine Treiberstufe, deren Ausgangsstrom in eine Kaskadenschaltung eingespeist wird. Über einen Spannungsteiler am Ausgang der Kaskadenschaltung wird die Eingangsspannung für den Komparatorschaltkreis A 110 gewonnen und mit der über einer Z-Diode erzeugten Referenzspannung, die ebenfalls am A 110 als Eingangsspannung anliegt, verglichen. Der Ausgang des Komparators steuert die Treiberstufe der Kaskadenschaltung. Damit wird eine Regelung der Ausgangsspannung erreicht. Das Einstellen der Programmierspannung muß auf  $\pm 0,5$  V genau erfolgen.

### 3.5.

#### Programmierimpulstreiber

Die Leitung D2 des Kommandoregisters steuert die Treiberstufe für den Programmierimpuls. Diese Komplementärstufe gewährleistet das Einschalten der für den Programmierimpuls geforderten Pegel. Es erfolgt ein Formen der Impulsflanken in den vorgegebenen Grenzen ( $t_{PR}$ ,  $t_{PF}$  0,5 ... 2,0  $\mu$ s).

### 3.6.

#### PROM-Adressregister

Die zehn Adressbits ABO bis AB9 des PROM werden über Ausgabebefehle im Register eingetragen und stehen zur Ansteuerung des PROM zur Verfügung. Ein Schaltkreis SE 12 speichert die Adressbits ABO bis AB7. Die Adressbits AB8 und AB9 werden als Bits D6 und D7 des Kommandoregisters geladen.

Das Generieren der aktuellen PROM-Adresse wird durch den Softwaremodul gesteuert (s. Pkt. 1.).

### 3.7.

#### E/A-Datenpuffer

Zwei Register SE 12 dienen als Datenpuffer beim Lesen bzw. Programmieren.

Im Programmierfall werden die Aufzeichnungsdaten mit einem Ausgabebefehl in den Ausgabepuffer übernommen und liegen damit an den Dateneingängen des PROM an.

Die Lesedaten werden mit einem Eingabebefehl über das Eingaberegister übernommen und stehen damit als Eingabedaten am Systembus zur Verfügung.

### 3.8.

#### Time-out-Schaltung

Durch die Time-out-Schaltung wird realisiert, daß der Programmierimpuls nicht länger als 1 ms am PROM anliegt.

Der durch einen Oszillator getaktete Zählerbaustein D 193 wird durch das Kommandobit  $D_2$  freigegeben. Im Betriebsfall wird der Programmierimpuls nach einer Zeit von  $\leq 1$  ms programmgesteuert (s. Pkt. 1.) abgeschaltet.

Erfolgt im Havariefall kein Abschalten, liefert der Zähler nach einer Zeit von  $> 1$  ms ein Rücksetzsignal für das Kommandoregister, wodurch der Programmierimpuls ausgeschaltet wird.

### 3.9.

#### Schnittstelle zur PAE K 0422

Belegung der griffseitigen Steckverbinder (X5)

A		Signalname	B		Signalname
1	12P	V <sub>DD</sub>	A 4	ADr.4	
2	26PP	Prüfpunkt	5 N	V <sub>BB</sub>	
3	A 6	ADr.6	A 5	ADr. 5	
4	A 7	ADr.7	0 8	DAT 8	
5	0 7	DAT 7	A 9	ADr. 9	
6	0 1	DAT 1	A 3	ADr. 3	
7	0 3	DAT 3	0 2	DAT 2	
8	0 6	DAT 6	A 2	ADr. 2	
9	0 5	DAT 5	A 8	ADr. 8	
10	0 4	DAT 6	A 0	ADr. 0	
11	PR		A 1	ADr. 1	
12	PRÜF	Prüfpunkt	CS/WE	Akt./Lesen/ Schreiben	
13	0 0	V <sub>SS</sub>	5 P	V <sub>OC</sub>	

### 4.

#### PAE K 0422

Die PROM-Aufnahme dient zum Anschluß eines zu behandelnden PROM an die Steckeinheit PPE K 0420. Der Anschluß an die PPE erfolgt über einen 20poligen Steckverbinder (s. Pkt. 2).

Innerhalb der PROM-Aufnahme ist das Adapter-Kabel fest angeschlossen. Auf der Oberseite der PAE befindet sich die Schwenkhebelfassung, die den PROM aufnimmt. Eine auf dem Gehäuse aufgedruckte "1" kennzeichnet das Pin1 der Fassung, das dem Pin1 des PROM zugeordnet ist.

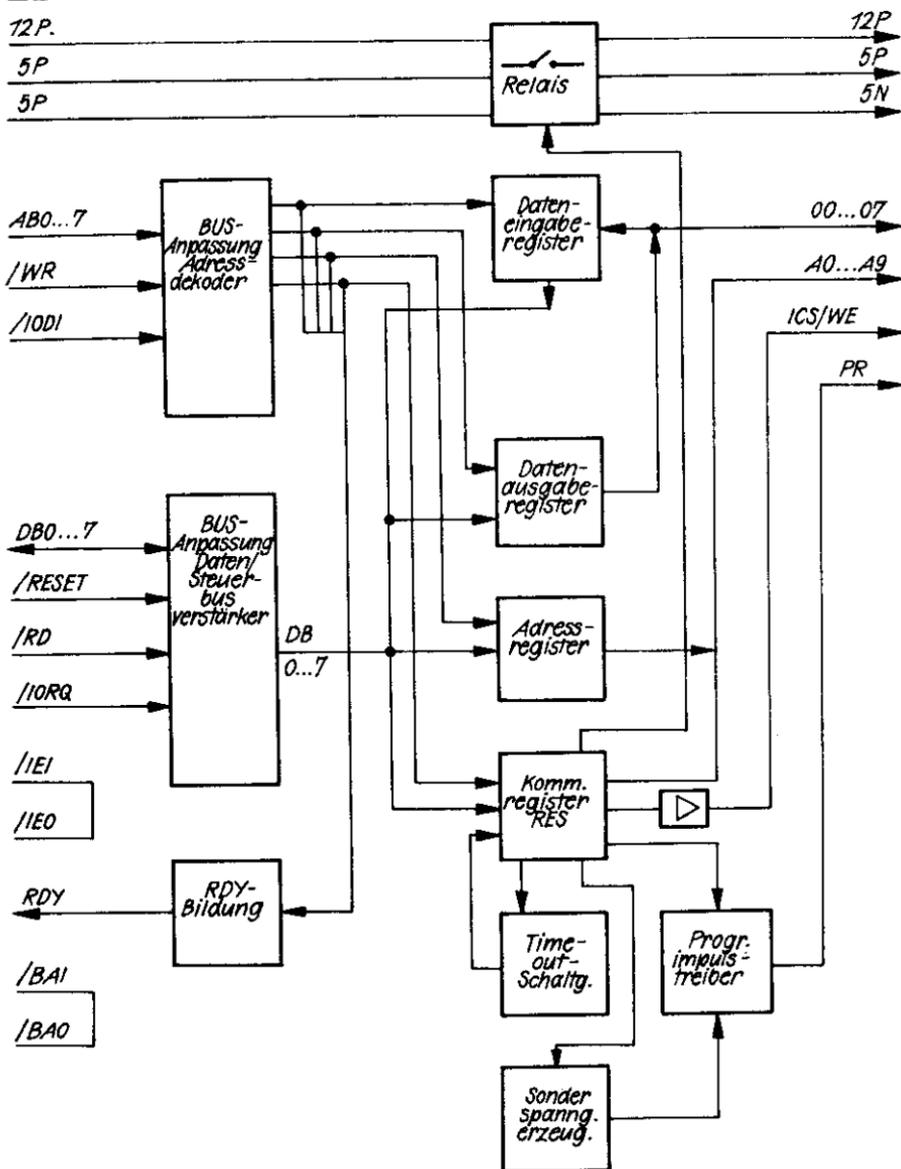


Abb. XVII:1 Blockschaltbild K 0420

XVIII.

Technische Beschreibung

PROM-Lochgerät PLG K 0421

## Inhaltsverzeichnis

	Seite
<u>1. Kurzcharakteristik</u>	XVIII-3
<u>2. Technische Daten</u>	XVIII-3
<u>3. Funktionsbeschreibung</u>	XVIII-4

## 1.

### Kurzcharakteristik

Unter Verwendung des PROM-Löschgerätes können PROM mit Hilfe ultraviolett Lichtes gelöscht werden. Für die Aufnahme der PROM zur Löschung ist ein Einschub vorgesehen. Der Netzanschluß des PLG erfolgt über eine Kaltgeräteschnur. An der Frontseite des Gerätes befindet sich ein Kippschalter, über den der UV-Strahler ein/ausgeschaltet wird.

## 2.

### Technische Daten

Netzanschluß:	220 V $\pm$ 10 % - 15 %, 50 Hz
Leistungsaufnahme:	etwa 25 W
Abmessungen:	235 mm x 95 mm x 170 mm (LxDxH)
UV-Strahler:	HNU 6
typ. Wellenlänge der Strahlung:	254 $\mu$ m
Abstand der PROM zum UV-Strahler:	25 mm
Löschzeit:	wird nach Angaben der PROM-Hersteller festgelegt
Schutzklasse:	1, TGL 21366
Schutzgrad:	IP 20 TGL 15165
Einsatzklasse:	5/40/30/95/100 <sup>1</sup> <sub>B</sub> nach TGL 26465
Betriebsdauer:	Dauerbetrieb

### 3.

#### Funktionsbeschreibung

Nach dem Netzanschluß ist das PLG einsatzbereit. Das Schubfach (an Frontseite des Gerätes) kann mit max. 6 zu löschenden PROM bestückt werden. Das Einschalten des PLG durch Betätigung des ebenfalls an der Frontseite angebrachten Kippschalters. Zwischen Netzanschluß und Kippschalter befindet sich ein Vorschaltgerät LxAU 6. Die beiden Phasen des Netzanschlusses sind über einen Ableitwiderstand verbunden. Die Löszeit ist abhängig vom PROM-Typ und wird vom PROM-Hersteller angegeben.

Verantwortlicher Lektor und  
Gesamtbearbeitung im Auftrag  
der DEWAG Dresden, Zweigbetrieb  
Cottbus: Dr. Lutz-Steffen Tag, Leipzig  
III-18-155 SG 139/56/80