

# robotron

## Geräte der Dezentralen Datentechnik

### Bausteinübersicht

### Heft 1

## 5. Auflage Karl-Marx-Stadt 1988

Diese Übersicht über bipolare, unipolare und analoge Bausteine für ausgewählte Geräte der DDT ist als Reparaturhilfe für den ausgebildeten Service-Techniker oder Ingenieur gedacht und ist Bestandteil der Dokumentation für den Service.  
Die zu den Bauelementen gemachten Angaben erheben keinen Anspruch auf Vollständigkeit.

### Funktionssymbole

1	ODER
&	UND
T	Trigger
TT	Trigger, zweistufig
RG	Register
RG ←	Register mit Linksverschiebung
RG →	Register mit Rechtsverschiebung
RG ↔	Register mit Verschiebung nach beiden Seiten
DC	Dekodierer
CD	Kodierer
CT	Zähler
CT 2	Zähler, dual
CT 10	Zähler, dezimal
S	Monostabiler Multivibrator
//	Schmitt-Trigger
▷	Verstärker
▷▷	Leistungsverstärker
=1	Exklusiv-ODER (Antivalenz)
SM	Adder

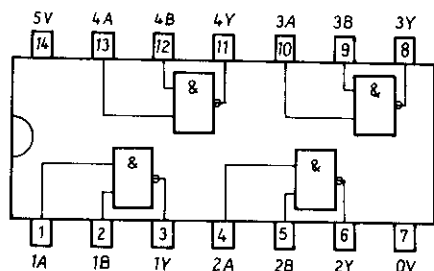
Inhaltsübersicht

ESER	DDR-Typ	SU-Typ	RGW-Typ	NSW-Typ	Seite
T 100	D 100	K 155 LA 3	MH 7400	SN 7400 N	3
T 102		K 155 LE 1	TL 7402 PC	SN 7402	55
		K 155 LE 1	UCY 7402	SN 7402	55
T 103	D 103		MH 7403	SN 7403 N	3
T 104	D 104	K 155 LN 1	MH 7404	SN 7404 N	3
T 106		K 155 LN 3	TL 7406	SN 7406 N	3
T 107			UCY 7407 N	SN 7407	51
T 108	D 108	K 155 LI 1		SN 7408 N	3
T 110	D 110	K 155 LA 4		SN 7410 N	4
T 113		K 155 TL 1		SN 7413 N	4
		K 555 LS 14		SN 74 LS 14 N	6
T 120	D 120	K 155 LA 1	MH 7420	SN 7420 N	4
T 126	D 126	K 155 LA 11		SN 7426 N	3
T 127				SN 7427	48
T 130	D 130	K 155 LA 2	MH 7430	SN 7430 N	5
T 138		K 155 LA 13	MH 7438	SN 7438 N	3
T 140	D 140	K 155 LA 6	MH 7440	SN 7440 N	4
T 150	D 150	K 155 LR 1	MH 7450	SN 7450 N	5
		K 155 LR 3		SN 7454	43
T 151	D 151		UCY 7451	SN 7451 N	5
T 172	D 172	K 155 TV 1		SN 7472 N	5
T 174	D 174	K 155 TM 2	MH 7474	SN 7474 N	6
T 183		K 155 IM 3	UCY 7483	SN 7483 N	6 - 7
T 185			UCY 7485 N	SN 7485	49
T 186		K 155 LP 5	UCY 7486	SN 7486 N	7
T 195	D 195	K 155 IR 1	TL 7495	SN 7495 N	8 - 9
T 200	D 200			SN 74 H 00	3
T 201	D 201			SN 74 H 01	3
T 204	D 204			SN 74 H 04	3
T 210	D 210			SN 74 H 10	4
T 220	D 220			SN 74 H 20	4
T 230	D 230			SN 74 H 30	5
	DS 8286				54 - 55
T 274	D 274			SN 74 H 40	6
	DL 295			SN 74 LS 295	89 - 90
T 400		K 158 LA 3		SN 74 L 00	3
T 820				N 8 T 20 B	9
M 91 A	D 191			SN 7491 A	8
M 121	D 121	K 155 AG 1	UCY 74121	SN 74121	9
M 123		K 155 AG 3	TL 74123	SN 74123	10
M 151		K 155 KP 7	MH 74151	SN 74151	11
M 155		K 155 ID 4		SN 74155 N	13
M 180		K 155 IP 2		SN 74180	45 - 46
M 192	D 192	K 155 IE 6	MH 74192	SN 74192 N	14
M 193	D 193	K 155 IE 7	MH 74193	SN 74193 N	14
		K 155 ID 3		SN 74154 N	12
		K 537 RU 1 A			42 - 43

ESER	DDR-Typ	SU-Typ	RGW-Typ	NSW-Typ	Seite
		K 565 RU 3 G			44 - 45
		KM 537 RU 1			51
		KM 573 RF 2		i 2716	91 - 92
U 205	DS 8205 D		MH 3205	i 8205	15
U 212	DS 8212 D	K 589 IK 12	MH 3212	i 8212	16 - 17
U 214					93 - 94
U 216	DS 8216 D	K 589 IK 16	MH 3216	i 8216	17 - 18
	DS 8282 D			i 8282	86 - 87
	DS 8283 D			i 8283	86 - 87
	DS 8287 D			i 8287	87 - 89
	DS 8286			i 8286	87 - 89
P 107			TA 75107	SN 75107	18 - 19
P 150			TA 75150	SN 75150	19
P 154			TA 75154	SN 75154	19 - 20
P 361	D 461			SN 75361 A	20
P 450		K 155 LP 7		SN 75450 N	20
X07B		K 565 RU 1 A		C 2107 B	27
X2A4	U 202	K 565 RU 2 A		P 2104 A-4	26 - 27
	U 551				56
Y 708	U 555 C			C 2708	29
	U 855				34 - 37
	U 856				39 - 42
	U 857				37 - 39
	U 880				30 - 34
	A 109			uA 709	21
	A 110			uA 710	21
	A 210 K				22
	A 211 D				21
	A 244 D				22
	A 301 D				23
	A 302 D				20
	B 260			TDA 1060	23 - 24
	B 340 D				57
	B 555			NE 555	47
	B 611				53
	B 621				53
	B 621 D				52
	B 761 D				52
	B 861 D				52
	B 2761 D				52
	MB 101				26
	MB 104			CNY 17	26
			A 1339	LM 339 N	44
			A 3470	MC 3470	48
			MA 7805		50
			MAA 436		85
			MAA 723	uA 723	24
			MAA 741	SN 72741	25
				i 8257 DMA	58 - 68
				i 8272 FDC	69 - 84
				SN 72733	25
				SN 74132	18
				S 6508	28

D 100	T 100
D 200 (schnell)	T 200
D 201 (schnell, offener Kollektor)	T 201
D 103 (offener Kollektor)	T 103
D 126 (offener Kollektor 15 V, 50 uA)	T 126
SN 7438 (offener Kollektor, Leistungsgatter)	T 138
K 158 LA 3 (Low Power)	T 400

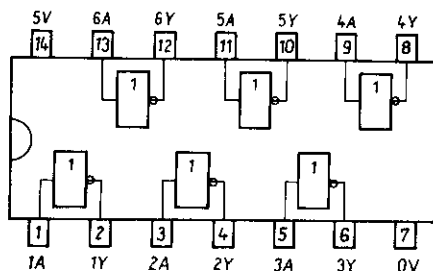
Zwei-Eingangs-NAND, vierfach



$$Y = \overline{AB}$$

D 104	T 104
D 204 (schnell)	T 204
SN 7406 (offener Kollektor)	T 106

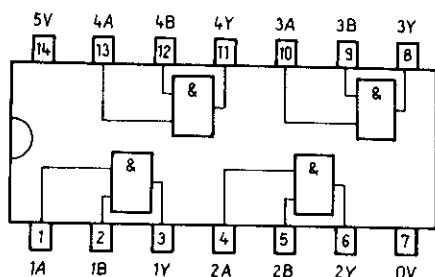
Inverter (sechsfach)



$$Y = \overline{A}$$

D 108	T 108
-------	-------

Zwei-Eingangs-AND, vierfach

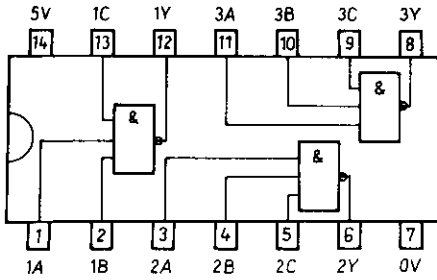


$$Y = AB$$

D 110  
D 210

T 110  
T 210

Drei-Eingangs-NAND, dreifach



$$Y = \overline{ABC}$$

D 120

T 120

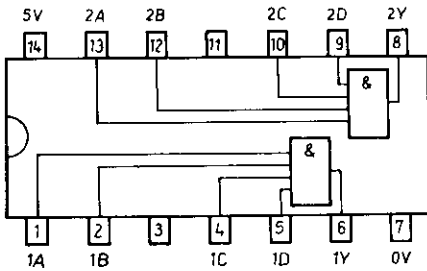
D 220 (schnell)

T 220

D 140 (Leistungsgatter, N = 30)

T 140

Vier-Eingangs-NAND, zweifach

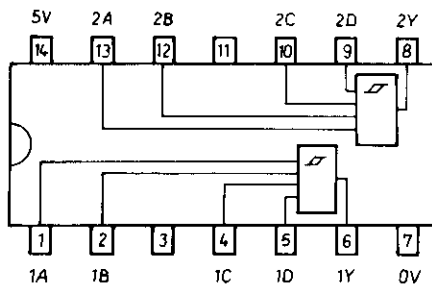


$$Y = \overline{ABCD}$$

SN 7413

T 113

Vier-Eingangs-NAND-Schmitt-Trigger, zweifach

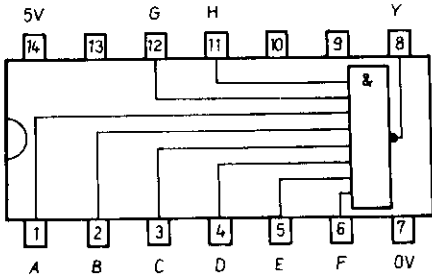


$$Y = \overline{ABCD}$$

D 130  
D 230 (schnell)

T 130  
T 230

Acht-Eingangs-NAND

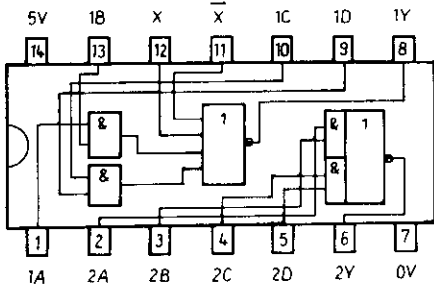


$$Y = \overline{ABCDEFGG}$$

D 150  
D 151 (X und  $\bar{X}$  dürfen nicht benutzt werden)

T 150  
T 151

2 x 2-Eingangs-AND-NOR-Gatter, zweifach, ein Gatter erweiterbar durch X und  $\bar{X}$



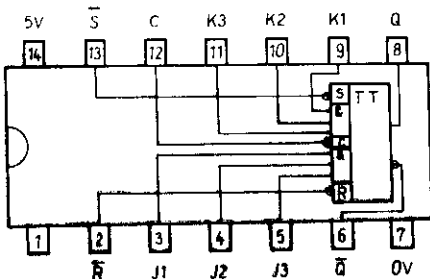
Beide Expandereingänge X und  $\bar{X}$  werden gleichzeitig bei Erweiterung mit D 160 verwendet. An X und  $\bar{X}$  können bis zu 4 Ausgänge von dem D 160 angeschlossen werden. Wird kein Expander verwendet, bleiben X und  $\bar{X}$  offen.

$$Y = \overline{(AB) \vee (CD) \vee X}$$

D 172

T 172

JK-Master-Slave-Flip-Flop



J	K	$Q_{n+1}$
L	L	$Q_n$
L	H	L
H	L	H
H	H	$\bar{Q}_n$

$Q_n$  - Zustand vor Taktimpuls  
 $Q_{n+1}$  - Zustand nach Taktimpuls

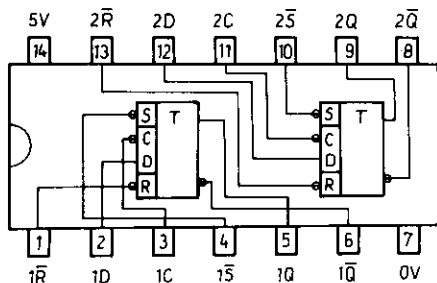
J = J1, J2, J3  
K = K1, K2, K3  
 $\bar{R}$  und  $\bar{S}$  taktunabhängig

$\bar{S} = L$  setzt  $Q = H$   
 $\bar{R} = L$  setzt  $Q = L$

D 174  
D 274 (schnell)

T 174  
T 274

D-Flip-Flop, zweifach



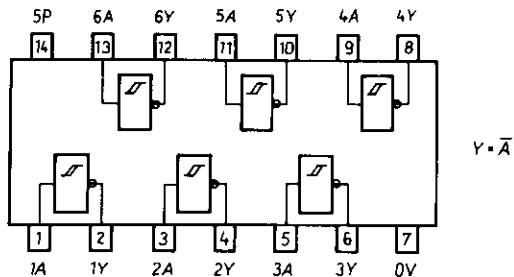
D	$Q_{n+1}$
L	L
H	H

$Q_{n+1}$  - Zustand nach Taktimpuls

$\bar{R}$  und  $\bar{S}$  taktunabhängig  
 $\bar{S} = L$  setzt  $Q = H$   
 $\bar{R} = L$  setzt  $Q = L$

K 555 LS 14 (SN 74 LS 14 N)

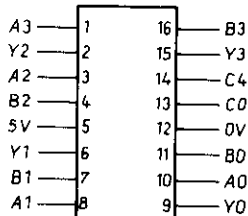
Invertierender Schmitt-Trigger in LS-TTL-Technik, sechsfach



K 155 IM 3

T 183

4-Bit-Volladder mit Übertrag



A0 ... A3: Eingangsbit Summand A  
 B0 ... B3: Eingangsbit Summand B  
 Y0 ... Y3: Summenausgänge  
 C0: Übertragseingang  
 C4: Übertragsausgang  
 A0, A1, B0, B1, C0 führen zu Y0, Y1 und C2  
 A2, A3, B2, B3, C2 führen zu Y2, Y3 und C4  
 C2: interner Übertrag (Halb-Byte)

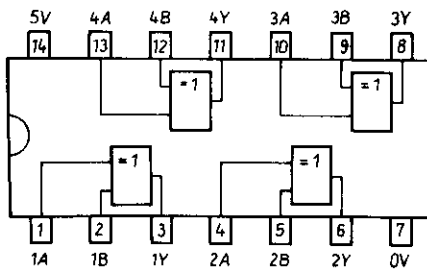


Eingang				Ausgang					
				CO = L			CO = H		
				C2 = L			C2 = H		
A0	B0	A1	B1	Y0	Y1	C2	Y0	Y1	C2
A2	B2	A3	B3	Y2	Y3	C4	Y2	Y3	C4
L	L	L	L	L	L	L	H	L	L
H	L	L	L	H	L	L	L	H	L
L	H	L	L	H	L	L	L	H	L
H	H	L	L	L	H	L	H	H	L
L	L	H	L	L	H	L	H	H	L
H	L	H	L	H	H	L	L	L	H
L	H	H	L	H	H	L	L	L	H
H	H	H	L	L	L	H	H	L	H
L	L	L	H	L	H	L	H	H	L
H	L	L	H	H	H	L	L	L	H
L	H	L	H	H	H	L	L	L	H
H	H	L	H	L	L	H	H	L	H
L	L	H	H	L	L	H	H	L	H
H	L	H	H	H	L	H	L	H	H
L	H	H	H	H	L	H	L	H	H
H	H	H	H	L	H	H	H	H	H

SN 7486

T 186

Zwei-Eingangs-Exklusiv-ODER, vierfach



A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

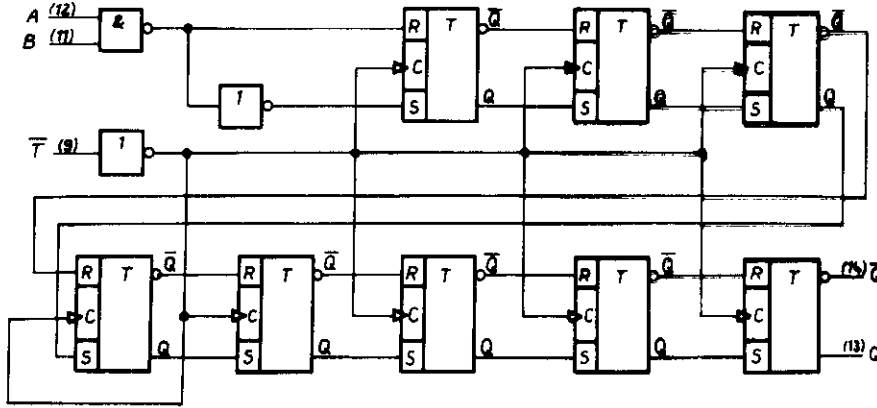
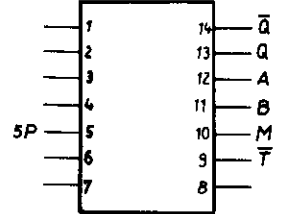
8-Bit-Schieberegister

Funktionstabelle (synchron)

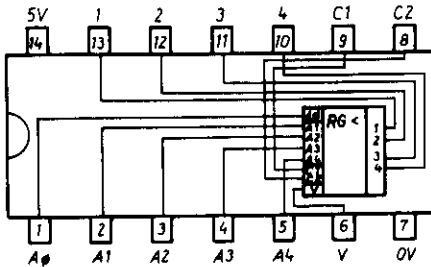
$t_n$		$t_{n+8}$	
A	B	Q	$\bar{Q}$
L	L	L	H
L	H	L	H
H	L	L	H
H	H	H	L

$t_n$  : Bit - Zeit vor dem Taktimpuls  
 $t_{n+8}$  : Bit - Zeit nach dem Taktimpuls

A, B : Dateneingänge  
 M : Masse  
 $\bar{T}$  : invertierter Takteingang  
 $\bar{Q}, Q$  : Standardausgänge



4-Bit-Schieberegister



- C1 - Schiebetakt (serielles Rechts-schieben)
- C2 - parallele Übernahme oder serielles Linksschieben
- V - Steuereingang
- A0 - serieller Dateneingang
- A1 bis A4 - paralleler Dateneingang
- 1 bis 4 - paralleler Datenausgang

- serielle Dateneingabe, Rechtsschieben:

V = L, Takt an C1, A0 = Dateneingang, A1, A2, A3, A4, C2 unwirksam

- parallele Dateneingabe:

V = H, Takt an C2; A1, A2, A3, A4 sind Dateneingänge, A0 = C1 = L

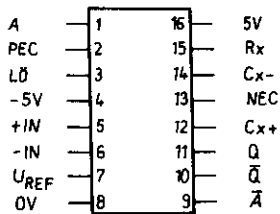
- serielle Dateneingabe, Linksschieben:

4 mit A3, 3 mit A2, 2 mit A1 extern verbunden, A4 = Dateneingang, Takt an C2, V = H

N 8 T 20

T 820

Monostabiler Multivibrator mit Differenz-Eingängen



Er besteht aus einem schnellen Vergleicher, einem digitalen Steuerkreis und einem monostabilen Multivibrator.

+IN, -IN - Eingänge

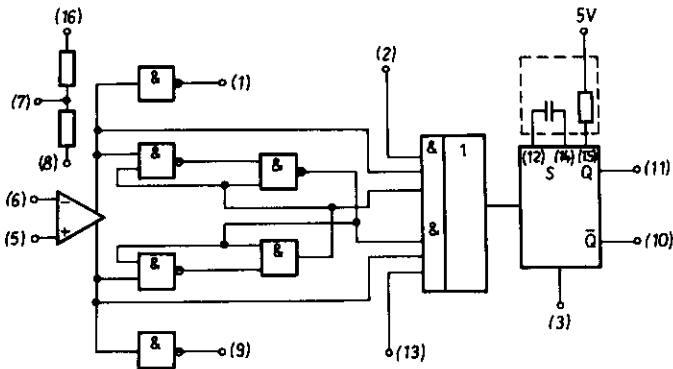
Q, Q̄ - Ausgänge

PEC, NEC - positive bzw. negative Flankensteuerung

LÖ - Löschen

Rx - externer Widerstand

Cx - externer Kondensator

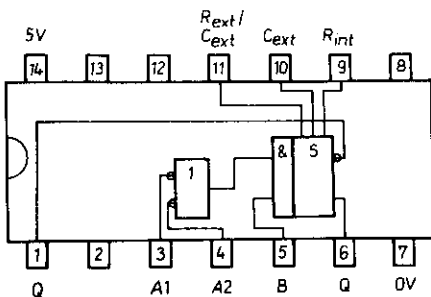


D 121

M 121

SN 74121

Monostabiler Multivibrator

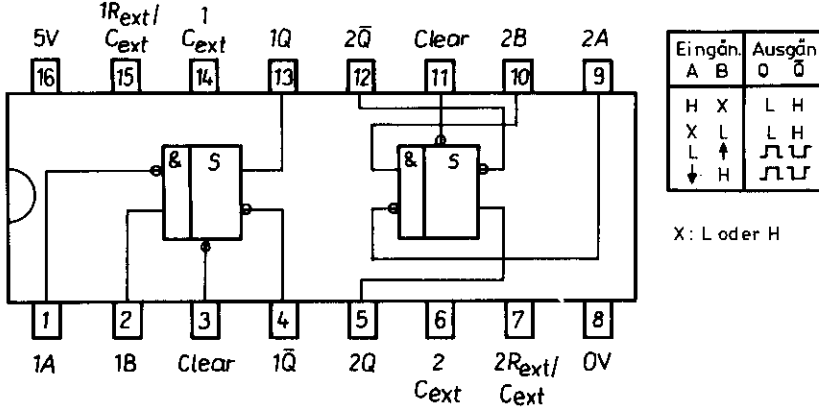


Eingänge			Ausgänge	
A1	A2	B	Q	Q̄
L	X	H	L	H
X	L	H	L	H
X	X	L	L	H
H	H	X	L	H
H	↑	H	⌋	⌋
↑	H	H	⌋	⌋
L	X	↑	⌋	⌋
X	L	↑	⌋	⌋

X: L oder H

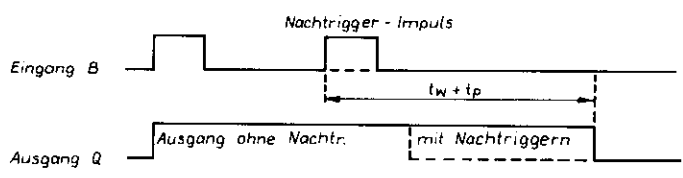
Das Zeitverhalten des Bausteins wird entweder intern (Verbindung von Pin 9 mit Pin 14) oder extern durch Anschluß eines Kondensators zwischen Pin 10 und 11 bzw. eines Widerstandes zwischen Pin 11 oder Pin 9 und 5 V bestimmt.

Monostabiler Multivibrator, zweifach, mit Rückstelleingang, nachtriggerbar

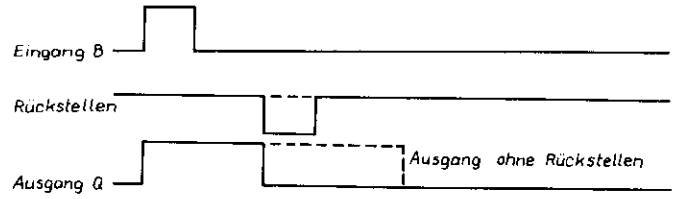


Zwischen Cext und Rext/Cext kann ein extern Kondensator angeschlossen werden, wodurch die Länge der Ausgangs-Impulse an Q und Q̄ beeinflusst werden kann.

Typische Ein- und Ausgangs-Impulse des M 123



Steuerung des Ausgangs-Impulses durch den Nachtrigger-Impuls  
 tw - normale Wartezeit  
 tp - zusätzliche Haltezeit beim Nachtriggern

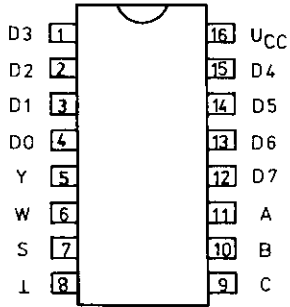


Steuerung des Ausgangs-Impulses durch den Rückstell-Impuls

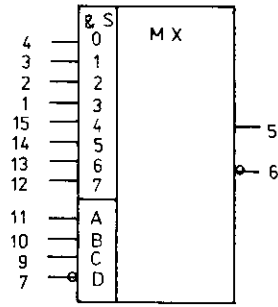
Durch Nachtriggern des Eingangs bevor der Ausgangs-Impuls beendet ist, kann der Ausgangs-Impuls beliebig verlängert werden. Das übergeordnete Rückstellen gestattet es, jeden Ausgangs-Impuls zu einem beliebigen Zeitpunkt zu beenden, unabhängig von den Zeitkomponenten R und C.

8-Bit Datenselektor / Multiplexer

Anschlußbild

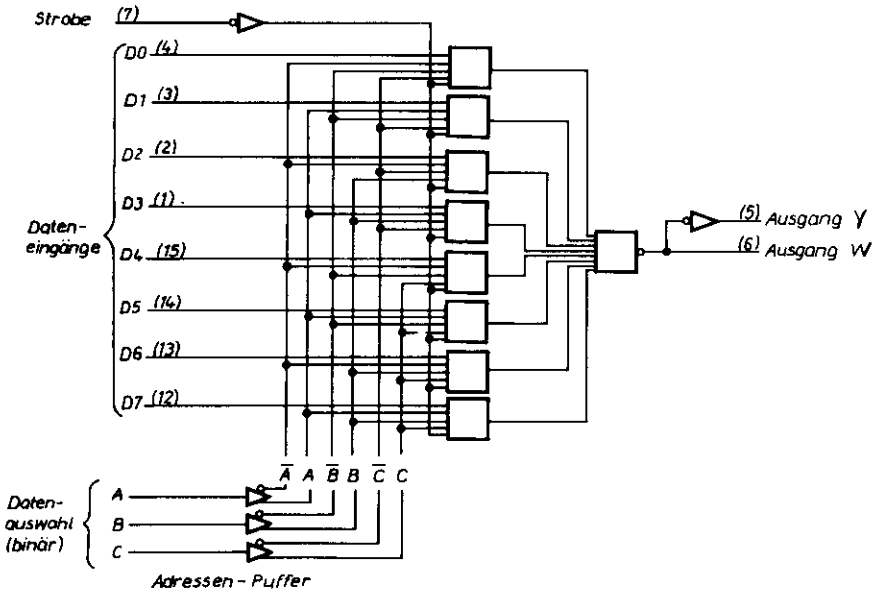


Schaltzeichen



Logisches Verhalten

Eingänge											Ausg.		
C	B	A	S	D <sub>0</sub>	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>	D <sub>4</sub>	D <sub>5</sub>	D <sub>6</sub>	D <sub>7</sub>	Y	W
L	L	L	L	L								L	H
L	L	L	L	H								H	L
L	L	H	L	L	L							L	H
L	L	H	L	L	H							H	L
L	H	L	L	L		L						L	H
L	H	L	L	L		H						H	L
L	H	H	L	L		L						L	H
H	L	L	L	L			L					L	H
H	L	L	L	L			H					H	L
H	L	H	L	L			L					L	H
H	L	H	L	L			H					H	L
H	H	L	L	L				L				L	H
H	H	L	L	L				H				H	L
H	H	H	L	L					L			L	H
H	H	H	L	L					H			H	L

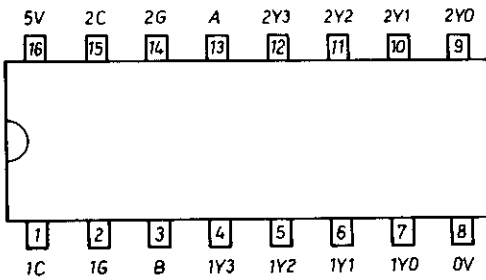


Betriebsspannung  $U_{CC}$  max + 7 V  
 Eingangsspannung  $U_I$  max + 5,5 V  
 Empfohlene Betriebsspannung  $U_{CC}$  4,75 ... 5,25 V  
 Verlustleistung P 145 mW



Zwei-Bit-Binärdekoder / Demultiplexer, zweifach

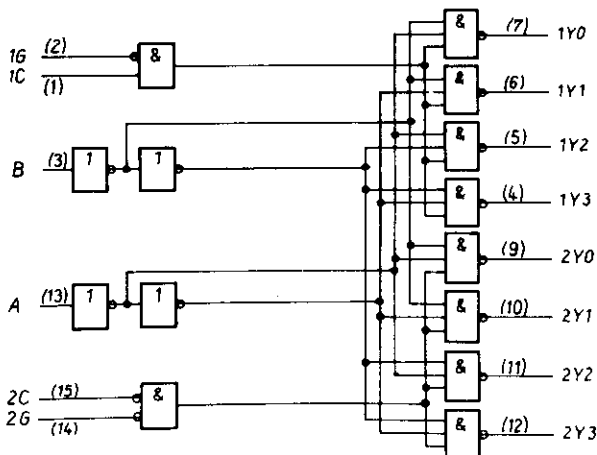
Wir verwenden ihn als 1-aus-8-Dekoder, wobei 1C und 2C sowie 1G und 2G verbunden werden müssen.



1G, 2G: Strobe  
 1C, 2C: Daten  
 A, B: Selekt

Eingänge				Ausgänge							
C	B	A	G	2Y0	2Y1	2Y2	2Y3	1Y0	1Y1	1Y2	1Y3
x	x	x	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H
L	H	L	L	H	H	L	H	H	H	H	H
L	H	H	L	H	H	H	L	H	H	H	H
H	L	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	L	H	H
H	H	L	L	H	H	H	H	H	H	L	H
H	H	H	L	H	H	H	H	H	H	H	L

Aufbau des SN 74155:

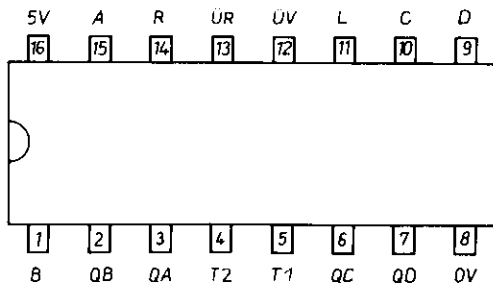


D 192 (dezimal)  
 D 193 (binär)

M 192  
 M 193

Synchroner Vor- und Rückwärtszähler

Der D 192 und der D 193 unterscheiden sich nur in ihrem Zählumfang.  
 - D 192 zählt bis 9; 10 entspricht 0 mit Übertrag.  
 - D 193 zählt bis 15; 16 entspricht 0 mit Übertrag.



- A, B, C, D - Daten-Eingänge
- T1 - Takt für Zählen vorwärts
- T2 - Takt für Zählen rückwärts
- L - Ladeeingang
- R - Rückstelleingang
- UV - Übertrag vorwärts
- UR - Übertrag rückwärts
- QA bis QD - Zählerausgänge

Ablaufdiagramm D 192:

Zählerschrittfolge des D 192:

Folgende Funktionsabläufe sind dargestellt:

1. Rückstellen auf 0
2. Stellen des Anfangszustandes auf 7
3. Vorwärtszählen auf 8, 9, 0 mit Übertrag, 1, 2
4. Rückwärtszählen auf 1, 0, 9 mit Übertrag, 9, 8, 7.

	QA	QB	QC	QD
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

Rückstellen

Laden

Daten-Eingänge

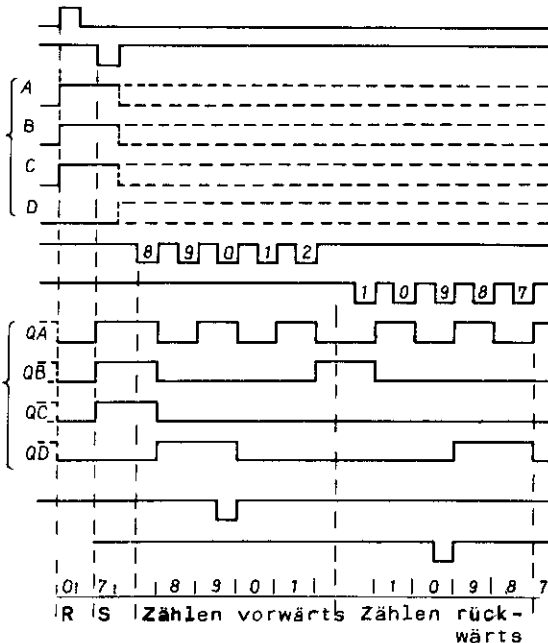
Zählen vorwärts

Zählen rückwärts

Daten-Ausgänge

Übertrag vorwärts

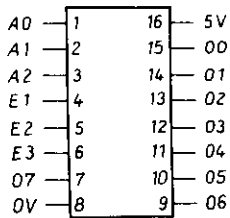
Übertrag rückwärts





Schneller 1-aus-8-Dekoder in Schottky-TTL-Technik

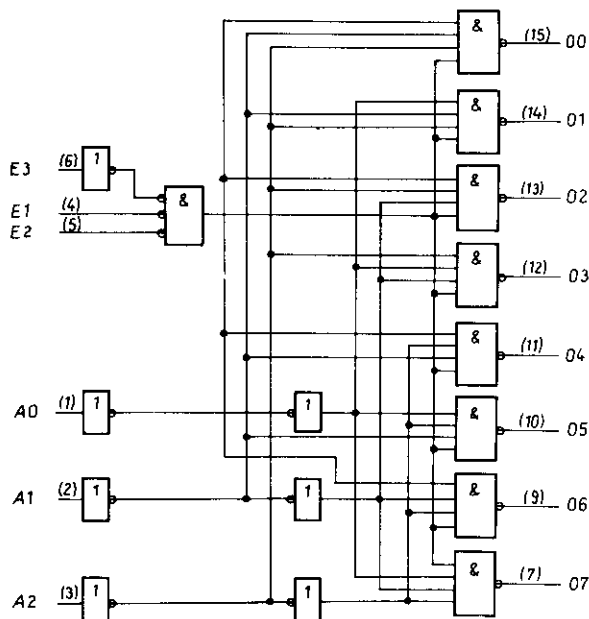
Verwendung: Ein- / Ausgabetauswahlschaltkreis oder Speicherauswahlschaltkreis



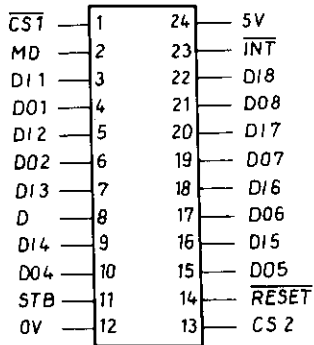
Adresse			Enable			Ausgänge							
A0	A1	A2	E1	E2	E3	0	1	2	3	4	5	6	7
L	L	L	L	L	H	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
L	H	L	L	L	H	H	H	L	H	H	H	H	H
H	H	L	L	L	H	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
H	L	H	L	L	H	H	H	H	H	H	L	H	H
L	H	H	L	L	H	H	H	H	H	H	H	L	H
H	H	H	L	L	H	H	H	H	H	H	H	H	L

A0, A1, A2 - Adresseneingänge      Bei E1 = L, E2 = L, E3 = H ist der Schaltkreis ausgewählt.  
 E1, E2, E3 - Bausteinauswahl      Davon abweichende Belegungen bewirken unabhängig von den  
 00 bis 07 - Ausgänge              Adreßeingängen einen H-Pegel an allen Ausgängen.

Aufbau des 8205:



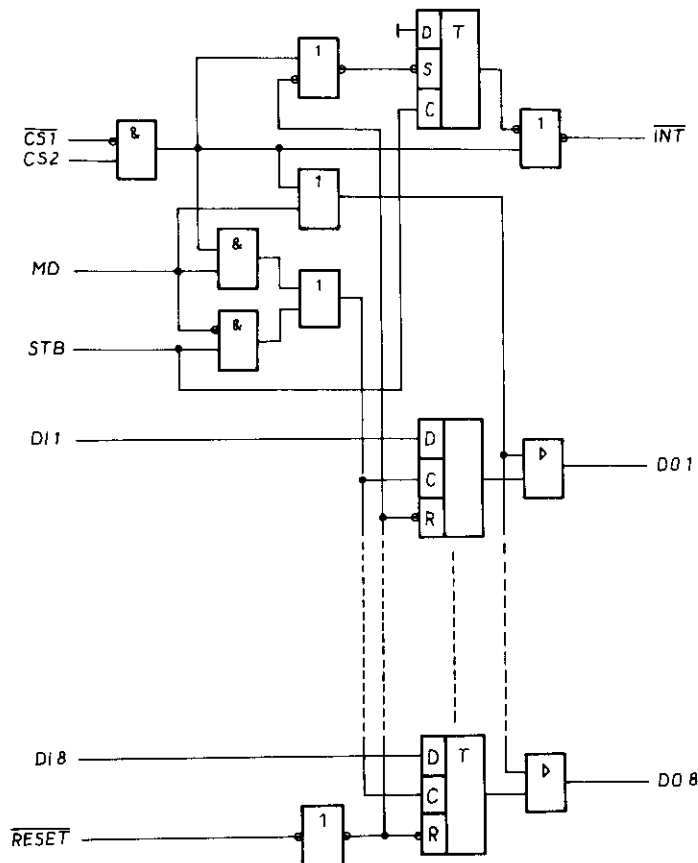
Paralleles 8-Bit-Ein- und Ausgaberegister



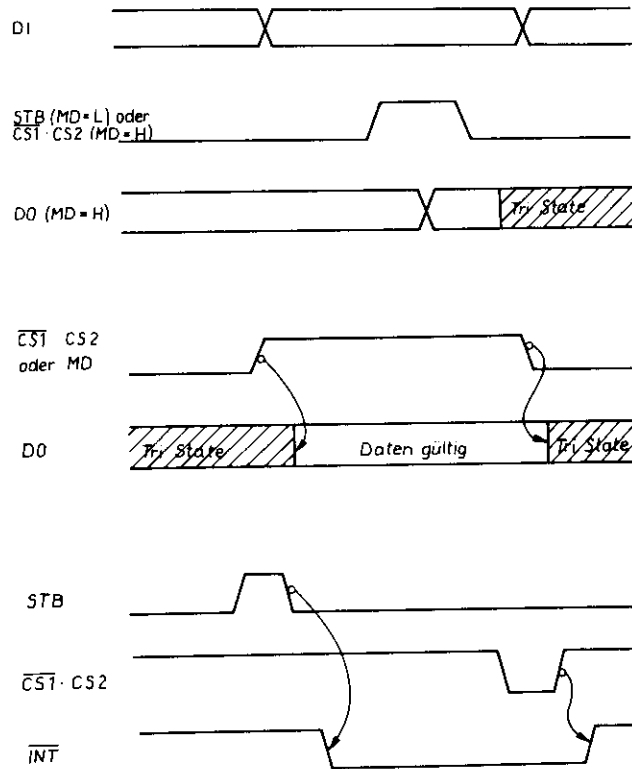
DI 1 bis DI 8: Dateneingänge  
 DO 1 bis DO 8: Datenausgänge  
 $\overline{CS1}$ , CS 2: Bausteinauswahl  
 MD: Betriebsart  
 $\overline{INT}$ : Interruptausgang  
 $\overline{RESET}$ : Rückstelleingang

- Interne Schaltung zur Interrupterzeugung
- Tri-State-Ausgänge
- Rücksetzen der Register erfolgt unabhängig vom Takt

Aufbau des 8212:



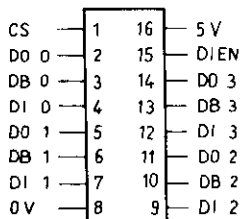
Ausgewählte Impulsbilder des 8212:



DS 8216

U 216

4-Bit-bidirektionaler Bustreiber



DB 0 bis DB 3: Bidirektionaler Datenbus

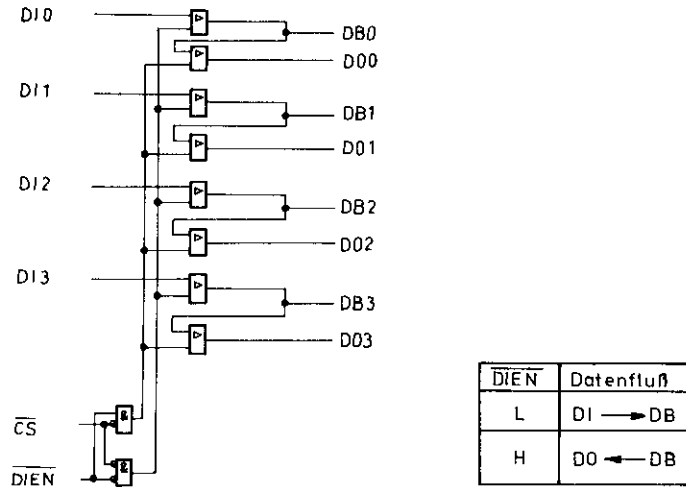
DI 0 bis DI 3: Dateneingänge

DO 0 bis DO 3: Datenausgänge

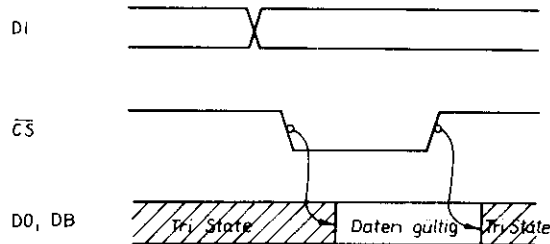
**DIEN:** Steuerung der Datenflußrichtung

**CS:** Bausteinauswahl

Aufbau:

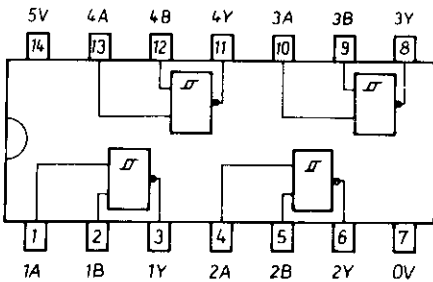


Impulsbilder des 8216:



SN 74132

Zwei-Eingangs-NAND-Schmitt-Trigger, vierfach



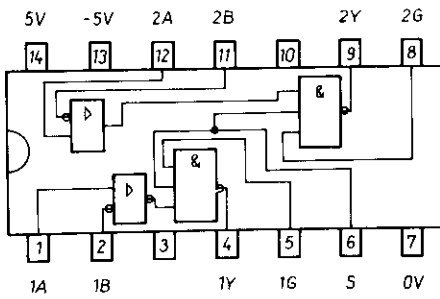
$$Y = \overline{AB}$$

SN 75107

P 107

Leitungsempfänger und -treiber, zweifach

- Für die Aufnahme und Verarbeitung von Signalen mit niedrigem Pegel
- Standard TTL-Ausgänge
- Individuelle (Strobe 1G bzw. 2G) und gemeinsame (Strobe S) Steuereingänge.

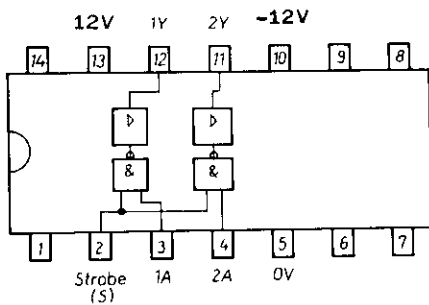


A, B Differenzeingänge	G	S	Ausgang Y	
$U_{diff} + 10 \text{ mV}$	H	H	H	
$- 10 \text{ mV}$	$U_{diff} + 10 \text{ mV}$	H	H	unbestimmt
$U_{diff} - 10 \text{ mV}$		H	H	L

SN 75150

P 150

Leitungstreiber der V-24-Schnittstelle (DFÜ) für die Ausgabedaten, zweifach



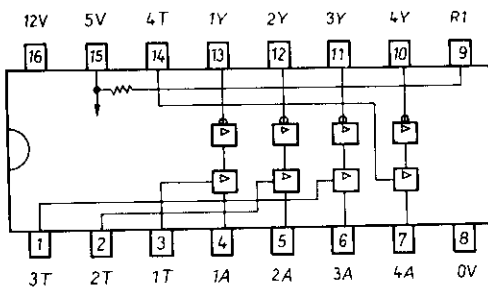
Bei Verwendung des 8-Pin-Gehäuses ist der veränderte Anschluß zu beachten (S = 1, ..., 5 V = 8)

$$Y = \overline{AS}$$

SN 75154

P 154

Leitungsempfänger der V-24-Schnittstelle (DFÜ) für die Eingangsdaten, vierfach

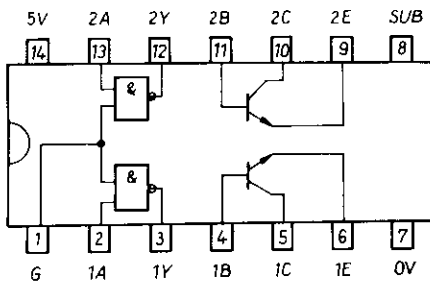


Bei der Verwendung der Steuerleitungen 1T ... 4T werden diese mit 5 V verbunden. Damit wird erreicht, daß der Ausgang seinen Pegelzustand behält, auch wenn die Eingangsspannung (Signal) auf 0 V zurückgeht. Diese muß die 0 V erst um mindestens 3 V über- bzw. unterschreiten, um am Ausgang den anderen Pegelzustand zu erzeugen.

SN 75450

P 450

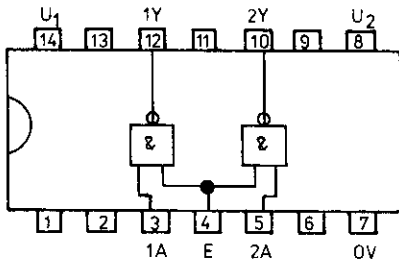
Lampen-Relais-Treiber, zweifach



Y =  $\overline{AG}$  (nur Gate)  
C = AG (Gate und Transistor)

P 361

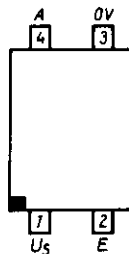
TTL-MOS-Pegelwandler



A : Eingang  
Y : Ausgang  
E : Steuereingang  
U<sub>1</sub> : 5V  
U<sub>2</sub> : 12V

A 302 (A902)

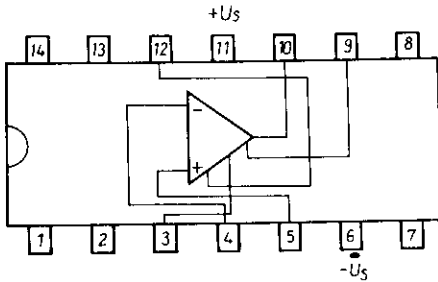
Schwellwertschalter (Trigger)



A : Ausgang  
E : Eingang

A 109

### Operationsverstärker

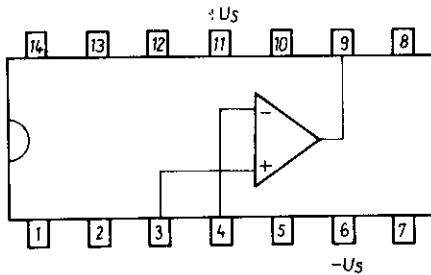


- 3: Eingangsfrequenzkompensation
- 4: invertierender Eingang
- 5: nichtinvertierender Eingang
- 6: negative Betriebsspannung
- 9: Ausgangsfrequenzkompensation
- 10: Ausgang
- 11: positive Betriebsspannung
- 12: Eingangsfrequenzkompensation

A 110

### Komparator

Universell einsetzbarer Vergleichers-Baustein mit TTL-kompatiblem Ausgang

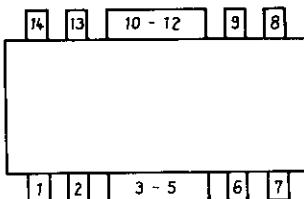


- 2: 0 V
- 3: nichtinvertierender Eingang
- 4: invertierender Eingang
- 6: negative Betriebsspannung
- 9: Ausgang
- 11: positive Betriebsspannung

A 211 D

### 1-W-NF-Verstärker

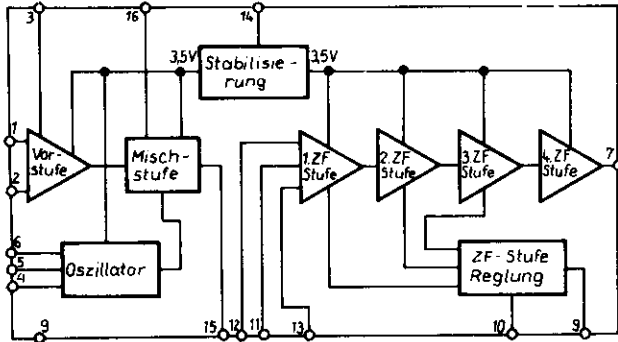
- Er ist für den Einsatz in akustischen Geräten vorgesehen.
- Wir verwenden ihn als Spannungswandler von + 12 V in - 9 V.



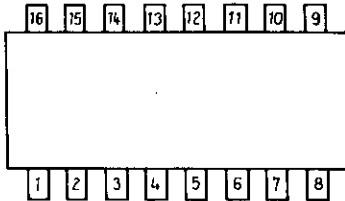
- 1: Bootstrap
- 2: Betriebsspannung
- 3-5: Masse
- 6: Ausgang
- 7: Masse
- 8: Eingang
- 9: Gegenkopplung
- 10-12: Masse
- 13,14: Frequenzkompensation

AM-Empfängerschaltung

Die integrierte AM-Empfängerschaltung für Empfänger bis 30 MHz enthält neben Vor-, Misch- und Oszillatorstufe einen vierstufigen ZF-Verstärker und zwei unabhängige Regelkreise. Neben der Regelung von drei Stufen des ZF-Verstärkers wird die Vorstufe geregelt, wodurch eine sehr gute Großsignalfestigkeit erreicht wird. Wir verwenden ihn als Leseeingangsverstärker.

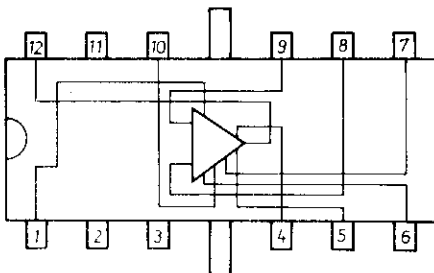


- 1,2: Eingangskreis
- 3: Eingang HF-Regelung
- 4,5,6: Oszillatorkreis
- 7: ZF-Ausgang
- 8: Masse
- 9: Eingang ZF-Regelung
- 10: Ausgang Indikator
- 11,12: ZF-Eingänge
- 13: Anschluß C
- 14: Betriebsspannung
- 15,16: Mischerausgänge



6-W-NF-Leistungsverstärker

Besitzt thermische Begrenzungsschaltung im Betriebsspannungsbereich von 4 ... 20 V.

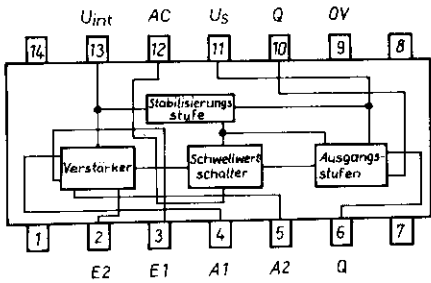


- 4: Bootstrap
- 5: Frequenzkompensation
- 6: Gegenkopplung
- 7: Entkopplung
- 8: Eingang
- 9: 0 V (Vorstufe)
- 10: 0 V (Endstufe)
- 12: Ausgang

Die vier vertikalen Anschlüsse dienen als Aufnahme für einen Kühlkörper.



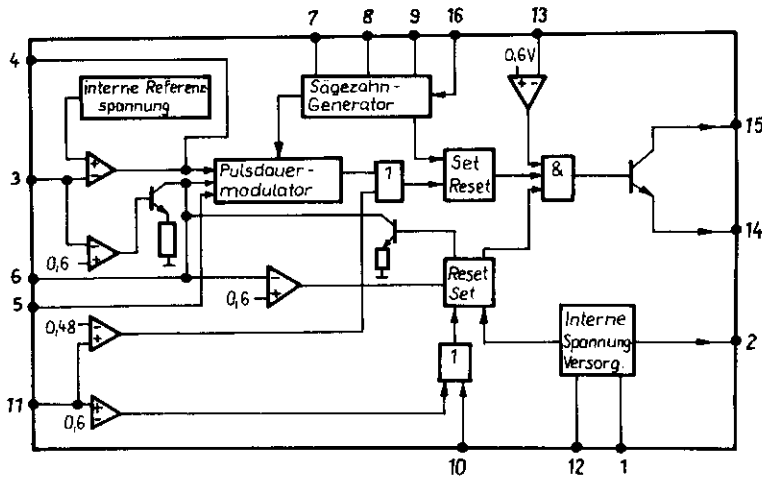
Initiatorschaltung



- E1: Eingang
- A1, A2: Schaltkreisinterne Ausgänge; sie dienen zur äußeren Beschaltung, um die verschiedenen Funktionen des Schaltkreises zu realisieren.
- E2, AC: Schaltkreisinterner Eingang, Anschluß C; dienen als Eingänge ähnlichen Zwecken wie A1 und A2.
- $U_{int}$ : intern erzeugte stabilisierte Spannung (2,9 V)
- $U_s$ : Betriebsspannung (4,75 bis 27 V)
- $Q, \bar{Q}$ : Ausgänge

Reglerschaltkreis

Er dient zur Steuerung des Schalttransistors in geregelten Schaltnetzteilen.

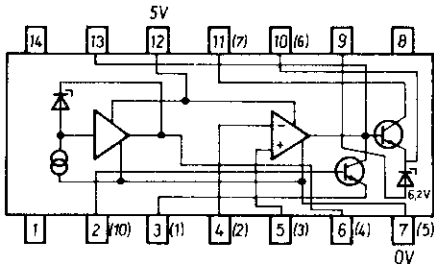


Vereinfachtes Blockschaltbild

- 1: Betriebsspannung 10,5 V ... 18 V
- 2: Intern erzeugte Referenzspannung  $U_z = 8,5 V$
- 3: Steuerspannung
- 4: Verstärkungseinstellung
- 5: Konstantstromverhalten
- 6: Einstellung des maximalen Tastverhältnisses  $V_T \text{ max}$
- 7,8: Frequenzeinstellung mittels externer R und C
- 9: Synchronisation
- 10: Fernsteuerung EIN/AUS
- 11: Strombegrenzung
- 12: 0 V
- 13: Überspannungsschutz (Impulssperre ab 0,6 V)
- 14, 15: Ausgang (Rechteckimpulsfolge)
- 16: Reduzierung  $V_T$

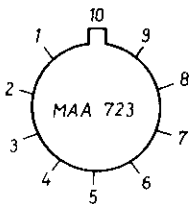
MAA 723 H

Spannungsregler



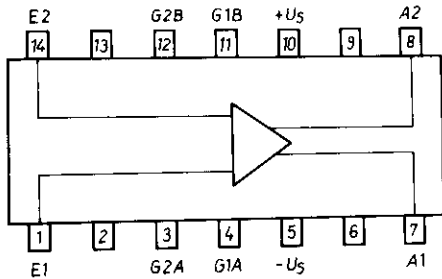
- 2: Strombegrenzung
- 3: Stromfühler
- 4: Invertierender Eingang
- 5: Nichtinvertierender Eingang
- 6: Referenzspannung
- 10: Stabilisierte Spannung
- 11: Speisung des Ausgangstransistors (Eingang der unstabilisierten Spannung)
- 13: Frequenzkompensation

- Die eingeklammerten Anschlüsse geben die Belegung beim MAA 723 an.
- Die nicht eingeklammerten Anschlüsse geben die Belegung des SN 72723 an.
- Besteht aus Referenzverstärker, Regelverstärker, Leistungsstelltransistor und Strombegrenzer.
- Zulässige Eingangsspannung zwischen 9,5 V ... 40 V.
- Ausgangsspannung läßt sich im Bereich von 2 V ... 30 V für Lastströme bis 150 mA stabilisieren.



von oben gesehen

Zwei-Stufen-Operationsverstärker (Videoverstärker)



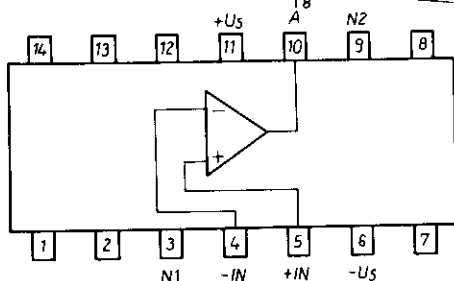
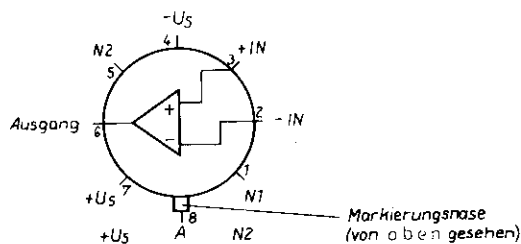
E1, E2: Eingänge  
 A1, A2: Ausgänge  
 G2A, G1A, G2B, G1B: Verstärkungsauswahl

- Keine Frequenzkompensation notwendig
- Festgelegte Differenzverstärkungen von 10, 100 oder 400 können ohne externe Bauelemente durch Verwendung der Pins 3, 4, 11 und 12 ausgewählt werden.
- Die Verstärkung kann stufenlos von 10 bis 400 durch Verwendung eines entsprechenden externen Widerstandes, der G1A und G1B verbindet, eingestellt werden.

Hochleistungsoperationsverstärker

Verwendet in zwei Ausführungsformen:

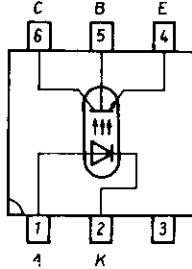
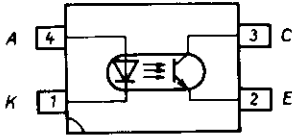
- TO-Gehäuse mit 8 Anschlüssen
- DIL-Gehäuse mit 14 Anschlüssen



- Kurzschlußfest
- Die Eingänge N1 und N2 bieten die Möglichkeit zur Kompensation der Offset-Spannung.
- Keine Frequenzkompensation notwendig

MB 101 (ohne Basisanschluß)  
 MB 104 (mit Basisanschluß)

Optokoppler

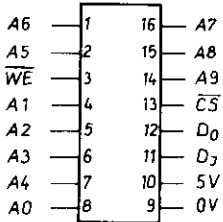


- Dient zur galvanischen Trennung von Stromkreisen mit hoher Potentialdifferenz
- Hohe Spannungsisolation zwischen Aus- und Eingang
- Rückwirkungsfreiheit zwischen Aus- und Eingang
- Überträgt sowohl analoge als auch digitale Größen

U 202 gilt auch für SIL 1902 oder MHB 1902 C-MOS

X2 A4

1-k-statischer RAM (1024 x 1)



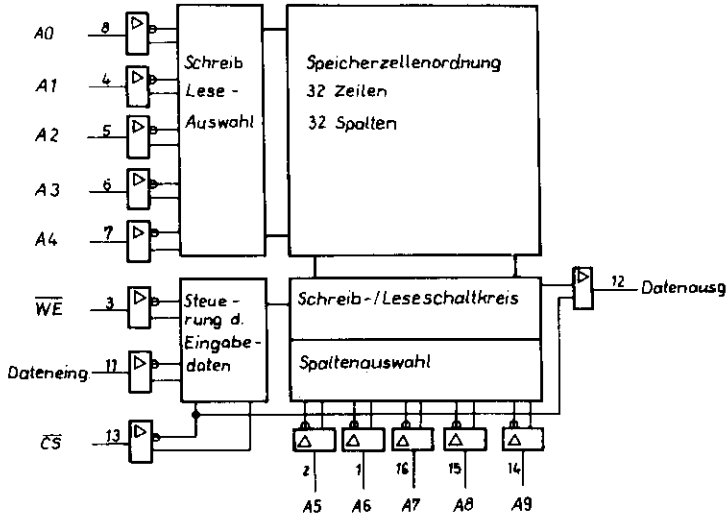
- $D_I$ : Dateneingang
- $D_O$ : Datenausgang
- A0 bis A9: Adreßeingänge
- $\overline{WE}$ : Schreib- / Leseeingang
- $\overline{CS}$ : Bausteinauswahl

$\overline{CS}$	$\overline{WE}$	$D_I$	$D_O$	Ausführung
H	X	X	X1)	nicht ausgewählt
L	L	L	L	Schreiben 0
L	L	H	H	Schreiben 1
L	H	X	$A_i$	Lesen

- X : L oder H
- X1) : hochohmig
- $D_O$  : Ausgangsdaten
- $A_i$  : Inhalt des ausgewählten Speicherplatzes

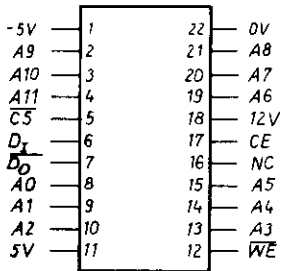
- Alle Ein- und Ausgänge sind TTL-kompatibel
- Tri-State-Ausgänge
- Alle Eingänge sind gegen statisches Aufladen geschützt

Blockschaltbild des U 202:

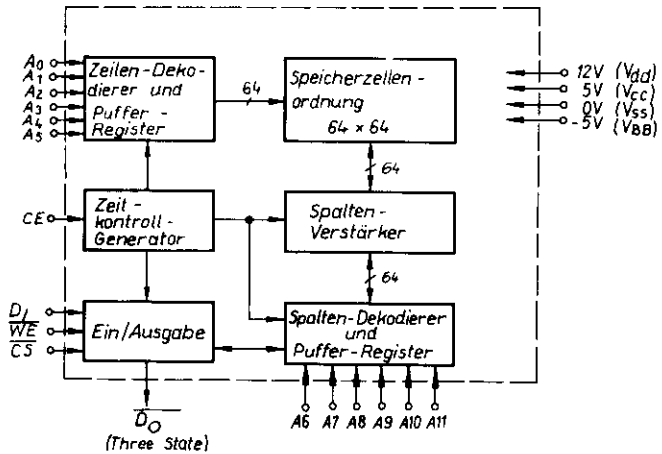


X07B

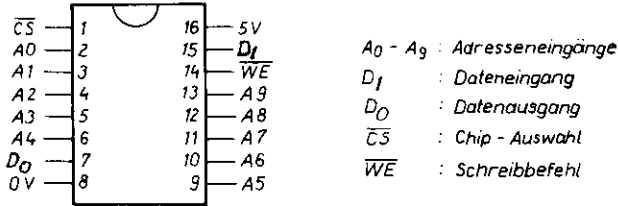
4-K-Dynamischer RAM (4096 x 1 Bit)



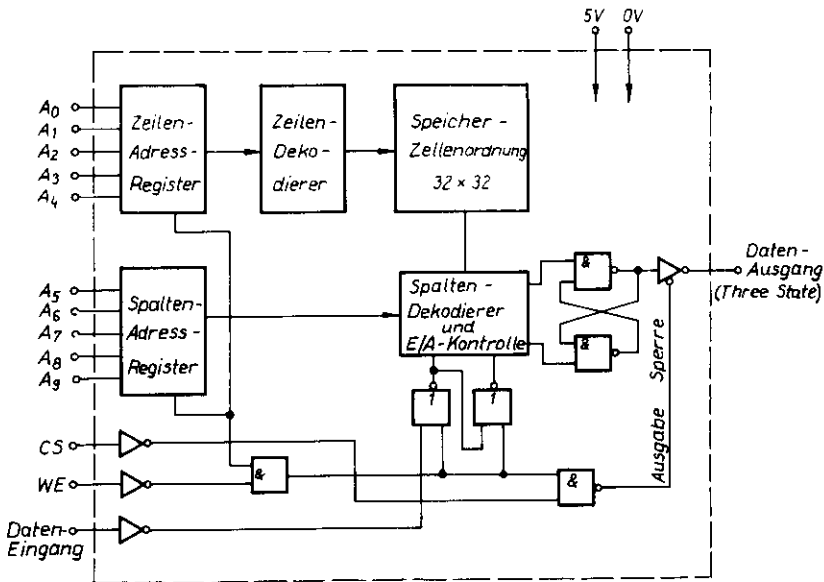
- A0 - A11 : Adresseneingänge
- D1 : Dateneingang
- WE : Schreibbefehl
- CS : Chip-Auswahl
- D0 : Datenausgang
- CE : Bausteinaktivierung
- NC : nicht belegt



1-K-statischer G-MoS-RAM (1024 x 1 Bit)

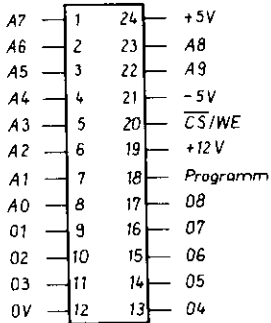


Blockschaltbild



8-k-UV-löschbarer PROM (1024 x 8)

- Schneller löschbarer und unprogrammierbarer ROM



Arbeitsweise	Pin-Nummer		
	9 - 11, 13 - 17	18	20
Lesen	D <sub>O</sub>	M	U <sub>IL</sub>
Programmierung	D <sub>I</sub>	U <sub>IHP</sub>	U <sub>IHW</sub>

U<sub>IL</sub>: Eingabe L-Pegel

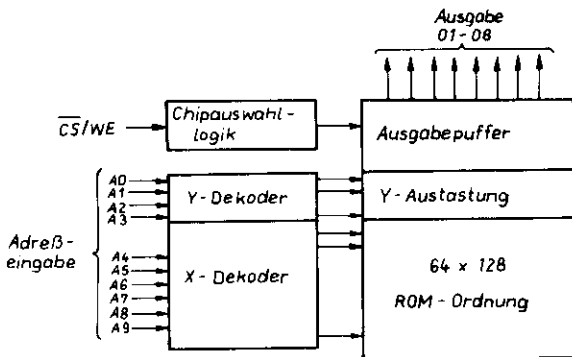
U<sub>IHP</sub>: Eingabe pulsierender H-Pegel

U<sub>IHW</sub>: Eingabe H-Pegel (Schreiben)

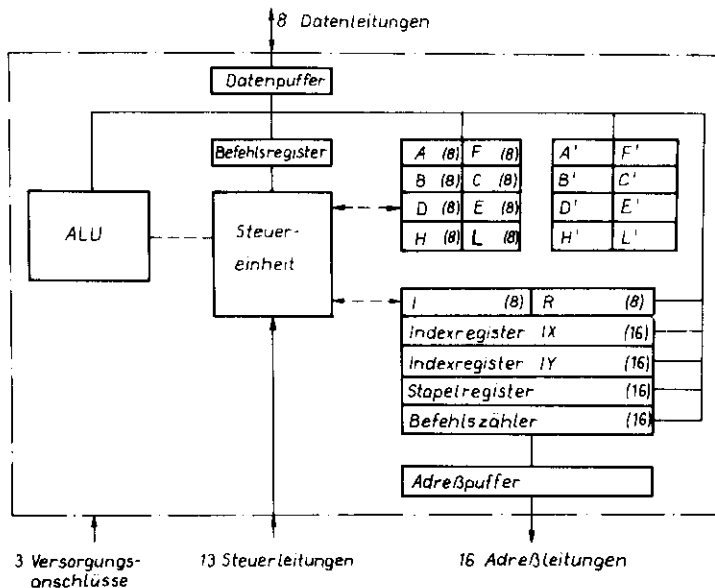
A0 bis A9 : Adreßeingänge

O1 bis O8 : Datenausgänge

$\overline{CS}/WE$ : Bausteinauswahl/Schreiben möglich



## Mikroprozessor (CPU)



Der U 880 besitzt zwei gleichartige Registerblöcke B, C, D, E, H, L und B', C', D', E', H', L', dem je ein Akkumulator A bzw. A' und ein Statusregister F bzw. F' zugeordnet ist.

Der 16-Bit-Befehlszähler (Programm Counter, PC) enthält die aktuelle Mikroprogrammadresse.

Das 16-Bit-Stapelregister (Stack-Pointer) enthält die aktuelle Adresse für den externen Stapelspeicher (LIFO-organisiert).

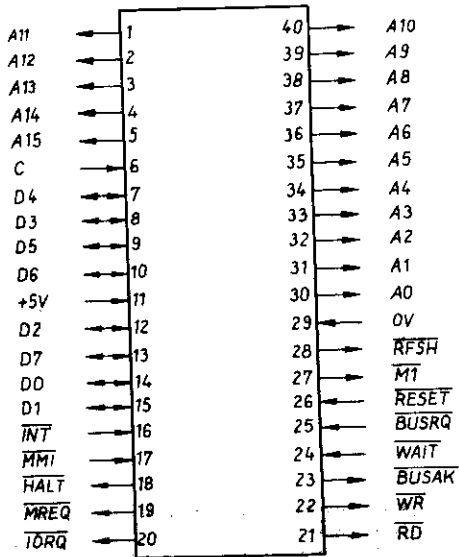
Die zwei 16-Bit-Indexregister IX und IY enthalten je eine Stammadresse. Eine 8-Bit-Verschiebeadresse (d) gibt den Abstand der aktuellen Adresse von IX bzw. IY an.

Das 8-Bit-Speicherauffrischregister (Refresh-Register, R) ermöglicht ohne zusätzlichen Aufwand das Arbeiten mit externen dynamischen Speichern.

Das Interruptregister I beinhaltet die höherwertigen 8 Bit der Anfangsadresse einer Interruptroutine. Die niederwertigen 8 Bit werden von der Peripherie geliefert.



Anschlußbelegung :



Der U 880 arbeitet mit folgenden Signalen (Daten- und Adreßbus sind H-aktiv, alle Steuerleitungen L-aktiv):

- A0 - A15 Adreßbus, Tri-State, liefert die Adressen für den Speicher und die Ein- / Ausgabebausteine
- D0 - D7 Datenbus, Tri-State, über ihn erfolgt der Datenaustausch zwischen CPU und Speicher bzw. ein- / Ausgabebausteinen
- M1 Maschinenzklus 1, zeigt an, daß der Operationskodelesezyklus abläuft
- MREQ Speicheranforderung, Tri-State, zeigt an, daß auf dem Adreßbus die Adresse für einen Speicherzugriff (Lesen oder Schreiben) ansteht
- TORQ Ein- / Ausgabeanforderung, Tri-State,
  - zeigt an, daß die niederwertigen 8 Bit des Adreßbus eine Adresse zur Ein- / Ausgabebus-Auswahl enthalten
  - tritt mit M1 auf, um eine Interruptannahme anzuzeigen; damit kann der zugehörige Interruptvektor auf den Datenbus gelegt werden
- RD Lesen, Tri-State, zeigt an, daß die CPU Daten vom Speicher oder externen Gerät lesen will
- WR Schreiben, Tri-State, zeigt an, daß die CPU Daten für den Speicher oder ein externes Gerät auf dem Datenbus bereithält
- RFSH Speicherauffrischen, zeigt an, daß die niederwertigen 7 Bits des Adreßbus eine Auffrischadresse für dynamische Speicher enthalten
- HALT Halt-Zustand, zeigt an, daß die CPU einen Software-Haltbefehl ausgeführt hat und auf einen Interrupt wartet
- WAIT Warten, veranlaßt, daß WAIT-Zyklen eingefügt werden, wenn die angesprochenen Speicher oder externen Geräte noch nicht zur Datenübertragung bereit sind

- INT** Interrupt-Anforderung, wird peripher erzeugt und nach Abarbeitung des in Ausführung befindlichen Befehls berücksichtigt, wenn nicht durch Software oder **BUSRQ** = L Interrupt gesperrt ist
- NMI** Nicht maskierbarer Interrupt, softwaremäßig nicht beeinflussbarer Interrupt für spezielle Unterbrechungen (z.B. Stromausfall)
- RESET** Rückstellen, bewirkt, daß CPU in einen definierten Anfangszustand gelangt; Adreß- und Datenbus werden hochohmig, alle übrigen Ausgänge inaktiv
- BUSRQ** Busanforderung, damit fordert ein externes Gerät (DMA, zweite CPU) die Kontrolle über Adreß- und Datenbus; die CPU wird inaktiv, d.h. alle Tri-State-Leitungen werden hochohmig
- BUSAK** Busfreigabebestätigung, das mit **BUSRQ** anfordernde Gerät kann den Bus benutzen
- C** Systemtakt, Einphasentakt mit TTL-Pegel, Taktlänge 400 ns

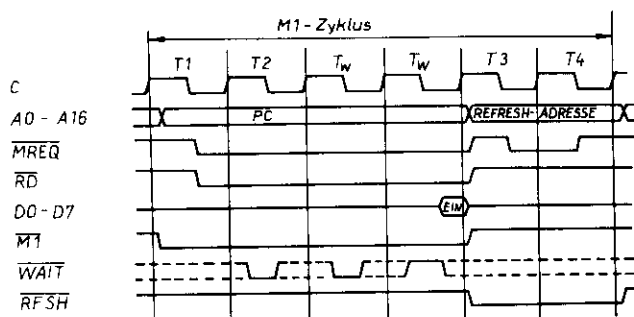
Folgende Maschinenzyklen werden vom U 880 verwendet:

- Befehlsaufruf M1
- Lesen aus dem Speicher
- Schreiben in den Speicher
- Eingabe
- Ausgabe
- Interruptannahme

Jeder Mikrobefehl erfordert einen oder mehrere Maschinenzyklen, die ihrerseits aus drei bis sechs Systemtaktten bestehen, zusätzliche Systemtakte (WAIT) sind möglich.

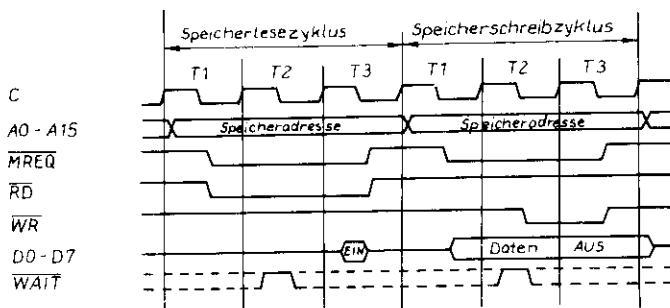
Folgende Zeitabläufe treten im U 880 auf:

1. Aufruf des Befehlsoperationskodes (M1)

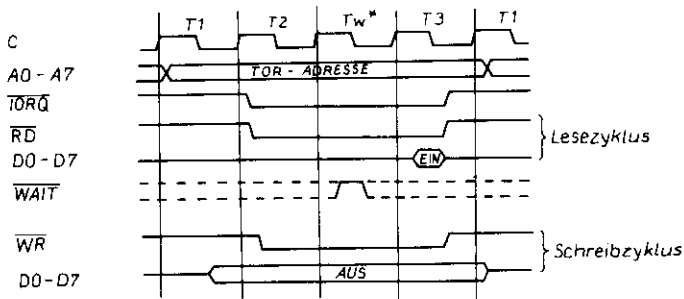


Die WAIT-Zyklen  $T_w$  werden eingefügt, wenn  $\overline{\text{wait}}$  bei T2 low ist.

2. Speicherlese- oder Schreibzyklus

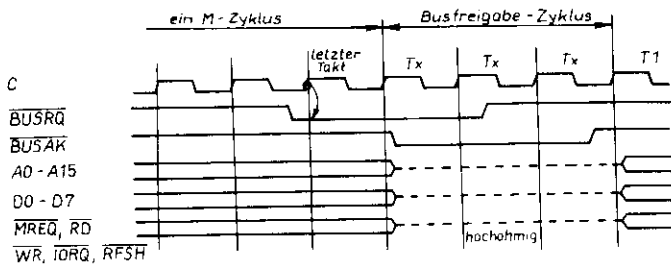


### 3. Ein- / Ausgabezyklus

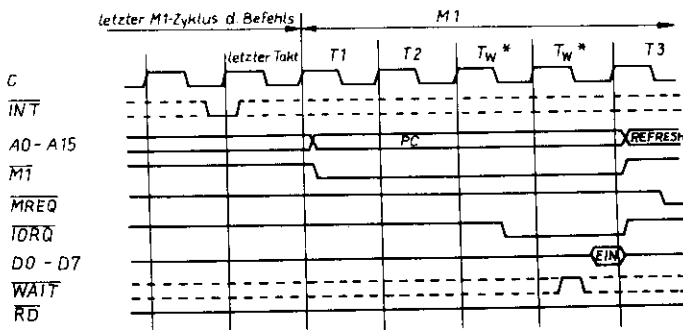


$T_w^*$  wird automatisch von der CPU eingefügt, weitere WAIT-Zyklen sind möglich.

### 4. Busanforderung und -bestätigung

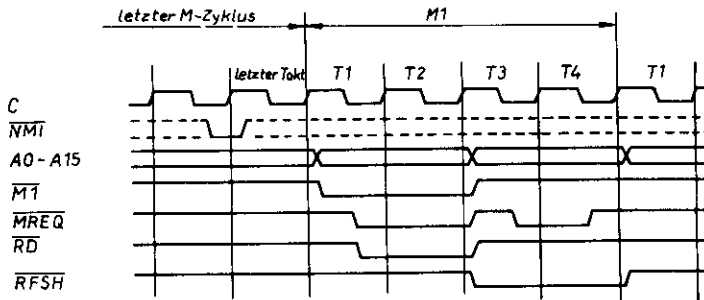


### 5. Interruptanforderung und -bestätigung

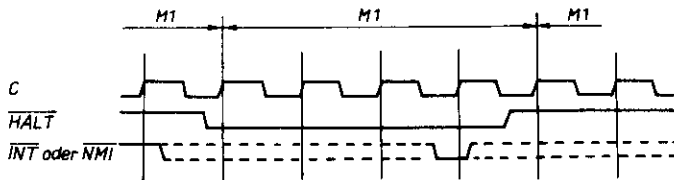


$T_w^*$  wird automatisch von der CPU eingefügt.

## 6. Anforderung eines nicht maskierbaren Interrupts



## 7. HALT-Zustand



Der HALT-Befehl wird während dieses Speicher-Zyklus empfangen.

U 855

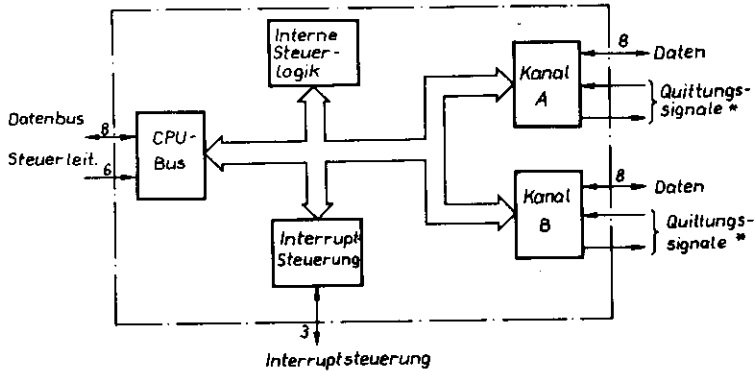
## Paralleler Ein- / Ausgabebaustein (PIO)

Der durch Software programmierbare parallele Ein- / Ausgabe-Interfacebaustein enthält zwei Kanäle, über die der Datenverkehr zwischen dem U 880 und dem jeweiligen peripheren Gerät abgewickelt wird. Der Datenverkehr zwischen dem PIO und dem externen Gerät wird durch die Signale STROBE und READY realisiert, wobei STROBE eine Interruptanforderung zur CPU auslöst. Die CPU veranlaßt durch die Signale  $\overline{WR}$  und  $\overline{RD}$  den Datentransport von und nach dem PIO. Die automatische Interruptvektorerzeugung und die Prioritätswichtung sind ohne zusätzlichen Schaltungsaufwand durch entsprechendes Einordnen in der Prioritätskette möglich.

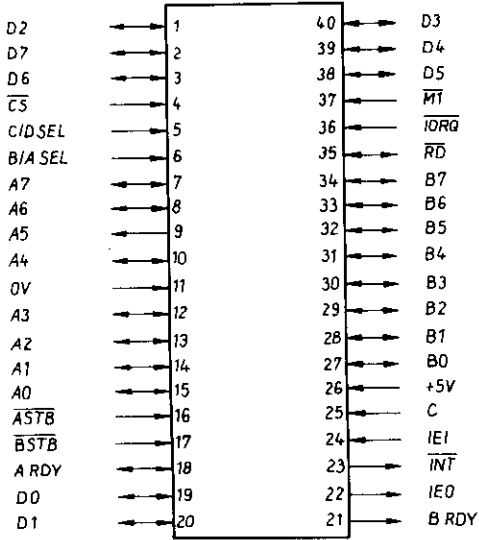
Jeder Kanal kann für eine der vier Betriebsarten programmiert werden:

- Byte-Ausgabe
- Byte-Eingabe
- Byte- Ein- / Ausgabe (nur Kanal A.)
- Bit-Ein- / Ausgabe

Aufbau und Anschlußbelegung des PIO:



\* bei Betriebsart „Bit - Ein/Ausgabe“ nicht benutzt

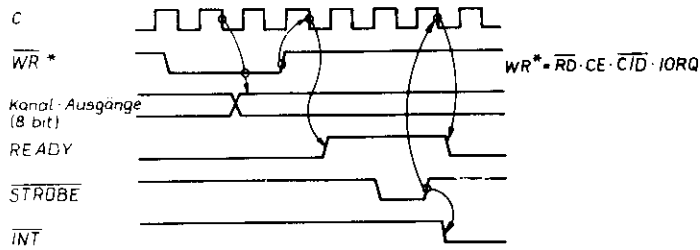


- D0 - D7: Datenbus, Tri-State, Datenbus zur CPU, bidirektional
- B/A SEL: Kanalauswahl A oder B
- C/D SEL: Auswahl Steuer- oder Datenwort
- $\overline{CS}$ : Bausteinaktivierung
- $\overline{M1}$ : Maschinenzyklus-1-Signal der CPU
- $\overline{IORQ}$ : Ein- / Ausgabeanforderung der CPU
- $\overline{RD}$ : Lesen, Signal von der CPU
- IEI: Interruptfreigabeeingang
- IE0: Interruptfreigabeausgang, IEI und IE0 werden zur Bildung einer Prioritätskette verwendet
- $\overline{INT}$ : Interruptanforderung, Signal zur CPU
- C: Systemtakt des U 880
- A0 - A7: Ein- / Ausgänge des Kanals A
- B0 - B7: Ein- / Ausgänge des Kanals B
- $\overline{ASTB}$ : Steuersignal des externen Gerätes (Kanal A)
- A RDY: Steuersignal des PIO zum externen Gerät (Kanal A)
- $\overline{BSTB}$ : Steuersignal des externen Gerätes (Kanal B)
- B RDY: Steuersignal des PIO zum externen Gerät (Kanal B)

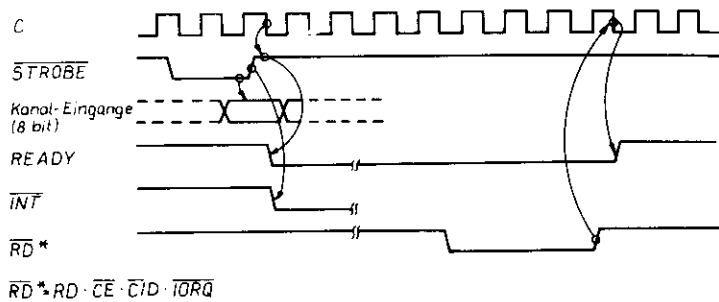
Die Signale A/BSTB und A/BRDY realisieren den Anforderungs- und Quittungsbetrieb beim Datenverkehr zwischen dem PIO und dem externen Gerät.

Folgende Zeitabläufe treten im PIO auf:

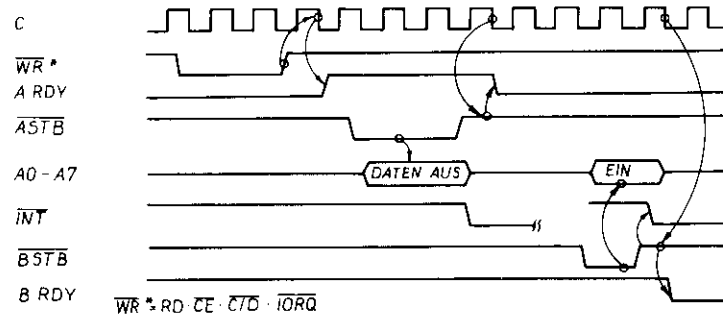
1. Betriebsart Ausgabe



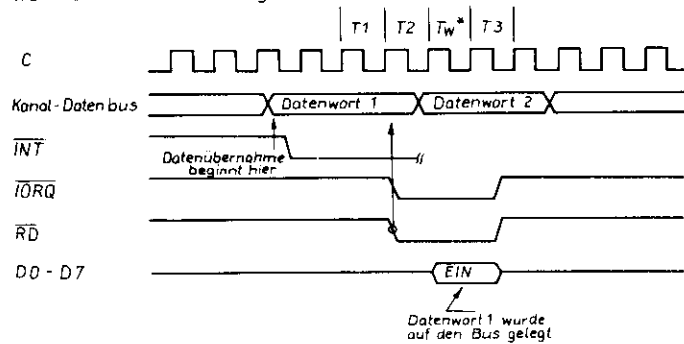
2. Betriebsart Eingabe



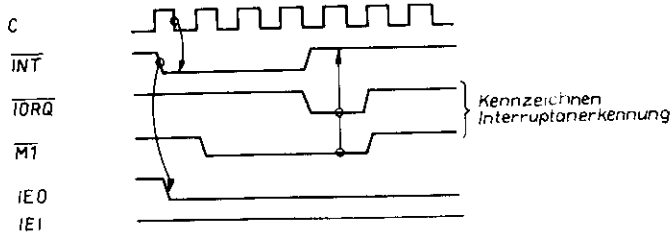
3. Betriebsart Byte - Ein/Ausgabe



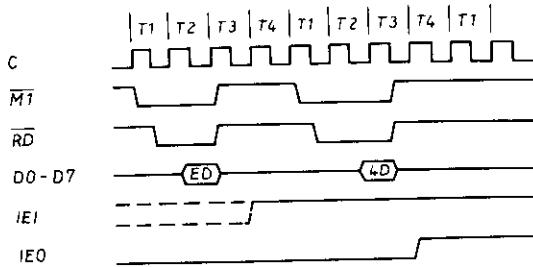
4. Betriebsart Bit - Ein/Ausgabe



### 5. Interruptanerkennung



### 6. Rückkehr vom Interrupt

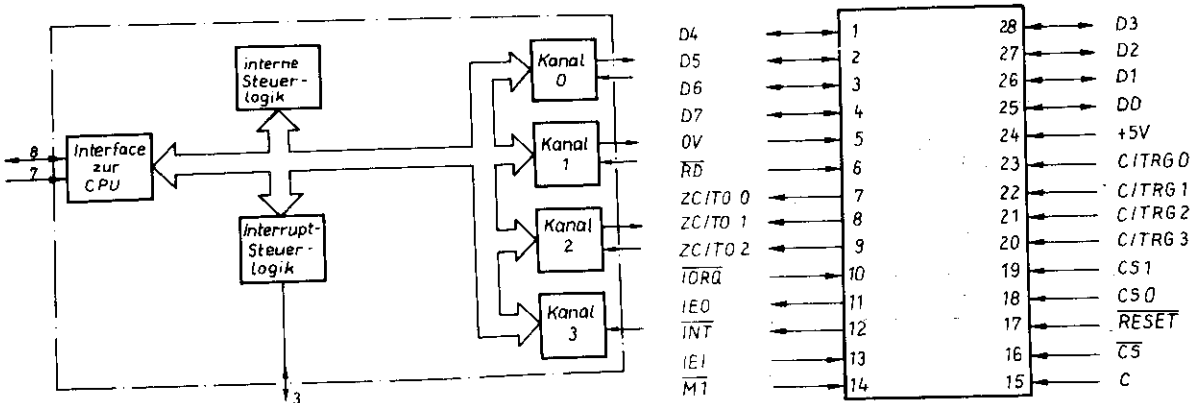


U 837

### Zähler-Zeitgeber-Baustein (CTC)

Der CTC ist ein programmierbarer Zähler-Zeitgeber-Baustein. Mit ihm lassen sich beliebige Zeitbedingungen verwirklichen. Er besitzt vier voneinander unabhängige Kanäle. Drei davon können als Zähler-Zeitgeber verwendet werden, der vierte nur als Zähler. Die Prioritätswichtung des CTC erfolgt durch entsprechende Einordnung in der Prioritätskette. Bei einem beliebig programmierbaren Zähler-Zeitgeber-Zustand kann eine Interruptanmeldung erfolgen, bei Annahme legt der CTC den entsprechenden Interruptvektor auf den Datenbus. In der Betriebsart Zähler kann der aktuelle Zählerstand jederzeit von der CPU gelesen werden. In der Betriebsart Zeitgeber wird der anliegende Systemtakt durch einen Vorteiler im Verhältnis 1 zu 16 oder 1 zu 256 geteilt.

### Aufbau und Anschlußbelegung des CTC:

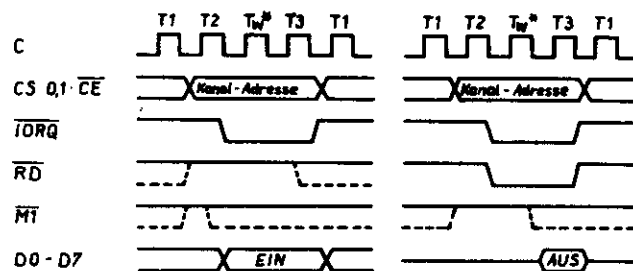


- C/TRG 0: Takt/Trigger für Kanal 0, externer Takteingang für den Zähler bzw. Zeitgeberstarteingang
- C/TRG 1: Takt/Trigger für Kanal 1
- C/TRG 2: Takt/Trigger für Kanal 2
- C/TRG 3: Takt/Trigger für Kanal 3
- ZC/TO 0: Nulldurchgang/Zeitgebermeldung Kanal 0, Nullsignal des Rückwärtszählers bzw. Meldung des Zeitgebers
- ZC/TO 1: Nulldurchgang/Zeitgebermeldung Kanal 1
- ZC/TO 2: Nulldurchgang/Zeitgebermeldung Kanal 2
- CS1, CS0: Kanalauswahl, 2-Bit-Adresse
- DO - D7: Datenbus, Tri-State, bidirektional
- $\overline{CS}$ : Bausteinaktivierung
- $\overline{MI}$ : Maschinenzyklus-1-Signal
- $\overline{IORQ}$ : Ein- / Ausgabeanforderungssignal der CPU
- $\overline{RD}$ : Lesen, Signal von der CPU
- IEI: Interruptfreigabeeingang
- IEO: Interruptfreigabeausgang, IEI und IEO werden zur Bildung einer Prioritätskette verwendet
- $\overline{INT}$ : Interruptanforderung, Signal zur CPU
- RESET: Rückstelleingang, unterbricht den Zählvorgang aller Kanäle, CTC geht in den inaktiven Zustand, ZC/TO 0 bis ZC/TO 2 und  $\overline{INT}$  werden inaktiv, IEO wird gleich IEI gesetzt, alle Ausgänge werden hochohmig
- C: Systemtakt des U 880

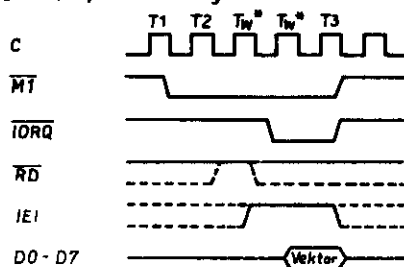
Folgende Zeitabläufe können im CTC auftreten:

### 1. Schreibzyklus

### 2. Lesezyklus

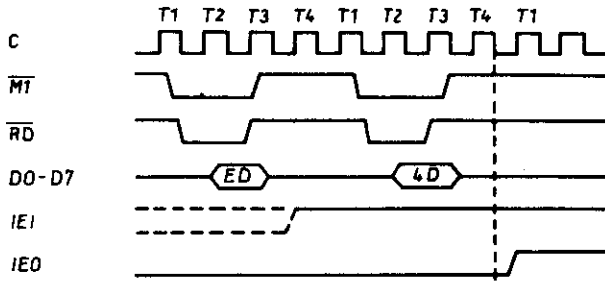


### 3. Interrupterkennung

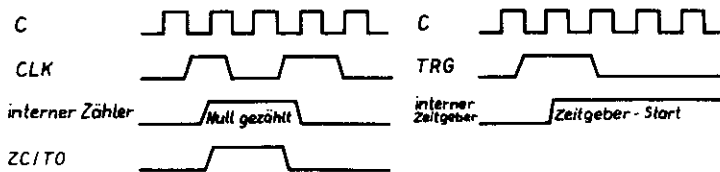




4. Rücksprung vom Interrupt



5. Zähler-, Zeitgebervorgang



U 856

Serieller Ein- / Ausgabebaustein (SIO)

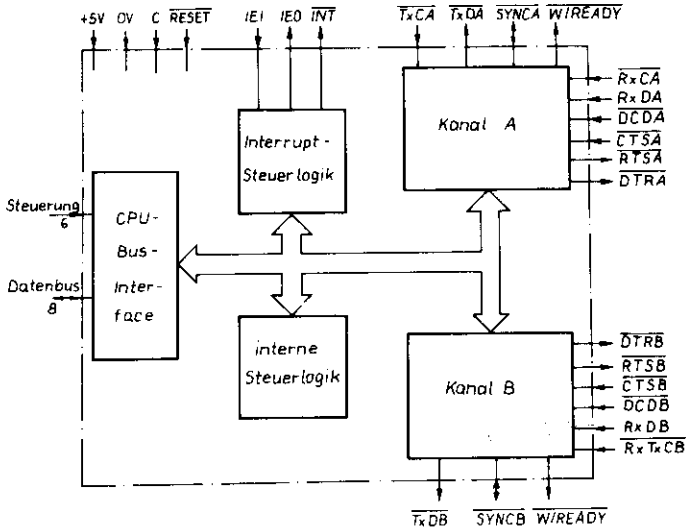
Der SIO ist ein programmierbarer, universell einsetzbarer Interfacebaustein. Er verwirklicht die Umwandlung von parallelem Datenformat in serielles und umgekehrt. Er kann mit asynchroner, synchroner oder bitweise synchroner Datenübertragung arbeiten. In der synchronen Betriebsart kann der Baustein zyklische Redundanzprüfsignale (CRC) erzeugen. In der asynchronen Arbeitsweise wird er durch Kommandoworte der CPU jedem asynchronen Format angepaßt.

Der SIO beinhaltet zwei vollständig übereinstimmende Ein- / Ausgabekanäle, wobei der Datenempfang vierfach und das Senden zweifach gepuffert sind.

Die Prioritätswichtung erfolgt durch entsprechendes Einordnen in der Prioritätskette.

PIN-Nr.	SIO/0	SIO/1	SIO/2
25	$\overline{\text{DTRB}}$	$\text{TxD B}$	$\overline{\text{DTRB}}$
26	$\text{TxD B}$	$\overline{\text{TxC B}}$	$\text{TxD B}$
27	$\overline{\text{R x T x C B}}$	$\overline{\text{R x C B}}$	$\overline{\text{T x C B}}$
28	$\text{R x D B}$	$\text{R x D B}$	$\overline{\text{R x C B}}$
29	$\overline{\text{SYNC B}}$	$\overline{\text{SYNC B}}$	$\text{R x D B}$

Aufbau und Anschlußbelegung:

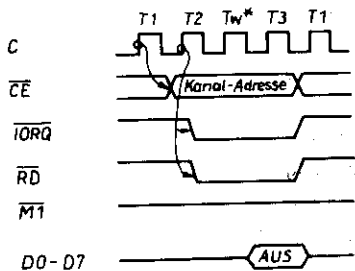


D1	1	40	D0
D3	2	39	D2
D5	3	38	D4
D7	4	37	D6
INT	5	36	TORQ
IEI	6	35	CS
IE0	7	34	B/A
M1	8	33	C/D
+5V	9	32	RD
W/RDYA	10	31	0V
SYNCA	11	30	W/RDYB
RxDA	12	29	SYNCB
RxCA	13	28	RxDB
TxDA	14	27	RxTxCB
DTRA	15	26	TxDB
RTSA	16	25	DTRB
CTSA	17	24	RTSB
DCDA	18	23	CTSB
C	19	22	DCDB
	20	21	RESET

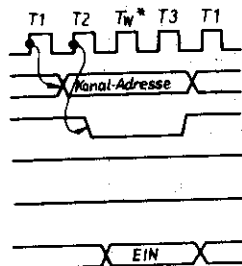
D0 - D7:      Datenbus, Tri-State, bidirektional  
 B/A:          Auswahl Kanal A oder B  
 C/D:          Auswahl Steuer- oder Datenwort  
 $\overline{CS}$ :         Bausteinaktivierung  
 $\overline{M1}$ :         Maschinenzyklus-1-Signal der CPU  
 $\overline{IORQ}$ :        Ein- / Ausgabeanforderung der CPU  
 $\overline{RD}$ :         Lesen, Signal von der CPU  
 IEI:         Interruptfreigabeeingang  
 IEO:         Interruptfreigabeausgang, IEI und IEO werden zur Bildung einer Prioritätskette verwendet  
 $\overline{RESET}$ :       Rückstalleingang, sperrt Sender und Empfänger, die MODEM-Steuerleitungen werden inaktiv, alle Interrupts sind untersagt. Nach einem RESET müssen alle Steuerregister neu beschrieben werden  
 $\overline{INT}$ :         Interruptanforderung, Signal zur CPU  
 $\overline{W/RDYA}$ :      Programmierbar als  
 $\overline{W/RDYB}$ :      - Bereitschaftsleitungen für den Anschluß von DMA-Steuerungen (READY)  
               - Warteleitungen zur Synchronisation der CPU mit der SIO-Datenrate (WAIT)  
 $\overline{CTSA}$ ,  $\overline{CTSB}$ : Sendefreigabe, ist "automatische Freigabe" programmiert, gibt dieses Signal ( $\overline{CTS} = \text{Low}$ ) den Sender seines Kanals frei  
 $\overline{DCDA}$ ,  $\overline{DCDB}$ : Entspricht den CTS-Eingängen, jedoch wird von  $\overline{DCD}$  der jeweilige Empfänger freigegeben  
 RxDA, RxDB:   Empfangsdaten  
 TxDA, TxDB:   Sendedaten  
 $\overline{RxCA}$ ,  $\overline{RXCB}$ : Empfängertakte  
 $\overline{TxCA}$ ,  $\overline{TxCB}$ : Sendetakte  
 $\overline{RTSA}$ ,  $\overline{RTSB}$ : Sendeanforderung, wird durch das Kommandobit Senden, Start und Ende gesteuert  
 $\overline{DTRA}$ ,  $\overline{DTRB}$ : Datenterminal bereit, wird durch programmierbares Kommandobit gesteuert  
 $\overline{SYNCA}$ :       Externe Zeichensynchronisation, wird nur bei synchronem Betrieb verwendet und zeigt dort das Erkennen eines Synchronisationszeichens an. Im asynchronen Betrieb sind es frei verwendbare Eingänge zu den entsprechenden Bits  
 $\overline{SYNCB}$   
 C:             Systemtakt des U 880

Folgende Zeitabläufe treten im SIO auf:

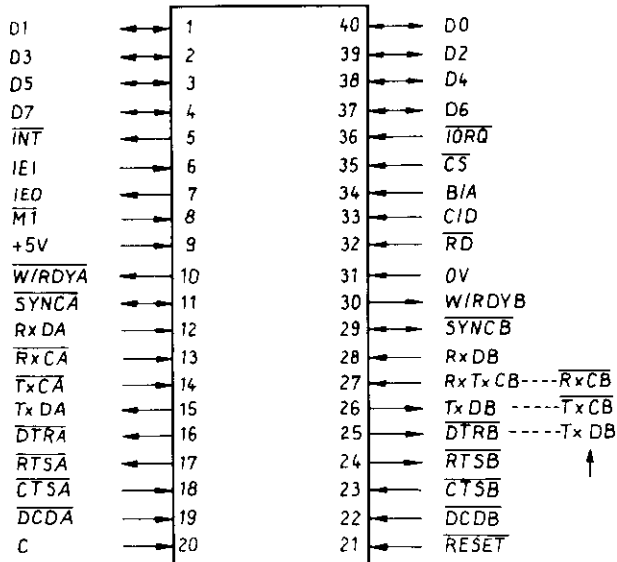
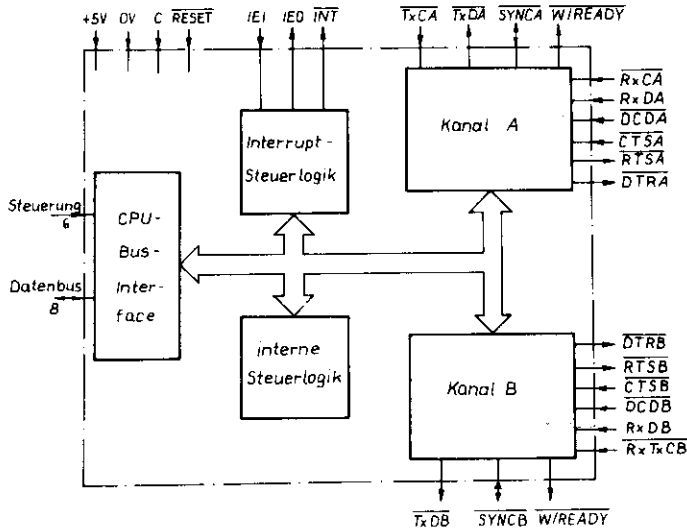
1. Lesezyklus



2. Schreibzyklus



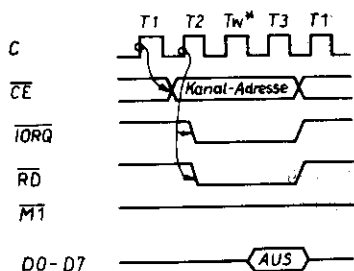
Aufbau und Anschlußbelegung:



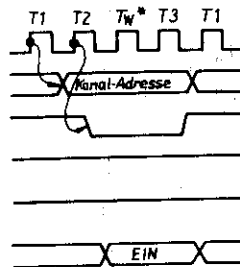
- DO - D7:      Datenbus, Tri-State, bidirektional
- B/A:         Auswahl Kanal A oder B
- C/D:         Auswahl Steuer- oder Datenwort
- $\overline{CS}$ :       Bausteinaktivierung
- $\overline{M1}$ :       Maschinenzyklus-1-Signal der CPU
- $\overline{IORQ}$ :      Ein- / Ausgabeanforderung der CPU
- $\overline{RD}$ :       Lesen, Signal von der CPU
- IEI:         Interruptfreigabeeingang
- IEO:         Interruptfreigabeausgang, IEI und IEO werden zur Bildung einer Prioritätskette verwendet
- $\overline{RESET}$ :     Rückstelleingang, sperrt Sender und Empfänger, die MODEM-Steuerleitungen werden inaktiv, alle Interrupts sind untersagt. Nach einem RESET müssen alle Steuerregister neu beschrieben werden
- $\overline{INT}$ :       Interruptanforderung, Signal zur CPU
- $\overline{W/RDYA}$ :    Programmierbar als
- $\overline{W/RDYB}$ :    - Bereitschaftsleitungen für den Anschluß von DMA-Steuerungen (READY)  
                   - Warteleitungen zur Synchronisation der CPU mit der SIO-Datenrate (WAIT)
- $\overline{CTSA}$ ,  $\overline{CTSB}$ : Sendefreigabe, ist "automatische Freigabe" programmiert, gibt dieses Signal ( $\overline{CTS}$  = Low) den Sender seines Kanals frei
- $\overline{DCDA}$ ,  $\overline{DCDB}$ : Entspricht den CTS-Eingängen, jedoch wird von  $\overline{DCD}$  der jeweilige Empfänger freigegeben
- RxDA, RxDB:  Empfangsdaten
- TxDA, TxDB:  Sendedaten
- $\overline{RxCA}$ ,  $\overline{RxCB}$ : Empfängertakte
- $\overline{TxCA}$ ,  $\overline{TxCB}$ : Sendetakte
- $\overline{RTSA}$ ,  $\overline{RTSB}$ : Sendeanforderung, wird durch das Kommandobit Senden, Start und Ende gesteuert
- $\overline{DTRA}$ ,  $\overline{DTRB}$ : Datenterminal bereit, wird durch programmierbares Kommandobit gesteuert
- $\overline{SYNCA}$ :     Externe Zeichensynchronisation, wird nur bei synchronem Betrieb verwendet
- $\overline{SYNCB}$ :     und zeigt dort das Erkennen eines Synchronisationszeichens an. Im asynchronen Betrieb sind es frei verwendbare Eingänge zu den entsprechenden Bits
- C:            Systemtakt des U 880

Folgende Zeitabläufe treten im SIO auf:

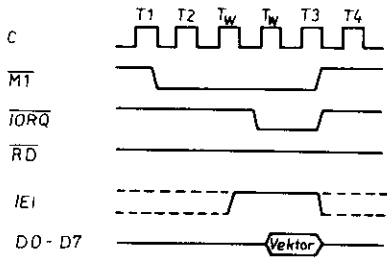
1. Lesezyklus



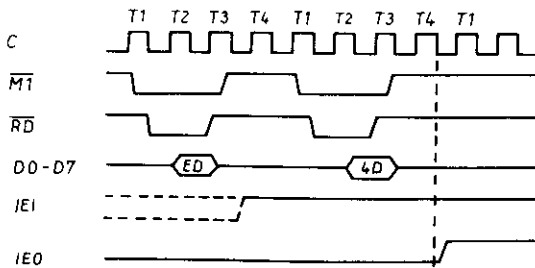
2. Schreibzyklus



### 3. Interruptanerkennung

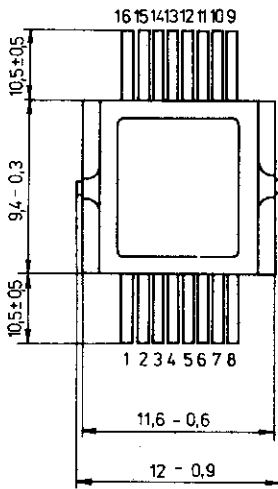


### 4. Rückkehr vom Interrupt



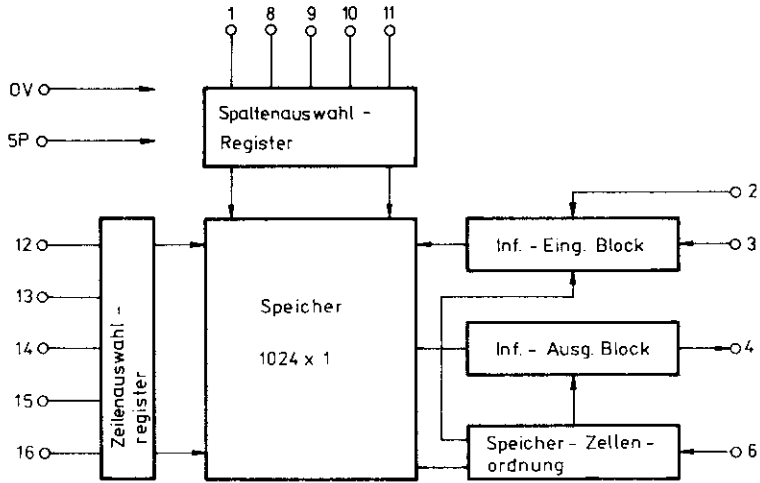
K 537 RU1A

1 K statischer C-MOS-RAM (1024 x 1 Bit)



- 1 Adreßeingang 1
- 2 Informations-Eingang
- 3 Schreiberlaubnis
- 4 Informations-Ausgang
- 5 0V
- 6 Chip-Auswahl
- 7 5 P
- 8 Adreßeingang 2
- 9 Adreßeingang 3
- 10 Adreßeingang 4
- 11 Adreßeingang 5
- 12 Adreßeingang 6
- 13 Adreßeingang 7
- 14 Adreßeingang 8
- 15 Adreßeingang 9
- 16 Adreßeingang 10

**Blockschaltbild**

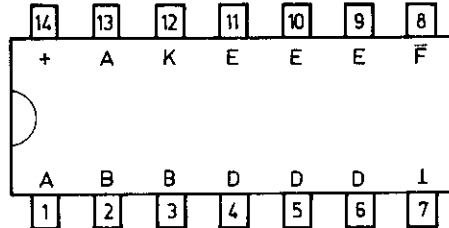


K 155 LR 3

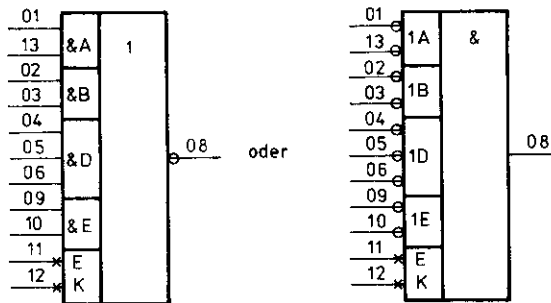
SN 7454

1 And-Nor mit 3 x 2 und 1 x 3 Eingängen (expaudierfähig)

Anschlußbild:



Schaltzeichen:



Erläuterung:

& A -  
 & B -  
 & D -  
 & E -

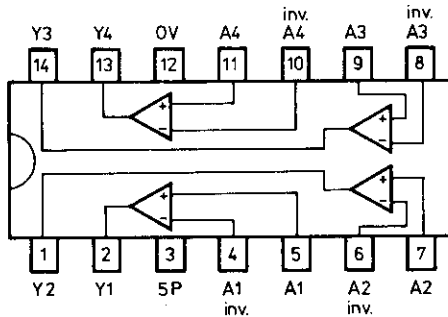
} Eingänge

E, K - Expanderanschluß

Komparator mit offenem Kollektor am Ausgang

Spannungswerte: max. Eingangsfehlspannung 4 mV  
 max. Eingangsfehlstrom 150 nA  
 max. Eingangsruhestrom 400 nA  
 Spannungsverstärkung 200 000  
 Ansprechzeit 1300 ns  
 max. Speisespannung  $\pm 18$  V

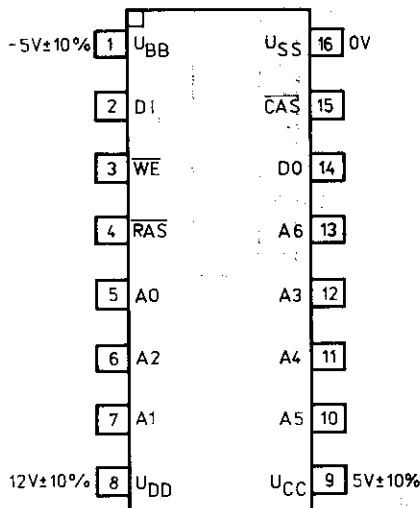
Anschlußbild:



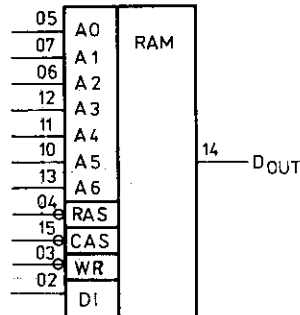
Erläuterung: 1; 2; 13; 14 - Ausgang 2; 1; 4; 3  
 3 - 5P  
 4; 6; 8; 10 - invertierender Eingang 1; 2; 3; 4  
 5; 7; 9; 11 - Eingang 1; 2; 3; 4  
 12 - 0V

16384 Bit Schreib-lese-Speicher, dynamisch

Anschlußbild:



Schaltzeichen:





Erläuterung:

- AO ... A6 - Adresseneingänge
- $\overline{\text{RAS}}$  - Übernahmetakt für Zeilenadresse
- $\overline{\text{CAS}}$  - Übernahmetakt für Spaltenadresse
- $\overline{\text{WR}}$  - Schreibbefehl
- DJ - Dateneingang

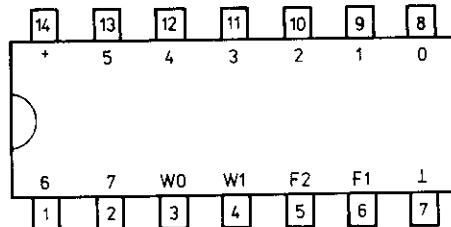
Logische Pegel:

	Symbol	Min.	Max.
Input High (logisch 1) $\overline{\text{RAS}}$ , $\overline{\text{CAS}}$ , $\overline{\text{WRITE}}$	$V_{\text{IHC}}$	2,7	7,0
Input High (logisch 1) alle Eingänge außer $\overline{\text{RAS}}$ , $\overline{\text{CAS}}$ , $\overline{\text{WRITE}}$	$V_{\text{IH}}$	2,4	7,0
Input Low (logisch 0) alle Eingänge	$V_{\text{IL}}$	-1,0	0,8

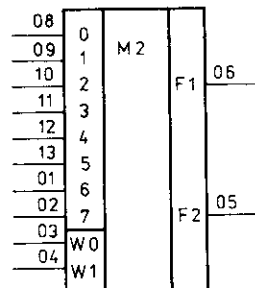
M 180                      K 155 IP2                      SN 74180

8 Bit - Paritätsgenerator/ -prüfer

Anschlußbild:

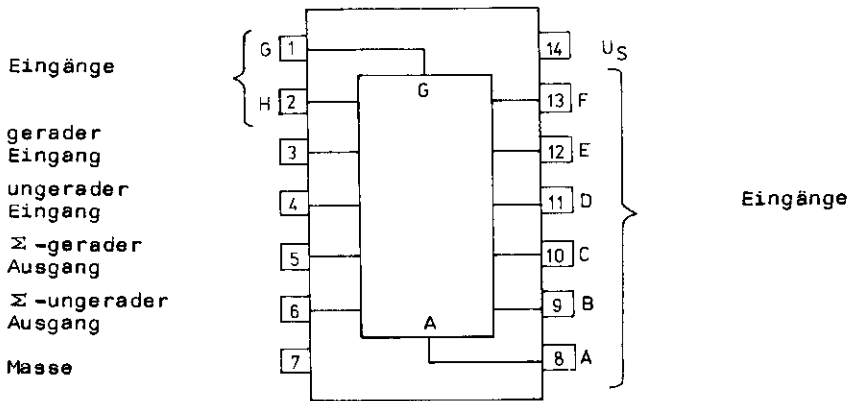


Schaltzeichen:



Diese universellen 9-bit (8 Datenbits + 1 Paritätsbit) Paritätsgeneratoren/-prüfer werden in TTL-Schaltungsanordnungen genutzt und sind charakterisiert durch Ungerade/Gerade-Ausgänge sowie Kontrolleingänge, um die Verwendung entweder in Ungerade- oder in Gerade-Parität zu erleichtern. In Abhängigkeit davon, ob in ungerader oder gerader Parität generiert oder kontrolliert werden soll, können die geraden oder ungeraden Eingänge als Paritäts- oder 9-bit-Eingang verwendet werden.

Anschlußbelegung und logisches Schaltbild



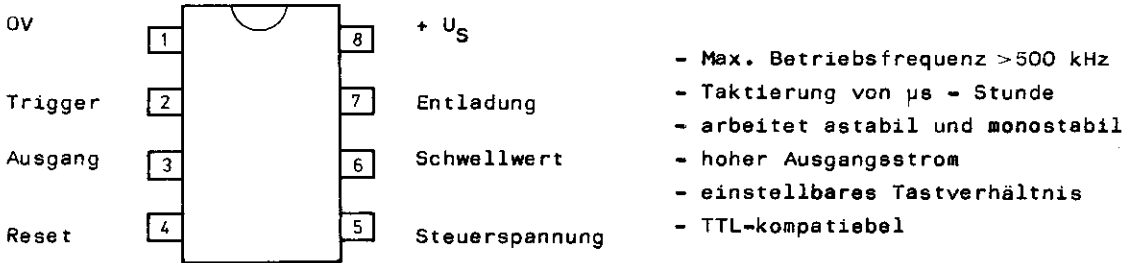
Funktionstabelle

Σ aus H's bei A bis H	Eingänge		Ausgänge	
	gerade	ungerade	Σ gerade	Σ ungerade
gerade	H	L	H	L
ungerade	H	L	L	H
gerade	L	H	L	H
ungerade	L	H	H	L
gerade	H	H	L	L
ungerade	L	L	H	H

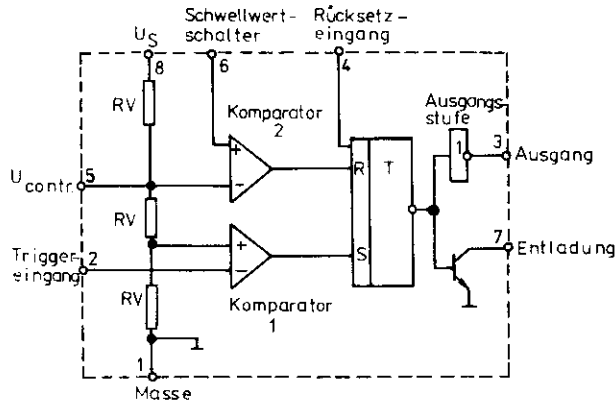
	min.	typ.	max.
Ausgangsstrom bei $I_{OH}$			- 800 $\mu A$
Ausgangsstrom bei $I_{OL}$			16 mA
Eingangsspannung bei $V_{IH}$	2		V
Eingangsspannung bei $V_{IL}$			0,8 V

Taktgenerator

Anschlußbild



Block-Diagramm



Grenzwerte

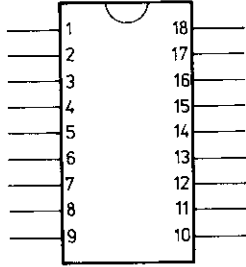
Betriebsspannung U <sub>S</sub>	0 ... 16 V
Betriebstemp.-Bereich $\vartheta_a$	0 ... 70 °C
Gesamtverlustleistung P <sub>to</sub>	600 mW

Informationswerte ( $\vartheta_a = 25\text{ °C} - 5\text{ K}; U_S = +5 \dots +15\text{ V}$ )

Basisstrom U <sub>S</sub> = 15 V	I <sub>B</sub>	10 mA
Kontrollspannung U <sub>S</sub> = 15 V	U <sub>Contr.</sub>	10 V
Ausgangsstrom	I <sub>O</sub>	200 mA
Ausgangsspannung	U <sub>O</sub>	2,5 V

Floppy-Disk Lese-Verstärker

Anschlußbelegung



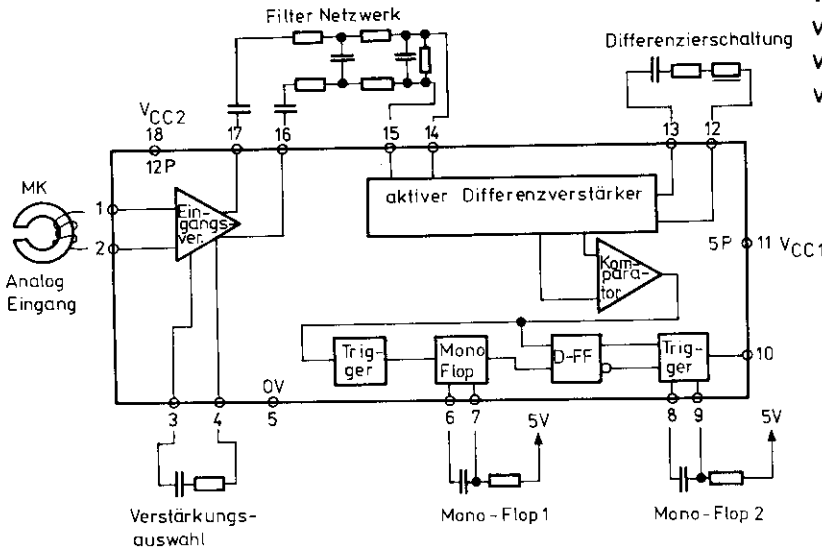
- 1 + 2 - Verstärker Eingänge
- 3 + 4 - Verstärkungsauswahl
- 5 - 0V
- 6 + 7 - Mono-Flop 1
- 8 + 9 - Mono-Flop 2
- 10 - Digitaler-Datenausgang
- 11 - 5 V (4,75 - 5,25 V) V<sub>CC1</sub>
- 12 + 13 - Differenzierschaltung
- 14 + 15 - Aktive Differenzeingänge
- 16 + 17 - Verstärker-Ausgänge
- 18 - 12 V (10 - 14 V) V<sub>CC2</sub>

Blockschaltbild

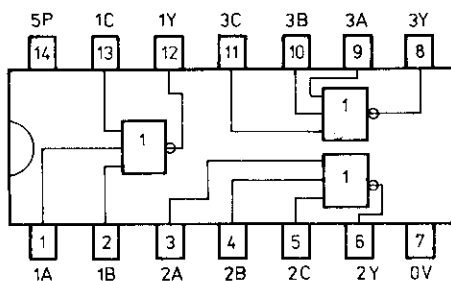
Zulässige

Zulässige Maximalspannungen

- V<sub>CC1</sub> (11) = 7 V
- V<sub>CC2</sub> (18) = 16 V
- V<sub>I</sub> (1 + 2) = - 0,2 bis + 7 V
- V<sub>O</sub> (10) = - 0,2 bis + 7 V



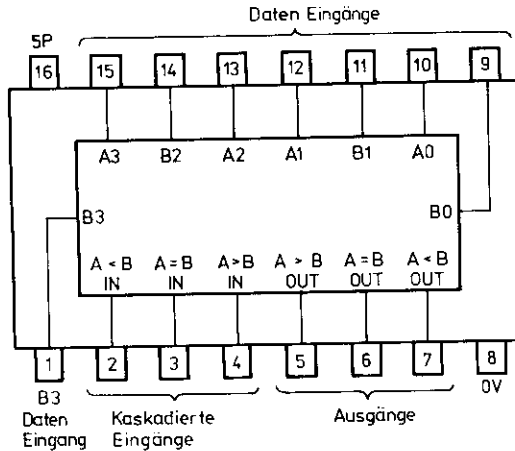
Drei-Eingangs-NOR, dreifach



positive Logik

$$Y = \overline{A + B + C}$$

4-Bit Größer-Gleich-Kleiner-Komparator



Typischer Verbrauch 275 mW

Typische Verzögerungszeit 23 ns

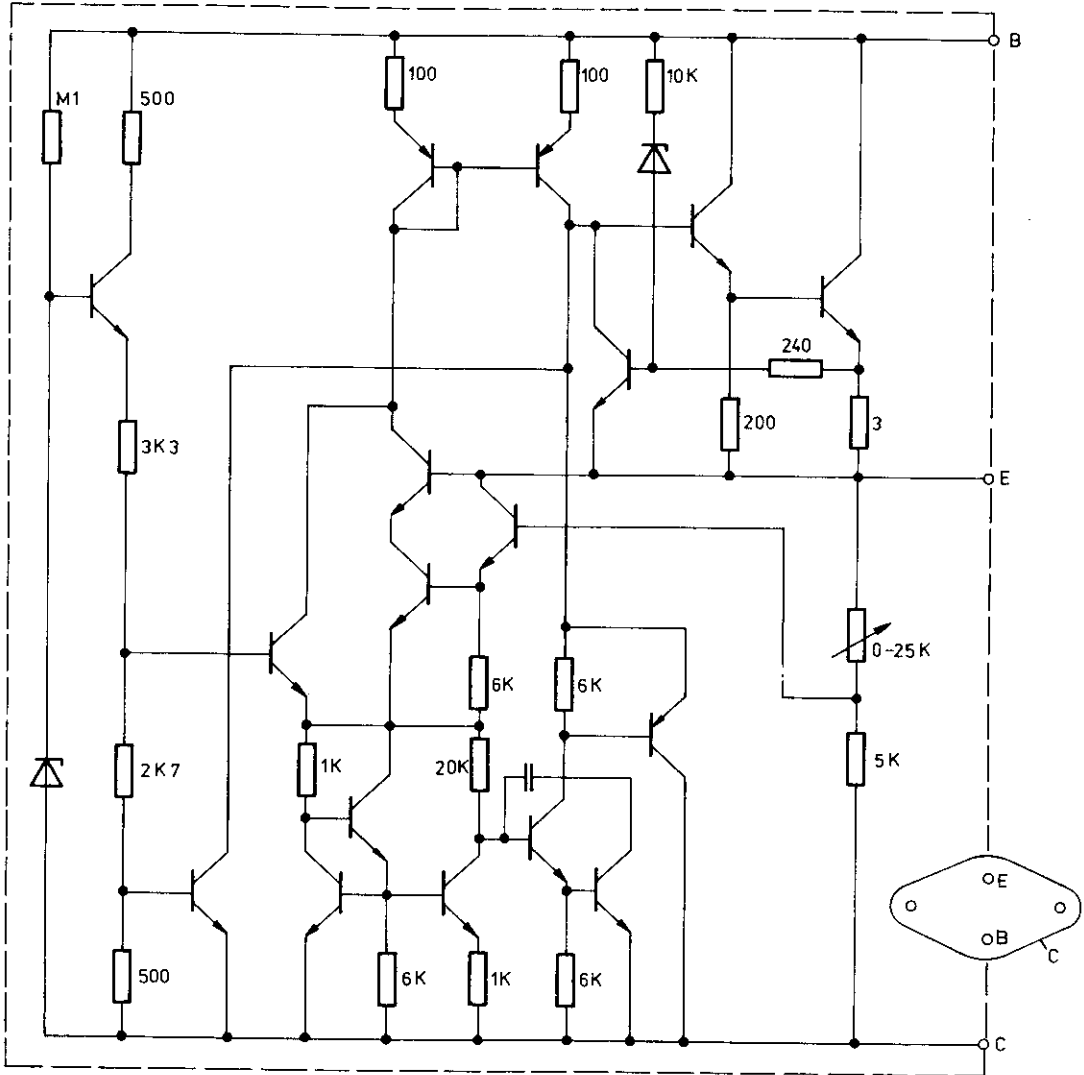
Funktionstabelle

Vergleichseingänge				Kaskadierte Eingänge			Ausgänge		
A3, B3	A2, B2	A1, B1	A0, B0	A>B	A<B	A=B	A>B	A<B	A=B
A3 > B3	x	x	x	x	x	x	H	L	L
A3 < B3	x	x	x	x	x	x	L	H	L
A3 = B3	A2 > B2	x	x	x	x	x	H	L	L
A3 = B3	A2 < B2	x	x	x	x	x	L	H	L
A3 = B3	A2 = B2	A1 > B1	x	x	x	x	H	L	L
A3 = B3	A2 = B2	A1 < B1	x	x	x	x	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	x	x	x	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	x	x	x	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	H	L	L	H

'85, 'S85

A3 = B3	A2 = B2	A1 = B1	A0 = B0	x	x	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

**Integrierter Leistungs-Positiv-Spannungsregler 5 V/1 A**



Eingangsspannung  $U_I$  max. 35 V

Ausgangsspannung nom. 5,0 V min. 4,8 ... max. 5,2 V

Ausgangsspannung -  $P \leq 15$  W

7 V <  $U_I$  < 20 V,

14,5 V <  $U_I$  < 27 V,

17,5 V <  $U_I$  < 30 V,

27,5 V <  $U_I$  < 38 V

5 mA <  $I_O$  < 1A

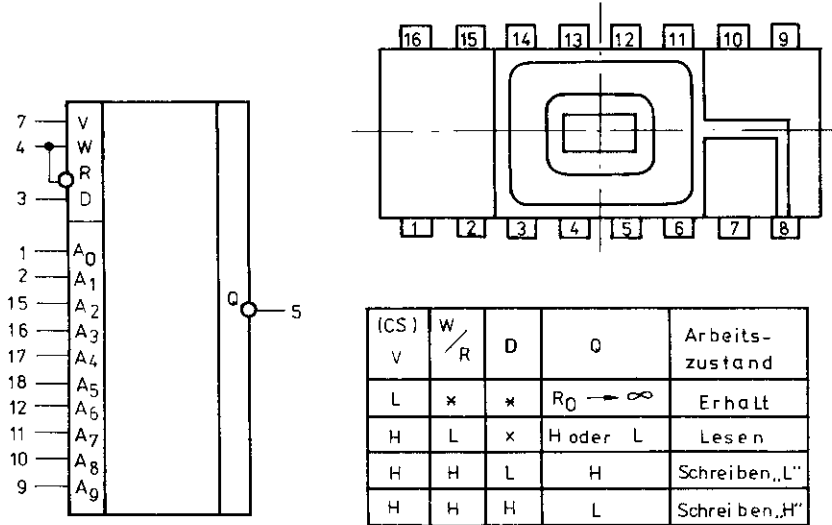
Ausgangs-Kurzschluß-

Strombegrenzung  $I_{OS}$  750 mA

KM 537 RU 1

1024 x 1 Bit statischer C-MOS RAM mit freiem Zugriff

Achtung! Nicht durch den 6508 ersetzbar! (Pinbelegung unterschiedlich)



- 1, 2, 9 - 16 - Adresseneingang ( $A_0$ - $A_4$  = Zeile;  $A_5$ - $A_9$  = Spalte)
- 3 - Informationseingang
- 4 - Schreiben/Lesen
- 5 - Ausgang
- 6 - Masse
- 7 - CS-Eingang
- 8 - 5 V

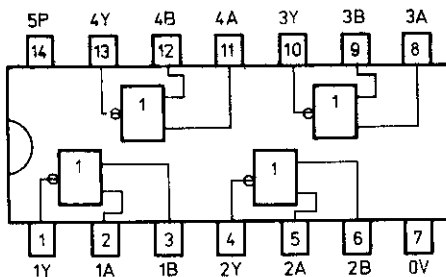
Ausgangsspannung bei log "L"	0,4 V
Ausgangsspannung bei log "H"	2,4 V
Minimale Zykluszeit bei "Schreiben" oder "Lesen"	500 nS
Maximale Ein.- Ausgangsspannung	6,0 V
Minimale Ein.- Ausgangsspannung	-0,2 V
Maximal zulässige Speisespannung	6,0 V
Maximale Lastkapazität	1000 pF
Maximale Flankensteilheit der Eingangssignale	1 $\mu$ s

SN 7407

UCY 7407

T 107

Puffer/Treiber mit offenem Kollektor, vierfach



positive Logik

Y = A

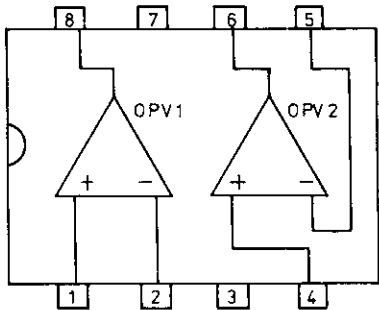
B 2761 D, B 761 D, B 861 D, B 621 D

Universelle Operationsverstärker, zweifach und einfach

- Eigenschaften:
- geringe Offsetspannung
  - großer Eingangswiderstand
  - große Verstärkung
  - hoher Gleichtaktbereich
  - großer Betriebsspannungsbereich
  - großer Ausgangsstrom

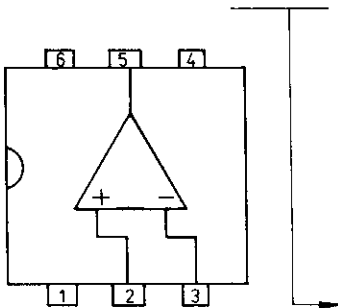
Er eignet sich besonders zum Einsatz als Schmitt-Trigger und Komparator

**B 2761 D**



- 1 Nichtinvertierender Eingang-System 1
- 2 Invertierender Eingang-System 1
- 3 Positive Betriebsspannung
- 4 Invertierender Eingang-System 2
- 5 Nichtinvertierendes Eingang-System 2
- 6 Ausgang-System 2 (offener Kollektor)
- 7 Negative Betriebsspannung
- 8 Ausgang-System 1 (offener Kollektor)

**B 761 D; B 861 D, B 621 D**



- 1 Positive Betriebsspannung
- 2 Nichtinvertierender Eingang
- 3 Invertierender Eingang
- 4 Negative Betriebsspannung
- 5 Ausgang
- 6 Frequenzkompensation
- 6  $\hat{=}$  Anschluß R

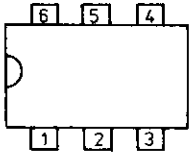
Grenzkenngrößen		B 2761		B 761		B 861		
		min	max	min	max	min	max	
Betriebsspannung	$\pm U_S$ V	1,5	18	1,5	18	1,5	18	
Differenz-Eingangsspannung	$U_{ID}$ V	$\pm U_S$		$\pm U_S$		$\pm U_S$		
Gleichtakt-Eingangsspannung	$U_I$ V	$\pm 13$		$\pm 13$		$\pm 13$		
Ausgangsstrom	$I_O$ mA	70		70		70		
Kenngrößen		B 2761		B 761		B 861		Einstellwerte
		min	max	min	max	min	max	
Stromaufnahme	$I_S$ mA	1,5		2,5		1,5		$R_L \rightarrow \infty$
Eingangs-Offsetsp.	$U_{IO}$ mV	6		6		6		$R_S = 50 \text{ Ohm}$
Eingangs-Offsetstr.	$I_{IO}$ nA	300		300		300		$U_S = \pm 5 \text{ V}$
Eingangs-Basisstr.	$I_I$ uA	1		1		1		$U_S = \pm 5 \text{ V}$
Großsignalverstärkung	$V_u$ dB	80 <sup>6)</sup>		81,5 <sup>6)</sup>		75 <sup>6)</sup>		$U_S = \pm 5 \text{ V}$
Ausgangsspannung	V	+14,9	-14	+14,9	-14	+9,8	-9	$U_O = \pm 2 \text{ V}$
Ausgangssperrstrom	$I_{OR}$ $\mu$ A	10		10		100		$R_L = 2 \text{ kOhm}$

6)  $U_I = \pm 10 \text{ V}$



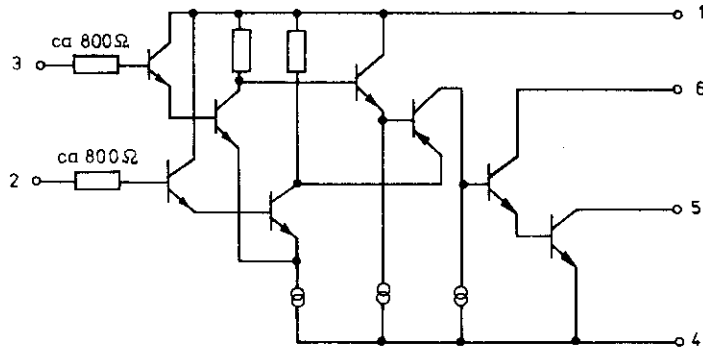
B 611, B 621

Operationsverstärker mit hoher Verstärkung, großem Betriebsspannungsbereich, großem Ausgangsstrom und open-collector-Ausgängen.  
 Beide haben TTL-gerechten Ausgang.

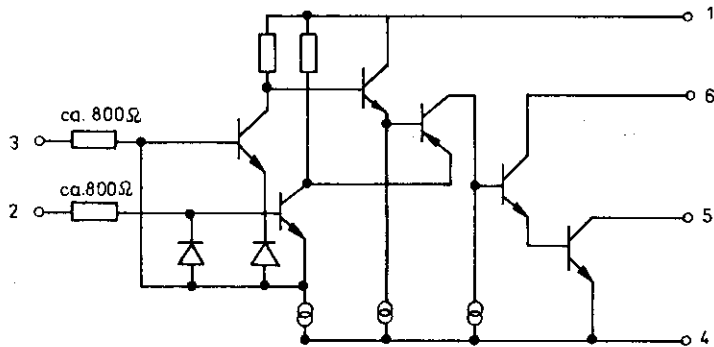


- 1 Positive Betriebsspannung
- 2 Nichtinvertierender Eingang
- 3 Invertierender Eingang
- 4 Negative Betriebsspannung
- 5 Ausgang
- 6 Anschluß R

B 611



B 621



Grenzwerte

Differenzeingangsspannung

$U_{ID}$

$U_{S-} \dots U_{S+}$

$U_{S+} = -U_{S-} = 2 \dots 13 \text{ V}$

Informationswerte

Stromaufnahme

$I_{SO}$

$\leq 1,5 \text{ mA}$  (beim 611er)

$R_L = \infty$

$I_{SO}$

$\leq 2,5 \text{ mA}$  (beim 621er)

Eingangsoffsetstrom

$U_{S+} = -U_{S-} = 5 \dots 15 \text{ V}$

$I_{SO}$

$\leq 0,3 \mu\text{A}$  (beim 621er)

$\leq 25 \mu\text{A}$  (beim 611er)

Eingangsbasisstrom

$U_{S+} = -U_{S-} = 5 \dots 15 \text{ V}$

$I_I$

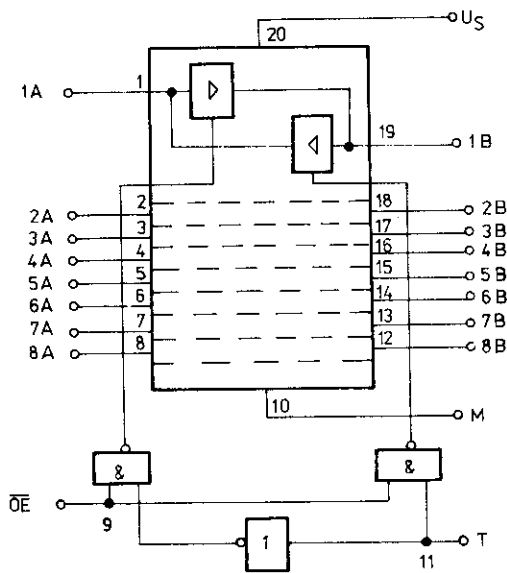
$\leq 1 \mu\text{A}$  (beim 621er)

$\leq 50 \mu\text{A}$  (beim 611er)

Der Schaltkreis DS 8286 ist ein bidirektionaler Bustreiber für 8 Bit Wortlänge mit Tri-state-Ausgängen

Mit dem Signal T kann die Richtung des Datentransfers festgelegt werden. Bei High-Pegel an T und Low-Pegel am Eingang  $\overline{OE}$  werden die Daten von den Anschlüssen A an die Anschlüsse B übermittelt; bei Low-Pegel an T und Low-Pegel an  $\overline{OE}$  vollzieht sich der Datentransfer in umgekehrter Richtung. Hohes Potential an  $\overline{OE}$  bewirkt grundsätzlich die Einstellung des Tri-state-Zustandes an allen Ausgängen.

Anschlußbelegung und logisches Schaltbild



- 1 - 8 (A1-A8) - Lokale Busdaten
- 9 - Output Enable  $\overline{OE}$
- 10 - Masse
- 11 - Transmit T
- 12 - 19 (B1-B8) - System Busdaten
- 20 - Betriebsspannung  $U_S$

Grenzwerte

	min.	max.
Betriebsspannung $U_S$	0	7 V
Eingangsspannung $U_I$		5,5 V

Betriebsbedingungen

	min.	max.
Betriebsspannung $U_S$	4,75	5,25 V
L-Ausgangsstrom $I_{OL}$		
A		16 mA
B		32 mA
H-Ausgangsstrom $-I_{OH}$		
A		1 mA
B		5 mA

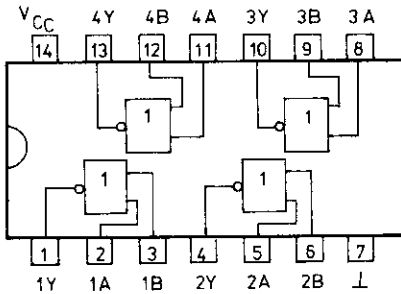
Statische Kennwerte ( $U_S = 5 \text{ V} \pm 0,25 \text{ V}$   $\psi_B = 0 \text{ bis } + 70 \text{ }^\circ\text{C}$ )

	min.	max.
H-Ausgangsspannung $U_{OH}$	2,4	V
$U_S = 4,75$		
L-Ausgangsspannung $U_{OL}$		0,5 V
$U_S = 4,75 \text{ V}$		
L-Eingangsstrom $- I_{IL}$		0,2 mA
$U_S = 5,25 \text{ V}, U_{IL} = 0,45 \text{ V}$		
H-Eingangsstrom $I_{IH}$		50 $\mu\text{A}$
$U_S = 5,25 \text{ V}, U_{IH} = 5,25 \text{ V}$		
Ausgangsstrom bei $- I_{OZ}$		50 $\mu\text{A}$
tri-state		
$U = 5,25 \text{ V}$		
S		
Signalverzögerungszeit	min.	max.
A $\rightarrow$ B $t_{PLH}$		35 ms
$\overline{OE} \rightarrow$ B $t_{PXZ}$		-

SN 7402

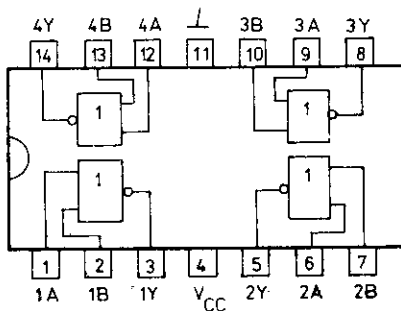
T 102 K 155 LE1; UCY 7402; TL 7402 PC

Zwei-Eingänge-NOR, vierfach



positive Logik

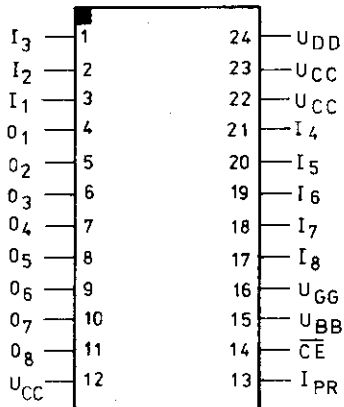
$$Y = \overline{A + B}$$



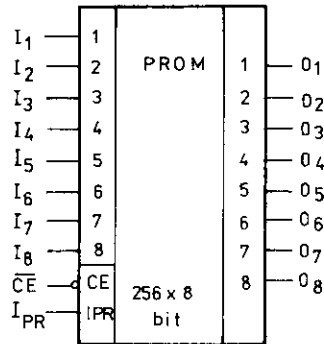
2-K-bit statischer elektrisch programmierbarer PROM

- Ausgabe in 256 Worten zu je 8 bit
- Betriebsspannung  $U_{GG}$  zur Verringerung der Verlustleistung taktbar
- alle Eingänge sind mit integrierten Gateschutz-Elementen versehen.

Anschlussbelegung



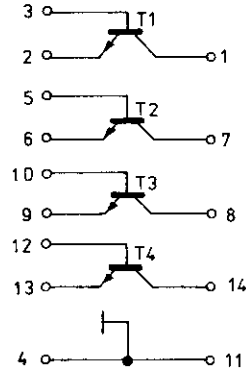
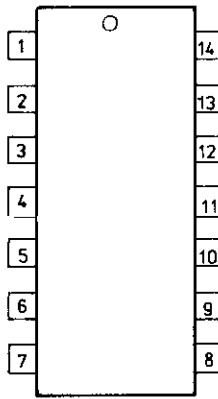
Logisches Schaltbild



Statische Kennwerte im Lesebetrieb:

$U_{CC} = U_{BB}$		min.	typ	max.
Betriebsspannung	$-U_{GG}$	8,55	9	9,45 V
Betriebsspannung	$-U_{DD}$	8,55	9	9,45 V
Betriebsspannung	$U_{CC}$	4,75	5	5,25 V
Eingangsspannung HIGH	$-U_{IH}$ $U_{CC} - 2V$ $U_{CC}$			+ 0,3 V
Eingangsspannung LOW	$U_{IL}$ $U_{DD}$			0,65 V
Ausgangsspannung $U_{OL}$	$I_{OL} = 1,6$ mA			0,4 V
Ausgangsspannung $U_{OH}$	$-U_{OH}$	2,4		V
Stromaufnahme	$I_{GG}$			1 $\mu$ A
	$I_{DD}$ $U_{GG} = U_{DD} = -9$ V			40 mA
	$U_{CC} = 5$ V			
	$I_{OL} = 0$ A			

**Integriertes Transistorarray (Anordnung)**



**Anschlußbelegung**

1	Kollektor T1	8	Kollektor T3
2	Emitter T1	9	Emitter T3
3	Basis T1	10	Basis T3
4	Masse	11	Masse
5	Basis T2	12	Basis T4
6	Emitter T2	13	Emitter T4
7	Kollektor T2	14	Kollektor T4

**Grenzwerte für den Betriebstemperaturbereich**

Kollektor-Emitter-Spannung	$U_{CEO}$	15 V
Kollektor-Basis-Spannung	$U_{CBO}$	20 V
Emitter-Basis-Spannung	$U_{EBO}$	5 V
Kollektor-Substrat-Spannung	$U_{CIO}$	30 V
Kollektorstrom	$I_C$	10 mA
Verlustleistung	$P_{tot}$	400 mW

Kennwerte bei  $\theta_a = 25^\circ \text{C} \pm 5 \text{K}$

Gleichstromverstärkung $U_{CB} = 5 \text{V}, I_E = 1 \text{mA}$	$h_{21 E}(T_1)$	c	56 ... 140
		d	112 ... 280
		e	224 ... 560
$U_{CB} = 5 \text{V}, I_E = 10 \mu\text{A}$	$h_{21 E}$	c, d, e	30

## 8257 DMA

### 1. Allgemeines

Nach durchgeführter Programmierung kann der i 8257 einen Datenblock, der bis zu 16384 Bytes beinhaltet, zwischen Speicher und peripherem Gerät direkt übertragen ohne das ein weiterer Eingriff durch die CPU erforderlich ist. In Abhängigkeit vom Empfang einer DMA-Übertragungsanforderung von einem aktiven peripheren Gerät, führt der i 8257 aus:

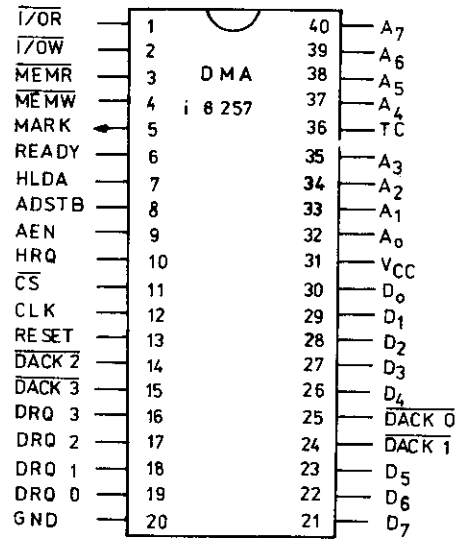
- Erwerb der Steuerung des Systembusses
- Bestätigung, daß das anfordernde periphere Gerät der höchsten Kanal-Priorität zugeordnet ist
- Ausgabe der niederen 8-Bit der Speicheradresse auf die Systemadress-Leitungen  $A_0 - A_7$ . Die höher wertigen 8-Bit der Speicheradresse werden über den Datenbus auf das 8212 8-Bit I/O-Register ausgegeben (der 8212 ordnet diese Adressbits auf den Leitungen  $A_8 - A_{15}$  an!).
- Erzeugung der geeigneten Speicher- und Lese/Schreib-Steuersignale, die das periphere Gerät veranlassen, ein Datenbyte direkt vom oder zu dem adressierten Speicherplatz zu transportieren.

Der 8257 behält die Steuerung des Systembusses und wiederholt die Übertragungsfolge solange, wie ein peripheres Gerät seine DMA-Anforderung aufrecht erhält.

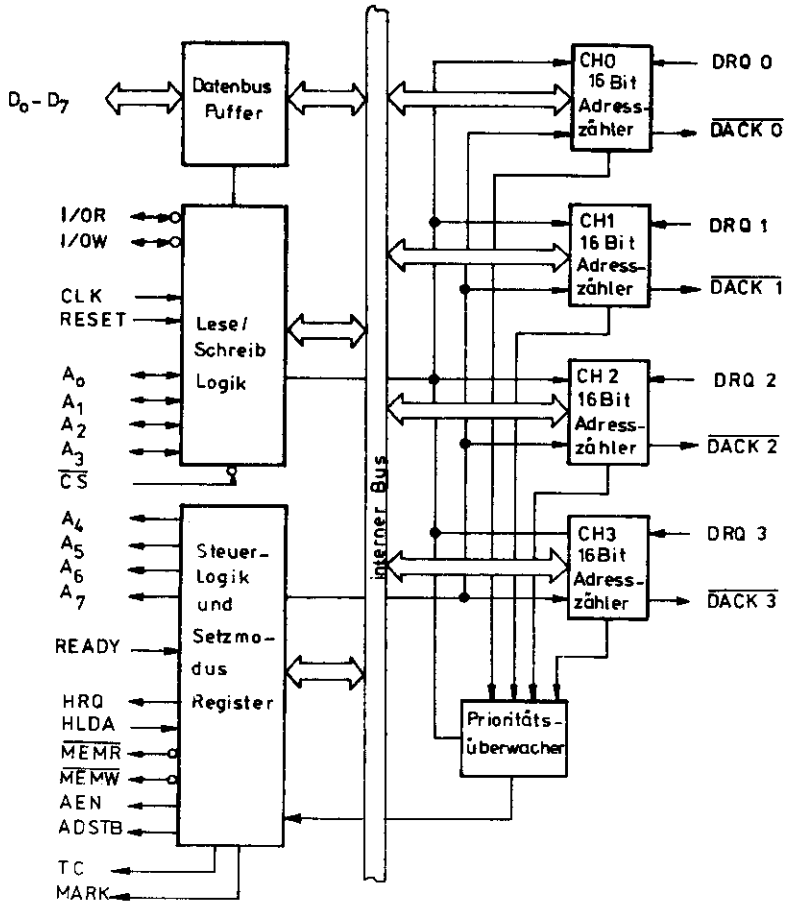
Wenn die spezifizizierte Datenbytezahl übertragen worden ist, aktiviert der 8257 seinen "Terminal count" (TC)-Ausgang, wobei er die CPU informiert, daß die Übertragung beendet ist. Der 8257 bietet 3 verschiedene Arbeitsweisen an.

- DMA lesen: Datenübertragung vom Speicher zu einem peripheren Gerät
- DMA schreiben: Datenübertragung vom peripheren Gerät zum Speicher
- DMA prüfen: Es findet keine tatsächliche Datenübertragung statt. Wenn ein 8257-Kanal sich im DMA-Prüf-Zustand befindet, reagiert er genau so, wie es bei den Übertragungsoperationen beschrieben wurde, ausgenommen, daß keine Speicher oder I/O-Steuersignale erzeugt werden, wodurch eine Datenübertragung verhindert wird. Der 8257 übernimmt die Steuerung des Systembusses und bestätigt die DMA-Anforderung der Peripherie für jeden DMA-Zyklus. Die Peripherie nutzt diese Bestätigungssignale, um den internen Zugriff auf jedes Byte eines Datenblockes zu aktivieren, um einige Prüfprozeduren auszuführen, z. B. solche wie die Bildung eines CRC-Prüfwortes. Zum Beispiel überträgt man im Anschluß an den Block eines DMA-Lesezyklusses, einen Block eines DMA-Prüfzyklusses, um zu ermöglichen, daß das periphere Gerät seine neu erworbenen Daten prüfen kann.

2. Pin-Belegung vom i 8257



3. Blockschaltbild vom i 8257



#### 4. Beschreibung des Blockschaltbildes

##### DMA-Kanäle

Der 8257 besitzt vier getrennte Kanäle (CH-0 bis CH-3), jeder Kanal enthält zwei 16-Bit-Register:

- ein DMA-Adressregister und
- ein "Terminal count" (TC)-Register

Beide Register müssen programmiert (initialisiert) werden, bevor ein Kanal aktiviert ist. Das DMA-Adressregister wird mit der Adresse des ersten Speicherplatzes geladen, auf den zugegriffen wird. Der geladene Wert der niederen 14 Bits des TC-Registers gibt die Zahl der DMA-Zyklen minus 1 an, bevor der TC-Ausgang aktiviert wird. Zum Beispiel würde ein TC von "0" den TC-Ausgang veranlassen, im ersten DMA-Zyklus für diesen Kanal aktiv zu sein. Allgemein gilt, wenn N = Zahl der gewünschten DMA-Zyklen ist, ist der Wert N - 1 in die niederen 14 Bit des TC-Registers zu laden. Die höherwertigen 2 Bit des TC-Registers spezifizieren den Typ der DMA-Betriebsweise für diesen Kanal und dürfen während einer DMA-Zyklus-Ausgabe nicht verändert werden, sie können aber zwischen DMA-Blöcken gewechselt werden. Jeder Kanal nimmt eine DMA-Anforderung (DRQn) als "input" an und liefert eine DMA-Bestätigung (DACKn) als "output".

##### DRQ 0 - DRQ 3

DMA-Request 0 - 3 sind individuelle asynchrone Kanal-Anforderungsinputs, die durch die peripheren Geräte benutzt werden, um einen DMA-Zyklus zu erhalten. Wenn kein rotierender Prioritäten-Mode ist, dann hat DRQ 0 die höchste und DRQ 3 die niedrigste Priorität. Eine Anforderung kann erzeugt werden durch (log.) Anheben der "Request"-Leitung und sie bis zur DMA-Bestätigung "hoch" zu halten. Für mehrere DMA-Zyklen "Burst"-Mode (Stoßbetrieb) wird die "Request"-Leitung "hoch" gehalten bis die DMA-Bestätigung des letzten Zyklusses anliegt.

##### DACK 0 - DACK 3

DMA-Acknowledge, ein aktiver "low" - Pegel auf dem Bestätigungsausgang informiert das periphere Gerät, daß es an diesem Kanal angeschlossen ist und für einen DMA-Zyklus ausgewählt wurde. Der  $\overline{\text{DACK}}$  - Ausgang wirkt wie ein "chip select" für das anfordernde Gerät. Diese Leitung wird aktiv (low) und inaktiv (high) für jedes zu übertragende Byte oder zu übertragenden Datenburst (Daten-Stoßbetrieb).

##### Datenpuffer

Three-state, bidirektional, 8-Bit-Puffer, verbindet den 8257 mit dem Systemdatenbus.

##### D<sub>0</sub> - D<sub>7</sub>

Diese Datenbusleitungen sind bidirektionale three-state-Leitungen. Wenn der 8257 durch die CPU programmiert wird, werden auf dem Datenbus 8 Bit für DMA-Adressregister, für ein TC-Register oder das Setz-Mode-Register, empfangen. Wenn die CPU ein DMA-Adress-Register, ein TC-Register oder das Statusregister liest, werden die Daten über den Datenbus zur CPU geleitet. Während des DMA-Zyklusses (wenn der 8257 den Bus besitzt) gibt der 8257 die höherwertigen 8-Bit der Speicheradresse (eines der DMA-Adressregister) über den Datenbus zum 8212 aus.



Bit 15	Bit 14	Typ des DMA-Betriebes
0	0	DMA - Prüf - Zyklus
0	1	DMA - Schreib - Zyklus
1	0	DMA - Lese - Zyklus
1	1	nicht erlaubt

## 5. Lese/Schreib-Logik

Wenn die CPU eines der 8257-Register programmiert oder liest - d. h. wenn der 8257 ein "slave-device" (Nebennutzer) auf dem Systembus ist - nimmt die Lese/Schreib-Logik das "I/O Read" ( $\overline{I/O\overline{R}}$ ) - oder das "I/O Writh" ( $\overline{I/O\overline{W}}$ )-Signal an, dekodiert die niederen 4 Adressbit ( $A_0 - A_3$ ) und schreibt entweder den Inhalt des Datenbusses in das adressierte Register (wenn  $\overline{I/O\overline{W}} = "0"$  ist) oder legt den Inhalt des adressierten Registers auf den Datenbus (wenn  $\overline{I/O\overline{R}} = "0"$  ist). Während des DMA-Zyklusses (d.h. wenn der 8257 der Bus - Hauptnutzer ist) erzeugt die Lese/Schreib-Logik die I/O-Lese- und Speicher-Schreib (DMA-Schreibzyklus)-Signale oder die I/O-Schreib und Speicher-Lese (DMA-Lese-Zyklus)-Signale, die die Datenkette mit dem peripheren Gerät steuern, dem der DMA-Zyklus gewährt wurde. Es ist zu beachten, daß während der DMA-Übertragung Nicht-DMA-I/O-Geräte durch Verwendung des "AEN"-Signals ausgeschaltet werden ("disabled"), um zu verhindern, daß I/O-Geräte die Speicheradresse als fehlerhafte Geräteadresse dekodieren.

### $\overline{I/O\overline{R}}$

I/O-Read: Aktiv low, bidirektionale three-state-Leitung. Im "Nebennutzer"-Zustand ist sie ein Eingang, der zuläßt, daß das 8-Bit-Status-Register oder das höhere/niedere Byte eines 16-Bit-DMA-Adressregisters oder TC-Registers gelesen werden. Im "Hauptnutzer"-Zustand ist  $\overline{I/O\overline{R}}$  ein Eingang, der verwendet wird, um auf Daten vom peripheren Gerät während des DMA-Schreib-Zyklusses zuzugreifen.

### $\overline{I/O\overline{W}}$

I/O Write: Aktiv low, bidirektionale three-state-Leitung. Im "Nebennutzer"-Zustand ist sie ein Eingang der zuläßt, den Inhalt des Datenbusses in das 8-Bit-Setz-Mode-Register oder das höhere/niedere Byte des 16-Bit DMA-Adress-Registers oder das TC-Register zu laden. Im "Hauptnutzer"-Zustand ist  $\overline{I/O\overline{W}}$  ein Ausgang der gestattet, daß Daten auf ein peripheres Gerät während eines DMA-Lese-Zyklusses ausgegeben werden.

### CLK

Takt-Eingang:

### RESET

Reset: Ein asynchroner Eingang, der alle DMA-Kanäle durch Löschen des Setz-Mode-Registers inaktiviert und alle Steuerleitungen in den "three-state"-Zustand schaltet.

(A<sub>0</sub> - A<sub>3</sub>)

Adressleitungen: Diese niederwertigen vier Adressleitungen sind bidirektional. Im "Nebennutzer"-Zustand sind sie Eingänge, die eines der Register auswählen, das zu lesen oder zu programmieren ist. Im "Hauptnutzer"-Zustand sind sie Ausgänge, die die niederwertigen vier Bit der 16-Bit-Speicheradresse festlegen, die vom 8257 erzeugt wurde.

$\overline{CS}$

Chip Select: Ein aktiv "low" Eingang, er aktiviert den I/OR- oder I/OW-Eingang, wenn der 8257 im "Nebennutzer"-Zustand gelesen oder programmiert wird. Im "Hauptnutzer"-Zustand wird  $\overline{CS}$  automatisch inaktiv, um den Chip während des Ablaufes der DMA-Funktion, vor einer Auswahl durch sich selbst zu schützen.

## 6. Steuerlogik

Dieser Block steuert die Operationsfolge während aller DMA-Zyklen durch Erzeugung der entsprechenden Steuersignale und die 16-Bit Adresse für den Speicherzugriff.

(A<sub>4</sub> - A<sub>7</sub>)

Adreßleitungen: Diese 4 Adreßleitungen sind "three-state"-Ausgänge, die die Bits 4 ... 7 der Speicheradresse bilden und durch den 8257 während aller DMA-Zyklen erzeugt werden.

(READY)

Dieser asynchrone Eingang wird zur Verlängerung der Speicher-Lese- und Schreibzyklen im 8257 mittels WAIT-Zuständen benutzt, falls der ausgewählte Speicher längere Zyklen benötigt.

(HRQ)

BUS-Anforderung: Dieser Ausgang fordert die Steuerung des Systembusses, in Systemen mit nur einem 8257.

(HLDA)

BUS-Bestätigung: Dieser Eingang von der CPU zeigt an, daß der 8257 die Steuerung des Systembusses übernommen hat.

(MEMR)

Speicher-Lesen: Dieser "three-state"-Ausgang (aktiv-low) wird zum Lesen der Daten vom adressierten Speicherplatz während der DMA-Lese-Zyklen benutzt.

(MEMW)

Speicher-Schreiben: Dieser "three-state"-Ausgang (aktiv-low) wird zum Schreiben der Daten auf den adressierten Speicherplatz während der DMA-Schreib-Zyklen benutzt.

### (ADSTB)

Adressen-Markierung: Dieser Ausgang markiert das höherwertige Byte der Speicheradresse vom Datenbus in den 8212.

### (AEN)

Adressen-Zuschaltung: Dieser Ausgang wird zur Verhinderung des Flatterns des System-Datenbusses und Steuerbusses benutzt. Er kann außerdem zur Trennung des 8257-Datenbusses vom System-Datenbus benutzt werden, sowie zur Erleichterung der Übertragung der 8 höherwertigen DMA-Adreß-Bit über die 8257-Daten-E/A-Pins. Wenn der 8257 in einer E/A-Geräte-Struktur benutzt wird (im Gegensatz zur Speicherstruktur), sollte das AEN-Signal zur Verhinderung der Anwahl eines E/A-Gerätes benutzt werden, wenn die DMA-Adresse auf dem Adreßbus liegt. Die E/A-Geräte-Auswahl sollte durch die DMA-Bestätigungs-Ausgänge der 4 Kanäle bestimmt werden.

### (TC)

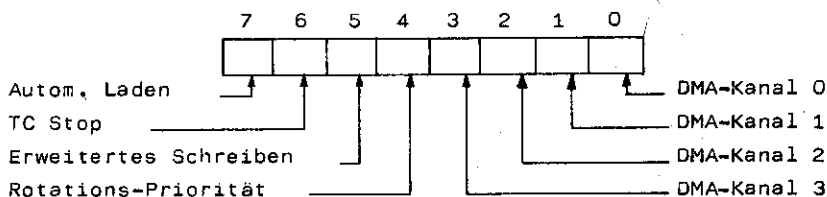
Terminal-Zähler: Dieser Ausgang meldet dem augenblicklich ausgewählten Peripheriegerät, daß der laufende DMA-Zyklus der letzte für diesen Datenblock ist. Falls das TC-STOP-Bit im Setz-Mode-Register gesetzt ist, wird der ausgewählte Kanal am Ende des DMA-Zyklus automatisch gesperrt. TC ist aktiv, wenn der 14 Bit-Wert der ausgewählten Kanäle den TC-Register-Zähler gleich Null setzt. Es sei erinnert, daß die niederwertigen 14 Bit des TC-Registers mit dem Wert (n-1) geladen werden sollte, wobei n die gewünschte Anzahl der DMA-Zyklen ist.

### (MARK)

Modulo 128 Marke: Dieser Ausgang meldet dem ausgewählten Peripheriegerät, daß der laufende DMA-Zyklus der 128. Zyklus seit der vorhergehenden MARK-Ausgabe ist. MARK bildet sich alle 128 - (und vielfache von 128) Zyklen vom Ende des Datenblockes aus. Nur wenn die Gesamtzahl der DMA-Zyklen (n) gerade durch 128 teilbar ist, das TC-Register mit n-1 geladen wurde, erscheint MARK alle 128 Zyklen von Beginn des Datenblockes an (und jedem aufeinanderfolgenden vielfachen von 128).

## 7. Setz-Modus-Register

Die einzelnen Bits des Mode-Registers schalten jeden der 4 DMA-Kanäle ein und erlauben 4 verschiedene Optionen (Auswahlbedingungen) für den 8257.



Das Mode-Register wird normalerweise durch die CPU programmiert, nachdem die DMA-Adressregister und TC-Register initialisiert wurden. Das Mode-Register wird durch RESET gelöscht, damit erfolgt die Abschaltung aller Optionen, Sperrung aller Kanäle und Verhinderung von BUS-Störungen beim Netzeinschalten. Ein Kanal sollte nicht zugeschaltet bleiben,

es sei denn, die DMA-Adresse und die TC-Register enthalten die gültigen Werte. Sonst könnte eine versehentliche DMA-Anforderung (DRQn) vom Peripherie-Gerät einen DMA-Zyklus auslösen, wobei die Speicherdaten zerstört würden.

#### Rotations-Priorität, Bit 4

In dieser Option rotiert die Priorität auf den Kanälen. Nach jedem DMA-Zyklus ändert sich die Priorität jedes Kanals. Der gerade bediente, erhält die niedrigste Priorität. Wenn das Rotations-Prioritäts-Bit nicht gesetzt ist, hat jeder DMA-Kanal eine feste Priorität, der Kanal 3 hat die niedrigste Priorität. Wenn das Rotations-Prioritäts-Bit gesetzt ist, ändert sich die Priorität der Kanäle nach jedem DMA-Zyklus (nicht nach DMA request). Jeder Kanal wird zur nächsthöheren Prioritäts-Zuweisung verschoben, während der Kanal, der gerade bedient wurde, sich zur niedrigsten hin verschiebt. Die Rotations-Priorität soll verhindern, daß irgendein Kanal das Monopol über den DMA-Mode besitzt. Alle DMA-Operationen beginnen mit Kanal 0, dem anfangs die höchste Priorität für den ersten DMA-Zyklus zugewiesen wird.

#### Extended-Write, Bit 5

Wenn dieses Bit gesetzt ist, wird die Dauer von MEMW und I/OW durch deren früheres aktivieren im DMA-Zyklus verlängert. Datenübertragungen innerhalb des Mikrorechner-Systems erfolgen asynchron, um die Benutzung verschiedener Typen von Speichern und E/A-Geräten mit unterschiedlichen Zugriffszeiten zu ermöglichen. Wenn der Zugriff zu einem Gerät nicht innerhalb einer bestimmten Zeit erfolgen kann, gibt es ein "nicht bereit" an den 8257. Das veranlaßt den 8257 ein oder mehrere WAIT-Zustände in die interne Folge einzufügen. Für Systeme mit schnellen Speichern und E/A-Geräten erlaubt die Extended WRITE-Option die alternative Zeitsteuerung der E/A- und Speicherschreib-Signale. Diese ermöglicht es den Geräten, READY früher zurückzuführen und so das Auftreten von unnötigen WAIT-Zuständen im 8257 zu verhindern, wodurch sich die Systemgeschwindigkeit erhöht.

#### TC Stop, Bit 6

Wenn dieses Bit gesetzt ist wird der aktuelle Kanal gesperrt (d. h. sein enable-Bit ist zurückgesetzt). Es wirkt nach der TC-Ausgabe und verhindert automatisch weitere DMA-Operationen auf diesem Kanal. Das enable-Bit für diesen Kanal muß neu programmiert werden, um eine weitere DMA-Operation fortzusetzen oder zu beginnen. Wenn TC Stop nicht gesetzt ist, haben TC-Ausgaben keine Wirkung auf die Kanal-enable-Bits. Es wird generell gefordert, daß das Peripheriegerät die DMA-Anforderungen einstellt, um eine DMA-Operation zu beenden.

#### Auto Load, Bit 7

Dieses Bit erlaubt, daß der Kanal 2 für Block-Wiederholungs- oder Block-Verkettungs-Operationen ohne unmittelbaren Software-Eingriff benutzt wird. Zwischen den Block werden die Register des Kanals 2 wie üblich für den ersten Datenblock initialisiert. Die Register des Kanals 3 werden zur Speicherung der Block-Reinitialisierungsparameter (DMA-Start-Adresse, TC und DMA-Übertrags-Mode) benutzt. Nachdem der erste Block der DMA-Zyklen durch Kanal 2 ausgeführt ist (er wirkt nach der TC-Ausgabe), werden die in den Registern des Kanals 3 gespeicherten Parameter während eines "Update" (Änderungs)-Zyklus in den Kanal 2 übertragen. Beachte, der TC-Stop (Bit 6) hat keine Wirkung auf Kanal 2, wenn das Auto-Load-Bit gesetzt ist. Ebenfalls werden, wenn das Auto-Load-Bit gesetzt ist, die Anfangsparameter für Kanal 2 automatisch in die Register des Kanals 3 dupliziert, wenn Kanal 2

programmiert ist. Dadurch ist es möglich, Block-Wiederholungs-Operationen bei Programmierung eines Einzel-Kanals zu realisieren. Die Kanäle 2 und 3 können noch mit separaten Werten geladen werden, wenn der Kanal 2 vor dem Kanal 3 geladen wird. Beachte, daß im Auto-Load-Mode der Kanal 3 für den Benutzer noch verfügbar ist, wenn das Kanal 3-enable-Bit gesetzt ist. Die Benutzung dieses Kanals wird aber die Werte ändern, die automatisch in den Kanal 2 während der "update"-Zeit geladen wurden. All das ist zur Benutzung der Auto-Load-Merkmale notwendig. Für Verkettungs-Operationen sind die Register des Kanals 3 am Ende eines jeden "update"-Zyklus mit den neuen Parametern für die nächste Daten-Block-Übertragung umzuladen. Zu dem Zeitpunkt, wenn der 8257 einen "update"-Zyklus beginnt, wird das "update"-Flag im Status-Register gesetzt und die Parameter des Kanals 3 werden zum Kanal 2 übertragen, wobei die Parameter im Kanal 3 erhalten bleiben. Die aktuelle Reinitialisierung des Kanals 2 tritt zu Beginn des nächsten DMA-Zyklus für Kanal 2 auf (nach dem TC-Zyklus). Das ist der erste DMA-Zyklus für den neuen Datenblock des Kanals 2. Das "update"-Flag wird am Ende dieses DMA-Zyklus gelöscht. Für Verkettungs-Operationen kann das "update"-Flag im Statusregister durch die CPU überwacht werden, um festzustellen, wann die Reinitialisierung beendet wurde, damit die nächsten Block-Parameter sicher in den Kanal 3 geladen werden können.

#### 8. Status Register

Das 8-Bit-Statusregister gibt an, welche Kanäle die TC-Bedingung erreicht haben und es enthält auch das "update"-Flag. Die TC-Status-Bits werden gesetzt, wenn der TC-Ausgang für diesen Kanal aktiviert wird. Sie bleiben gesetzt, bis das Statusregister gelesen oder der 8257 zurückgestellt wird. Das "update"-Flag wird nicht von einer Statusregister-Leseoperation beeinflußt. Es kann durch Rücksetzen des 8257 gelöscht werden oder durch Änderung zum Nicht-Auto-Load-Mode (d. h. durch Rücksetzen des Auto-Load-Bit im Setz-Mode-Register) oder es kann veranlaßt worden sein, bei der Beendigung des "update"-Zyklus sich selbst zu löschen. Der Zweck des "update"-Flag ist, zu verhindern, daß die CPU versehentlich einen Datenblock überprüft, indem die Start-Adresse oder TC im Kanal 3 überschrieben wird, bevor diese Parameter sicher automatisch in den Kanal 2 übertragen sind.

#### DMA-Operationen

##### Einzel-Byte-Übertragung

Eine Einzel-Byte-Übertragung wird eingeleitet, indem ein E/A-Gerät das DRQ-Signal auf einen Kanal des 8257 schaltet. Wenn der Kanal zugeschaltet ist, gibt der 8257 ein HRQ an die CPU. Der 8257 wartet nun, bis ein HLDA empfangen wird. Damit ist gesagt, daß der Systembus frei ist. Sobald HLDA empfangen wird, ist  $\overline{\text{DACK}}$  für den angeforderten Kanal aktiviert (low).  $\overline{\text{DACK}}$  wirkt dabei wie ein Chip-Selekt für das anfordernde E/A-Gerät. Danach bringt der 8257 die Lese- und Schreib-Kommandos und die Byte-Übertragung zwischen E/A-Gerät und Speicher wird realisiert. Nach Beendigung der Übertragung geht  $\overline{\text{DACK}}$  auf "high" und HRQ auf "low". Damit wird der CPU gemeldet, daß für sie der BUS frei ist. DRQ muß "high" bleiben bis  $\overline{\text{DACK}}$  anerkannt wird. DRQ muß "low" werden bevor S4 der Übertragungsfolge erreicht ist, um eine weitere Übertragung auszuschließen.

##### Fortlaufende Übertragung

Wenn mehr als ein Kanal die Bedienung gleichzeitig anfordern, wird die Übertragung wie im Daten-Stopbetrieb realisiert. In jeder S4-Phase werden die DRQ-Leitungen geprüft und die Anforderung mit der höchsten Priorität wird anerkannt. Eine Daten-Stopbetrieb-Übertragung

mit einer niedrigeren Priorität wird durch eine höhere Prioritätsanforderung übersprungen. Wenn die Übertragung mit der höheren Priorität ihre Steuerung beendet hat, wird zum Kanal mit der nächstniederen Priorität übergegangen, wenn dessen DRQ noch aktiv ist. Zur Ausführung dieser Folge werden keine zusätzlichen Zyklen benötigt. Das HRQ bleibt aktiv bis alle DRQ-Signale auf "low" gehen.

#### Steuerung für Überspringen

Der oben beschriebene fortlaufende DMA-Übertragungs-Mode kann durch ein externes Gerät über HLDA = "low" unterbrochen werden. Nach jeder DMA-Übertragung prüft der 8257 das Signal HLDA, ob es noch aktiv ist. Ist es dies nicht mehr, beendet der 8257 die laufende Übertragung, schaltet HRQ ab ("low") und kehrt in den passiven Zustand zurück. Wenn die DRQ-Signale noch aktiv sind, wird der 8257 im 3. Zyklus HRQ auf "high" schalten und normal weiterarbeiten (siehe Zeitdiagramm).

#### Nicht bereit

Der 8257 hat einen Ready-Eingang ähnlich dem 8080 A und 8085 A. Das Ready-Signal wird im Zustand 3 geprüft. Wenn Ready "low" ist, geht der 8257 in den WAIT-Zustand. Ready wird während jedem WAIT-Zustand geprüft. Wenn Ready auf "high" zurückgeht, setzt der 8257 mit dem Zustand 4 fort, um die Übertragung zu beenden. Ready wird benutzt, um den Anschluß von Speichern oder E/A-Geräten zu ermöglichen, die den Zeitbedingungen, die vom 8257 gefordert werden nicht folgen können.

#### Geschwindigkeit

Der 8257 benötigt zur Übertragung eines Datenbytes 4 Taktzyklen. Im 2 MHz-Takt erlaubt der 8257 eine Übertragungsrates von 500 kByte/s.

#### Speicherorganisation, E/A-Konfiguration

Der 8257 kann wie ein Speicher an den Systembus, anstatt als E/A-Gerät bei Speicherorganisation einer E/A-Konfiguration angeschlossen werden. Dabei werden die Steuerleitungen des Systemspeichers an die E/A-Steuerleitungen des 8257 und die E/A-Steuerleitungen des Systems an die Speichersteuerleitungen des 8257 angeschlossen. Diese Konfiguration erlaubt die Benutzung des 8080 mit beträchtlich größerem Repertoire von Speicherbefehlen, wenn die Register des 8257 gelesen oder geladen werden. Es ist bei diesem Anschluß zu beachten, daß die Programmierung des Lesebits (Bit 15) und des Schreibbits (Bit 14) im TC-Register unterschiedliche Bedeutung haben.

#### Programmierung und Lesen der 8257-Register

Es gibt vier Paare von "Kanalregistern", wobei jedes Paar aus einem 16 Bit DMA-Adressregister und einem 16 Bit-TC-Register besteht. Der 8257 besitzt ferner zwei "Allgemein-Register", ein 8-Bit Setz-Mode-Register und ein 8-Bit Status-Register. Diese Register werden geladen oder gelesen, wenn die CPU einen Schreib-oder Lese-Befehl ausführt, der den 8257 und die entsprechenden Register mit adressiert. Der 8257 erzeugt das entsprechende Lese-oder Schreibsteuer-Signal, allgemein I/OR oder I/OW, während die CPU eine 16-Bit-Adresse auf den Systembus legt und entweder die zu schreibenden Daten auf dem Systemdatenbus ausgibt oder zu lesende Daten vom Datenbus empfängt. Alle oder einige der höherwertigen 12 Adressbits  $A_{15} \dots A_4$  (abhängig vom Speichersystem, I/O-Konfiguration) werden nor-

malerweise dekodiert, um den Chip-Selekt-Eingang zum 8257 ( $\overline{CS}$ ) herzustellen. Ein I/O-Write-Eingang (oder "memory write" in den Speicher der I/O-Konfiguration, die unten beschrieben werden) spezifiziert, daß das adressierte Register zu programmieren ist, während ein I/O-read-Eingang (oder "memory read") spezifiziert, daß das adressierte Register zu lesen ist. Adressbit 3 spezifiziert, ob auf ein "Kanal-Register" ( $A_3 = 0$ ) oder auf das "Setz-Mode- (neu programmieren) / Status (neu lesen) - Register" ( $A_3 = 1$ ) zuzugreifen ist. Die niederwertigen 3 Adressbits  $A_0 - A_2$  zeigen das spezielle Register an, auf das zugegriffen wird. Erfolgt ein Zugriff auf das "Setz-Mode- oder Statusregister, sind  $A_0$  bis  $A_2 = 0$ . Bei Zugriff auf ein Kanal-Register unterscheidet Bit  $A_0$  zwischen dem DMA-Adress-Register ( $A_0 = 0$ ) und dem TC-Register ( $A_0 = 1$ ), während die Bits  $A_1$  bis  $A_2$  einen der 4 Kanäle spezifizieren.

Steuereingang	$\overline{CS}$	I/OW	I/OR	$A_3$
programmieren halbes Kanalreg.	0	0	1	0
lesen halbes Kanalregister	0	1	0	0
programmieren Mode-Setz-Regis.	0	0	1	1
lesen Status-Register	0	1	0	1

Da die 4 Kanalregister 16 Bit haben, sind 2 Programmbefehlszyklen erforderlich, um ein Kanalregister zu lesen oder zu laden. Dazu besitzt der 8257 ein first/last-FF (F/L-FF), das bei Abschluß jeder Kanalprogrammierung oder Leseoperation gesetzt wird. Das F/L-FF bestimmt, ob auf das hohe oder niedere Byte zugegriffen wird. Es wird rückgestellt durch den "RESET"-Eingang und wenn das Setz-Mode-Register geladen wird. Um die geeignete Synchronisation zu erreichen, wenn auf die "Kanal-Register" zugegriffen wird, sollten alle Kanal-Kommando-Befehls-Operationen paarweise erfolgen und mit dem niedrigen Byte des Registers beginnen auf das zuerst zugegriffen wird. Es ist nicht erlaubt,  $\overline{CS}$  zu taktieren, während entweder  $\overline{I/OR}$  oder  $\overline{I/OW}$  aktiv ist, da dadurch ein fehlerhafter F/L-FF-Zustand entsteht. In Systemen, die mit Interrupt arbeiten, sollten Interrupts vor jeder paarweisen Programmierungsoperation verboten werden. Wird dies nicht beachtet, kann das dazu führen, daß sich das F/L-FF undefiniert einstellt.

#### 8257 Register-Auswahl

Register	Byte	Adresseing.-Leit.				F/L	Bidirektionaler Datenbus							
		$A_3$	$A_2$	$A_1$	$A_0$		$D_7$	$D_6$	$D_5$	$D_4$	$D_3$	$D_2$	$D_1$	$D_0$
Ch-0 DMA-Adresse	LSB	0	0	0	0	0	$A_7$	$A_6$	$A_5$	$A_4$	$A_3$	$A_2$	$A_1$	$A_0$
	MSB	0	0	0	0	0	$A_{15}$	$A_{14}$	$A_{13}$	$A_{12}$	$A_{11}$	$A_{10}$	$A_9$	$A_8$
CH-0 TC	LSB	0	0	0	1	0	$C_7$	$C_6$	$C_5$	$C_4$	$C_3$	$C_2$	$C_1$	$C_0$
	MSB	0	0	0	1	1	RD	WR	$C_{13}$	$C_{12}$	$C_{11}$	$C_{10}$	$C_9$	$C_8$
CH-1 DMA-Adresse	LSB	0	0	1	0	0	} wie Kanal 0							
	MSB	0	0	1	0	1								
CH-1 TC	LSB	0	0	1	1	0	}							
	MSB	0	0	1	1	1								

Register	Byte	Adresseing.-Leit.					F/L	Bidirektionaler Datenbus							
		0	1	0	0	0		0	1						
CH-2 DMA-Adresse	LSB	0	1	0	0	0	}	wie Kanal 0							
	MSB	0	1	0	0	1									
CH-2 TC	LSB	0	1	0	1	0	}	wie Kanal 0							
	MSB	0	1	0	1	1									
CH-3 DMA-Adresse	LSB	0	1	1	0	0	}	wie Kanal 0							
	MSB	0	1	1	0	1									
CH-3 TC	LSB	0	1	1	1	0	}	wie Kanal 0							
	MSB	0	1	1	1	1									
Setz Mode (nur programm.)	-	1	0	0	0	0	AL	TCS	EW	RF	EN3	EN2	EN1	ENO	
Status (nur lesen)	-	1	0	0	0	0	0	0	0	UP	TC3	TC2	TC1	TC0	

$A_0 - A_{15}$  : DMA-Startadresse

$C_0 - C_{13}$  : TC-Wert (N-1)

RD u. WR : DMA-prüfen (00), Schreiben (01) oder Lesen (10)

Zyklus-  
auswahl

AL : Selbst-Laden

TCS : TC Stop

EW : Erweitertes Schreiben

RP : Rotierende Priorität

EN3 - EN0: Kanalaktivierungsmaske

UP : offen-Date-Flag

TC3 - TC0: TC-Status-Bits



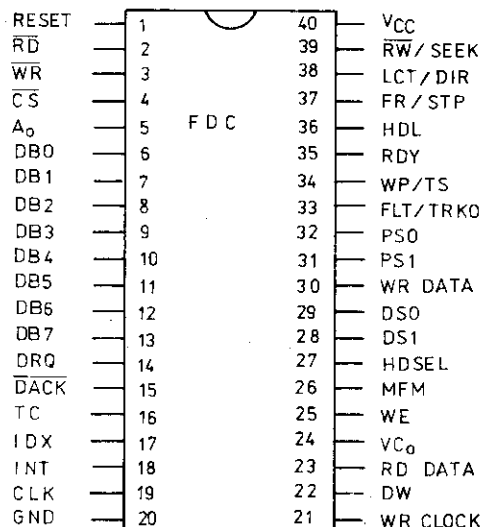
## 8272 FDC

1. Der FDC ist ein LSI-Schaltkreis, der die Schaltungstechnik und die Steuerfunktionen für den Anschluß eines Prozessors an 4 FD-Laufwerke enthält. Er kann FM oder MFM sowie doppel-seitige Ausführung realisieren. Er liefert Steuersignale, die den Anschluß eines externen PLL (Phase-Lock-Loop - rückgekoppelter Phasenregelkreis - ) und einer Prekompensations-schaltung vereinfacht. Im FDC sind Handshake (Quittungs)-Signale vorgesehen, die es mög-lich machen, die DMA-Operation mit Hilfe eines externen DMA-Kontroller-Schaltkreises, so z. B. der 8237 leicht zu ermöglichen. Der FDC kann entweder im DMA- oder im Nicht-DMA-Be-trieb arbeiten. Im Nicht-DMA-Betrieb erstellt der FDC ein Interrupt zum Prozessor für je-de Übertragung eines Datenbytes zwischen der CPU und dem FDC. Im DMA-Betrieb braucht der Prozessor nur ein Kommando in den FDC zu laden und der gesamte Datenaustausch erfolgt un-ter der Steuerung des FDC und des DMA-Kontrollers. Der FDC führt 15 separate Kommandos aus. Jedes dieser Kommandos benötigt mehrere 8-Bit-Bytes um die gewünschten Operationen vollständig durch den Prozessor spezifizieren zu können. Die Kommandos sind:

- Lese Daten
- Lese geschützte Daten
- Schreibe Daten
- Schreibe geschützte Daten
- Lesen einer Spur
- Lese ID
- Formatiere eine Spur
- Durchsuchen auf Gleichheit
- Durchsuchen auf kleiner oder gleich
- Durchsuchen auf größer oder gleich
- Nacheichen (Positionieren auf Spur 0)
- Prüfen (Abtasten) des Interruptstatus
- Spezifizieren
- Abfrage Laufwerkstatus
- Suchen

Siehe dazu FDC Kommandosatz Seiten 81 - 84

## 2. PIN-Belegung



### 3. PIN-Beschreibung

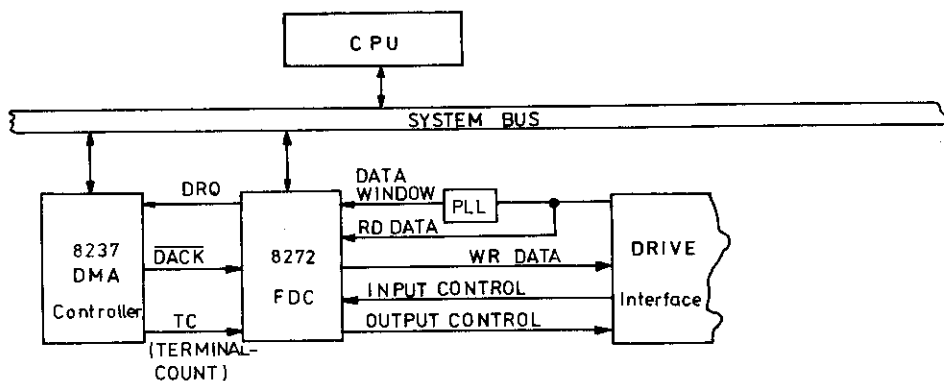
<sup>1</sup>: inaktiv wenn  $\overline{CS} = 1$

µP: Mikro-Prozessor

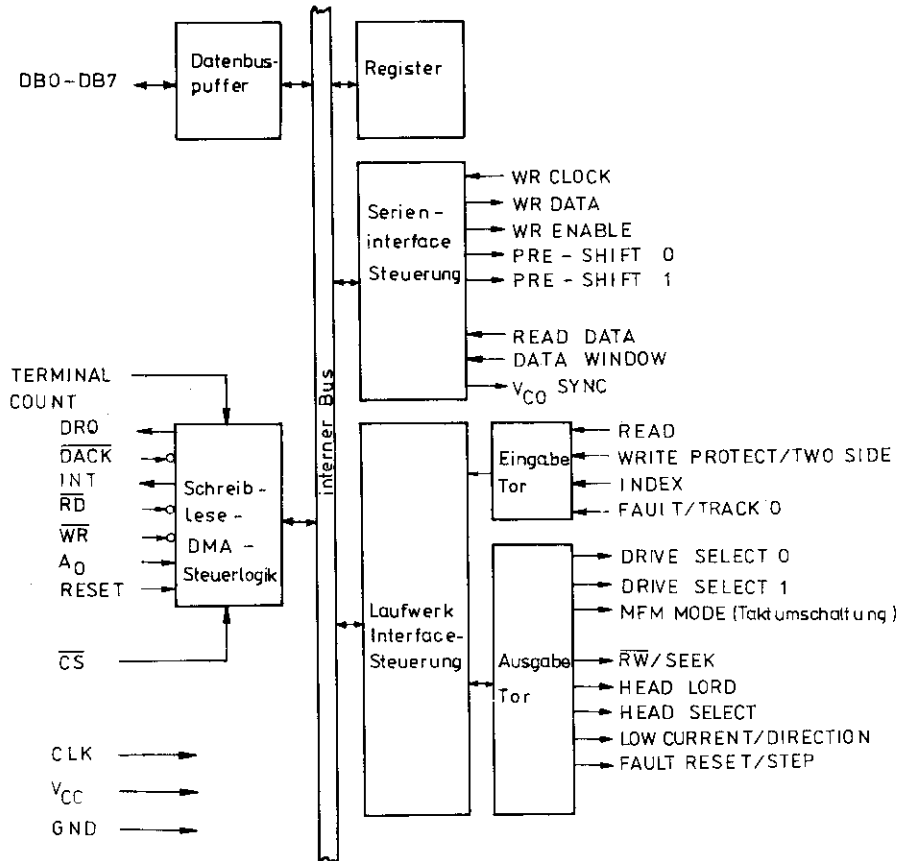
PIN		I/O	Verbin. zu	Beschreibung
Nr.	Bezei.			
1	RST	I	µP	Reset: Setzt den FDC in den Grundzustand. Setzt die Ausgangsleitungen zum Laufwerk auf "0" (LOW).
2	$\overline{RD}$	I <sup>1</sup>	µP	Lesen: Steuersignal für Datenübertragung vom FDC, wenn "0" (LOW).
3	$\overline{WR}$	I <sup>1</sup>	µP	Schreiben: Steuersignal für Datenübertragung zum FDC über den Datenbus, wenn "0" (LOW).
4	$\overline{CS}$	I	µP	Anwahl: Der IC ist bei "0" (LOW) ausgewählt und erlaubt $\overline{RD}$ und $\overline{WR}$ aktiv zu sein.
5	A <sub>0</sub>	I <sup>1</sup>	µP	Daten-/Statusregisterauswahl: Wählt das Datenregister an (A <sub>0</sub> = 1) oder der Statusregisterinhalt wird zum Datenbus gesendet.
6-13	DB <sub>0</sub> -DB <sub>7</sub>	I/O <sup>1</sup>		Datenbus: bidirektionaler 8-Bit-Datenbus
14	DRQ	O	DMA	Daten DMA-Anforderung: DMA-Anforderung wird durch den FDC ausgelöst, wenn DRQ = "1".
15	$\overline{DACK}$	I	DMA	DMA-Freigabe: DMA-Zyklus ist aktiv, wenn das Signal "0" (LOW) ist. Der Controller kann DMA-Übertragung ausführen.
16	TC	I	DMA	Endequittung: Zeigt die Beendigung einer DMA-Übertragung an, wenn "1".
17	IDX	I	FD	Index: Zeigt den Anfang einer Spur an.
18	INT	O	µP	Interrupt: Durch den FDC generierte Interruptanforderung.
19	CLK	I		Takt: Einphasiger 8 MHz Rechtecktakt.
20	GND			Masse:
21	WR CLK	I		Schreibtakt: Schreibdatenrate zum FD mit einer Impulsbreite von 250 ns. FM = 500 KHz, MFM = 1 MHz.
22	DW	I	PLL	Datenfenster: Generiert durch die PLL, wird zum Abtasten der Daten vom FD verwendet.
23	RD DATA	I	FD	Lesedaten: Lesedaten vom FD, bestehend aus Daten-Takt-Gemisch.
24	VCO	O	PLL	VCO Synchronisation: Sperrt den VCO in der PLL bei "0" (LOW), gibt VCO frei bei "1".
25	WE	O	FD	Schreibfreigabe: Erlaubt das Schreiben von Daten in das FD.
26	MFM	O	PLL	MFM-Betrieb: MFM wenn "1" FM wenn "0"
27	HD SEL	O	FD	Kopfauswahl: Kopf 1 ausgewählt, wenn "1" Kopf 0 ausgewählt, wenn "0"
28, 29	DS <sub>1</sub> , DS <sub>0</sub>	O	FD	Laufwerksauswahl: wählt FD aus
30	WR DATA	O	FD	Schreibdaten: Serielles Daten-Takt-Gemisch zum FD.

31,32	PS <sub>1</sub> , PS <sub>0</sub>	0	FD	Vorkompensation (vor-schieben): Schreibvorkompensationsstatus während MFM-Betrieb. Definiert, ob Impulsabgabe früher, später oder normal erfolgt.
33	FLT/TRK <sub>0</sub>	I	FD	Fehler/Spur 0: Empfängt FD-Fehlerbedingung im Lese-/Schreibbetrieb und Spur 0 - Bedingung im Suchbetrieb.
34	WP/TS	I	FD	Schreibschutz/Zweiseitig: Empfängt den Schreibschutzstatus im Lese-/Schreibbetrieb oder den Seitenstatus (beidseitige Disketten) im Suchbetrieb.
35	RDY	I	FD	Bereit: Zeigt an, daß das FD zum Senden oder Empfangen von Daten bereit ist.
36	HDL	0	FD	Kopfandruck: Auf dieses Kommando erfolgt der Andruck des Lese-/Schreibkopfes an die Diskette.
37	FR/STP	0	FD	Fehlerrücksetzen/Schritt: Setzt das Fehler FF im FD im Lese-/Schreibbetrieb zurück oder liefert Schritimpulse zum bewegen des Kopfes zu einer anderen Spur im Suchbetrieb.
38	LCT/DIR	0	FD	Schreibstromverringderung/Richtung: Schreibstromverringderung auf den inneren Spuren im Lese-/Schreibbetrieb oder Kennzeichnung der Schrittrichtung des Magnetkopfes im Suchbetrieb.
39	RW/SEEK	0	FD	Lesen, Schreiben/Suchen: Bei "1" entspricht Suchbetrieb, bei "0" entspricht Lese-/Schreibbetrieb.
40	V <sub>CC</sub>			Gleichspannung + 5 V (5P)

#### 4. System-Blockdiagramm



## 5. Internes Block-Diagramm



## 6. FDC Register - CPU Interface

Der FDC besitzt 2 Register auf die durch den Systemprozessor zugegriffen werden kann; ein Statusregister und ein Datenregister. Das 8-Bit Hauptstatusregister enthält die Statusinformation des FDC und es kann jederzeit auf dieses zugegriffen werden. Das 8-Bit Datenregister (in Wirklichkeit besteht es aus mehreren Registern in einem Stapel, wobei immer nur ein Register zu einer bestimmten Zeit an den Datenbus gekoppelt wird) speichert Daten, Kommandos, Parameter und Laufwerkstatusinformationen. Datenbytes werden aus dem Datenregister ausgelesen oder in dieses eingeschrieben, um zu programmieren oder das Resultat nach der Ausführung eines Kommandos zu erhalten. Das Hauptstatusregister kann nur gelesen werden und dient dazu, um den Datenaustausch zwischen Prozessor und FDC zu vereinfachen. Die Verbindung zwischen den Status-/Datenregistern und den Signalen  $\overline{RD}$ ,  $\overline{WR}$  und  $A_0$  zeigt folgende Tabelle.

$A_0$	$\overline{RD}$	$\overline{WR}$	Funktion
0	0	1	Lesen des Hauptstatusregisters
0	1	0	verboten
0	0	0	verboten
1	0	0	verboten
1	0	1	Lesen vom Datenregister
1	1	0	Schreiben ins Datenregister

Die Bits im Hauptstatusregister sind wie folgt definiert:

Bit-Nr.	Name	Symbol	Beschreibung
DB <sub>0</sub>	FDD 0 Bussy (belegt)	D <sub>0</sub> B	FD-Nr. 0 ist im Suchbetrieb
DB <sub>1</sub>	FDD 1 Bussy (belegt)	D <sub>1</sub> B	FD-Nr. 1 ist im Suchbetrieb
DB <sub>2</sub>	FDD 2 Bussy (belegt)	D <sub>2</sub> B	FD-Nr. 2 ist im Suchbetrieb
DB <sub>3</sub>	FDD 3 Bussy (belegt)	D <sub>3</sub> B	FD-Nr. 3 ist im Suchbetrieb
DB <sub>4</sub>	FDC belegt	CB	Ein Lese- oder Schreibkommando ist in Bearbeitung
DB <sub>5</sub>	Nicht-DMA-Betrieb	NDM	Der FDC ist im Nicht-DMA-Betrieb. Dieses Bit ist nur während der Ausführungsphase im Nicht-DMA-Betrieb gesetzt. Der Übergang zum "0"-Zustand zeigt an, daß die Ausführungsphase geendet hat.
DB <sub>6</sub>	Dateneingabe/-ausgabe	DIO	Zeigt die Richtung des Datenaustausches zwischen FDC und Datenregister an. Wenn DIO = "1" ist, erfolgt die Übertragung vom Datenregister zum Prozessor. Wenn DIO = "0" ist, erfolgt die Übertragung vom Prozessor zum Datenregister.
DB <sub>7</sub>	Anforderung für den Meister	RQM	Zeigt an, daß das Datenregister bereit ist Daten zu senden oder zu empfangen, von oder zum Prozessor. Beide Bits DIO und RQM sollten benutzt werden, um die Signalspielfunktionen von "bereit" und "Richtung" zum Prozessor auszuführen.

#### Statusregister 0

Nr.	Name	Beschreibung
D <sub>7</sub> D <sub>6</sub>	Interruptcode	D <sub>7</sub> = 0 und D <sub>6</sub> = 0, normaler Kommandoabschluß D <sub>7</sub> = 0 und D <sub>6</sub> = 1, unnormaler Kommandoabschluß, die Ausführung des Kommandos wurde begonnen aber nicht erfolgreich beendet. D <sub>7</sub> = 1 und D <sub>6</sub> = 0, unvollständiges Kommando, Kommando wurde nicht gefordert. D <sub>7</sub> = 1 und D <sub>6</sub> = 1, Beendigung, weil während der Kommandoausführung das READY-Signal den Zustand gewechselt hat.
D <sub>5</sub>	Positionieren beendet	Wenn der FDC das Positionierkommando ausgeführt hat, wird dieses Flag auf "1" gesetzt.
D <sub>4</sub>	Geräteprüfung	Wenn ein Fehlersignal vom Floppy erhalten wurde, oder wenn das Spur 0 Signal nach 77 Schrittim-pulsen fehlt, wird dieses Flag auf "1" gesetzt.

Nr.	Name	Beschreibung
D <sub>3</sub>	Nicht bereit	Wenn das Floppy im "nicht bereit" Zustand ist und ein Lese oder Schreibkommando wird ausgegeben, wird dieses Flag auf "1" gesetzt. Wenn ein Lese- oder Schreibkommando bei einem einseitigen Floppy für die Seite 1 ausgelesen wird, wird dieses Flag auf "1" gesetzt.
D <sub>2</sub>	Kopfadresse	Dieses Flag wird zum Erkennen des Kopfstatussignals bei einem Interrupt benötigt
D <sub>1</sub> D <sub>0</sub>	Laufwerk 1 ausgewählt Laufwerk 0 ausgewählt	Diese Flags werden benötigt um die Laufwerksnummer bei einem Interrupt zu erkennen.

#### Statusregister 1

Nr.	Name	Beschreibung
D <sub>7</sub>	Ende der Spur	Wenn der FDC auf einen Sektor zugreifen will, nach dem letzten Sektor der Spur, wird dieser Flag gesetzt.
D <sub>6</sub>		Wird nicht benötigt (Bit ist immer "0")
D <sub>5</sub>	Datenfehler	Wenn der FDC einen CRC-Fehler im ID- oder Datenfeld erkennt, wird dieses Flag gesetzt.
D <sub>4</sub>	Überschreitung	Wenn der FDC in einem bestimmten Zeitraum, während der Datenübertragung nicht vom Hauptsystem bedient wird, wird dieses Flag gesetzt.
D <sub>3</sub>		Wird nicht benötigt (Bit ist immer "0").
D <sub>2</sub>	Keine Daten	Wenn während der Ausführungsphase der gesuchte Sektor nicht gefunden wurde, wird dieses Flag gesetzt.
D <sub>1</sub>	Nicht beschreibbar	Wenn während der Ausführung des Schreibkommandos der FDC das Schreibschutzsignal (WP) erhält, wird dieses Flag gesetzt.
D <sub>0</sub>	Fehlende Adressmarke	Wenn der FDC keine ID- und Datenadressmarke nach zweimaligem Erkennen des Indexloches finden kann, wird dieses Flag gesetzt.

#### Statusregister 2

Nr.	Name	Beschreibung
D <sub>7</sub>		Wird nicht benötigt (Bit ist immer "0").
D <sub>6</sub>	Maskenkontrolle	Wenn der FDC während des Lesens eine geschützte Datenmarke findet, wird dieses Flag gesetzt.
D <sub>5</sub>	Datenfehler im Datenfeld	Wenn der FDC einen Datenfehler im Datenfeld erkennt, wird dieses Flag gesetzt.

Nr.	Name	Beschreibung
D <sub>4</sub>	Falsche Spur	Wenn der FDC eine andere Spurnummer hat, als er im ID-Feld liest, wird dieses Flag gesetzt.
D <sub>3</sub>	Prüfe "Gleich" Bit	Wenn während der Ausführung des Prüfkommmandos (SCAN), die Bedingung "gleich" erfüllt ist, wird dieses Flag gesetzt.
D <sub>2</sub>	Prüfen unbefriedigend	Wenn während der Ausführung des Prüfkommmandos, der FDC keinen Sektor findet, der die Bedingungen erfüllt, wird dieses Flag gesetzt.
D <sub>1</sub>	Schlechte Spur	Wenn die Spur nicht lesbar ist, wird dieses Flag gesetzt.
D <sub>0</sub>	Fehlende Adressmarke im Datenfeld	Wenn der FDC beim Lesen die Datenadressmarke nicht findet, wird dieses Flag gesetzt.

### Statusregister 3

Nr.	Name	Beschreibung
D <sub>7</sub>	Fehler	Dieses Bit wird benötigt um den Status vom Fehlersignal des Floppy zu erkennen.
D <sub>6</sub>	Schreibverbot	Dieses Bit wird benötigt um den Status des Schreibverbotsignals vom Floppy zu erkennen.
D <sub>5</sub>	Ready	Dieses Bit wird benötigt um den Status des Ready-Signal vom Floppy zu erkennen.
D <sub>4</sub>	Spur 0	Dieses Bit wird benötigt um den Status des Spur-0-Signals vom Floppy zu erkennen.
D <sub>3</sub>	Zwei Seiten	Dieses Bit wird benötigt um den Status des Zwei-Seiten-Signals vom Floppy zu erkennen.
D <sub>2</sub>	Kopfadresse	Dieses Bit wird benötigt um den Status der Seitenauswahl zu erkennen.
D <sub>1</sub> D <sub>2</sub>	Laufwerk auswahl 1 Laufwerk auswahl 0	Diese Bits werden benötigt um das ausgewählte Laufwerk zu erkennen.

### 8. Kommando Mnemonik

Symbol	Name	Beschreibung
A <sub>0</sub>	Adressleitung 0	A <sub>0</sub> steuert die Auswahl des Hauptstatusregisters (A <sub>0</sub> = "0") oder des Datenregisters (A <sub>0</sub> = "1").
C	Zylindernummer (Spur)	C bedeutet die augenblicklich ausgewählte Spur zwischen 0 und 78 des Mediums.
D	Daten	D bedeutet das Datenmuster welches bereit ist in einen Sektor geschrieben zu werden.

D <sub>0</sub> -D <sub>7</sub>	Datenbus	8-Bit Datenbus, wobei D <sub>7</sub> das höchstwertigste und D <sub>0</sub> das niedrigwertigste ist.
DS <sub>0</sub> , DS <sub>1</sub>	Laufwerksauswahl	DS entspr. Laufwerk 0 oder 1 ausgewählt.
DTL	Datenlänge	Wenn N zu 00 definiert ist, bedeutet DTL die Datenlänge, welche der Anwender gerade aus/in einen Sektor einschreiben oder lesen will.
EOT	Ende der Spur	EOT bedeutet die letzte Sektornummer der Spur.
GPL	Lückenlänge	GPL bedeutet die Länge der Lücke 3 (Raum zwischen den Sektoren einschließlich VC <sub>0</sub> -Synchronisationsfeld).
H	Kopfadresse	H bedeutet die Kopfnummer 0 oder 1, wie sie im ID-Feld spezifiziert ist.
HDS	Kopfauswahl	HDS bedeutet die ausgewählte Kopfnummer 0 oder 1 ( H = HDS in allen Kommandoworten).
HLT	Kopfladezeit	HLT bedeutet die Kopfladezeit des FDD (2 bis 254 ms, in 2ms Schritten).
HUT	Kopfentladezeit	HUT bedeutet die Kopfentladezeit nach einer Schreib- oder Leseoperation (16 bis 240 ms, in 16 ms Schritten).
MFM	FM oder MFM Betriebsart	Wenn MFM = "0", ist FM Betrieb ausgewählt Wenn MFM = "1", ist MFM Betrieb ausgewählt
MT	Mehr-Spuren	Wenn MT = "1", ist eine Mehr-Spuren-Operation auszuführen (es werden die Spuren unter HD0 und HD1 gelesen oder geschrieben).
N	Anzahl	N bedeutet die Anzahl der Datenbyte, die in einen Sektor geschrieben werden.
NCN	Neue Spurnummer	NCN bedeutet die neue Spurnummer, die gerade als Resultat einer Suchoperation erreicht wurde (gewünschte Position des Kopfes).
ND	Nicht-DMA-Betrieb	ND = "1" $\hat{=}$ Nicht-DMA-Betrieb = "0" $\hat{=}$ DMA-Betrieb
PCN	Gegenwärtige Spurnummer	PCN bedeutet die Spurnummer bei Vollendung eines Abfrage-Interruptstatus-Kommandos. Kopfposition zum gegenwärtigen Zeitpunkt.
R	Aufzeichnungsbereich	R bedeutet die Sektornummer, die gelesen oder geschrieben werden soll.
R/W	Lesen/Schreiben	R/W bedeutet entweder das Lese (R)- oder Schreib (W) - Signal.
SC	Sektor	SC zeigt die Anzahl der Sektoren pro Spur an.
SK	Überspringen	SK bedeutet Überspringen geschützte Datenadressmarke.
SRT	Schrittrate	SRT bedeutet die Schrittrate des FDD (1 bis 16 ms in 1 ms Schritten). Schrittrate für alle Laufwerke (F = 1ms, E = 2 ms, usw.



ST0	Status 0	ST0-3 bedeutet eines der 4 Statusregister die die Statusinformation speichern, nachdem das Kommando ausgeführt wurde. Diese Information ist während der Resultatsphase nach der Kommandoausführung verfügbar. Diese Register dürfen nicht mit dem Hauptstatusregister verwechselt werden (ausgewählt durch $A_0 = "0"$ ). ST0-3 können nur nachdem ein Kommando ausgeführt wurde gelesen werden und enthalten Informationen, die für das jeweilige Kommando wichtig sind.
ST1	Status 1	
ST2	Status 2	
ST3	Status 3	
STP		Wenn STP = 1 ist, während einer Suchoperation, dann werden die Daten in ununterbrochenen Sektoren Byte für Byte mit den gesendeten Daten vom Prozessor (oder DMA) verglichen und wenn STP = 2 ist, dann werden abwechselnde Sektoren gelesen und verglichen.

### 9. Kommandophasen

Der 8272 kann 15 unterschiedliche Kommandos ausführen. Jedes Kommando wird initiiert durch eine Mehrfach-Byteübertragung vom Prozessor. Das Resultat kann nach der Ausführung ebenfalls eine Mehrfach-Byteübertragung zum Prozessor sein. Jedes Kommando besteht aus 3 Phasen:

- Kommandophase: Der FDC empfängt alle Informationen vom Prozessor, die für eine einzelne Operation notwendig sind.
- Ausführungsphase: Ausführung der angewiesenen Operation.
- Resultatsphase: Nach Ausführung der Operation werden Status- und andere interne Informationen für den Prozessor bereitgestellt.

Während der Kommando- oder Resultatsphase muß das Hauptregister durch den Prozessor gelesen werden, bevor jedes Informationsbyte ins/vom Datenregister geschrieben oder gelesen wird. Das Hauptstatusregister muß vor jeder Byteübertragung zum 8272 gelesen werden. Achtung: das lesen des Hauptstatusregisters vor jeder Byteübertragung zum 8272 ist nur in der Kommando- und Resultatsphase gefordert, aber nicht während der Ausführungsphase.

### 10. Kommandobeschreibung

Die DIO ( $DB_6$ ) - und RQM ( $DB_7$ ) - Bits des Hauptstatusregisters müssen im "low" bzw. "high" Zustand sein, bevor jedes Kommandobyte in den 8272 geschrieben werden kann. Der Beginn der Ausführungsphase dieser Kommandos bewirkt, daß DIO und RQM in den "high" bzw. "low" Zustand schalten. Die Anzahl der Daten, die vom FDC mit einem einzigen Kommando bearbeitet werden können, ist abhängig von:

- MT (Mehr Spur)
- MFM (MFM/FM) und N (Anzahl der Bytes pro Sektor)

Die Tabelle zeigt die Übertragungskapazität.

Mehr-Spur MT	MFM/FM MFM	Bytes/Sektor N	Maximale Übertragungskapazität (Byte/Sektor) (Sektorenanzahl)	letzter Sektor, der von der Diskette ge- lesen wird
0 0	0 1	00 01	(128) (26) = 3328 (256) (26) = 6656	26 auf Seite 0 oder 26 auf Seite 1
1 1	0 1	00 01	(128) (52) = 6656 (256) (52) = 13312	26 auf Seite 1
0 0	0 1	01 02	(256) (15) = 3840 (512) (15) = 7680	15 auf Seite 0 oder 15 auf Seite 1
1 1	0 1	01 02	(256) (30) = 7680 (512) (30) = 15360	15 auf Seite 1
0 0	0 1	02 03	(512) (8) = 4096 (1024)(8) = 8192	8 auf Seite 0 oder 8 auf Seite 1
1 1	0 1	02 03	(512) (16) = 8192 (1024)(16) = 16384	8 auf Seite 1

#### Lesen-Daten

Um den FDC in den Lese-Daten-Betrieb zu bringen, ist ein Satz von 9 Byte notwendig. In Lese-Daten-Betriebsart muß der FDC im FM-Betrieb alle 27 µs und im MFM-Betrieb alle 13 µs durch den Prozessor bedient werden, sonst setzt der FDC das OR-Flag (Überlauf) im Statusregister 1 auf "high" und beendet das Lese-Daten-Kommando.

#### Schreiben-Daten

Um den FDC in den Schreibe-Daten-Betrieb zu bringen, ist ein Satz von 9 Byte notwendig. In der Schreib-Daten-Betriebsart muß die Datenübertragung zwischen Prozessor und FDC bei FM-Betrieb alle 31 µs und bei MFM-Betrieb alle 15 µs erfolgen, sonst setzt der FDC das OR-Flag (Überlauf) im Statusregister auf "high" und beendet das Schreib-Daten-Kommando.

#### Lesen einer Spur

Unmittelbar nach Erkennen Indexloch startet der FDC das Lesen aller Sektoren der Spur als kontinuierlichen Datenblock. Der FDC vergleicht die von jedem Sektor gelesene ID-Information mit den im IDR (Indexregister) gespeicherten Wert. Wenn keine Gleichheit besteht, setzt der FDC das ND-Flag des Statusregisters 1 auf "high". Dieses Kommando wird beendet, wenn die EDT-Anzahl von Sektoren gelesen wurde. Findet der FDC auf der Diskette keine ID-Adressmarke bevor das Indexloch zum zweiten Mal erkannt wurde, setzt er das MA-Flag (fehlende Adressmarke) im Statusregister 1 auf "high". (Im Statusregister 0 wird Bit 7 auf "Low" und Bit 6 auf "high" gesetzt.

#### Formatiere eine Spur

Nach Erkennen des Indexloches werden: Lücken, Adressmarken, ID-Felder und Datenfelder auf die Diskette geschrieben. Das jeweilige Format wird durch die Werte gesteuert die in:

- N (Anzahl der Bytes/Sektor),
- SC (Sektoren/Spuren),
- GPL (Lückenlänge) und

- D (Datenmuster), programmiert sind und die während der Kommandephase durch den Prozessor aktualisiert werden. Das Datenfeld wird mit dem Datenbyte gefüllt, welches in D gespeichert ist. Das ID-Feld jedes Sektors wird durch den Prozessor bereitgestellt, d. h. es erfolgen pro Sektor durch den FDC 4 Datenanforderungen für:
  - C (Spurnummer)
  - H (Kopfnummer)
  - R (Sektornummer) und
  - N (Anzahl Bytes/Sektor).

Dadurch kann der Forderung entsprochen werden, die Diskette mit nichtaufeinanderfolgenden Sektornummern zu formatieren. Nach der Formatierung eines Sektors wird das R-Register um 1 erhöht. Das wird für die gesamte Spur fortgesetzt bis der FDC zum zweiten Mal das Indexloch erkennt und damit das Kommando beendet. Wird am Ende der Schreiboperation ein Fehlersignal (FAULT) vom Laufwerk empfangen, setzt der FDC im Statusregister 0 das EC-Flag auf "high", das Bit 7 auf "Low", das Bit 6 auf "high" und beendet das Kommando. Der Ausfall des Ready-Signals zu Beginn der Kommandoausführungsphase beendet das Kommando. Die folgende Tabelle zeigt die Beziehungen zwischen N, SC und GPL für verschiedene Sektorgrößen.

Format	Sektorgröße Bytes/Sektor	N	SC	GPL <sup>1</sup>	GPL <sup>2</sup>	Bemerkungen
FM	128	00	1A <sub>H</sub>	07 <sub>H</sub>	1B <sub>H</sub>	
	256	01	0F <sub>H</sub>	0E <sub>H</sub>	2A <sub>H</sub>	
	512	02	08 <sub>H</sub>	1B <sub>H</sub>	3A <sub>H</sub>	
FM	1024	03	04 <sub>H</sub>	-	-	
	2048	04	02 <sub>H</sub>	-	-	
	4096	05	01 <sub>H</sub>	-	-	
MFM	256	01	1A <sub>H</sub>	0E <sub>H</sub>	36 <sub>H</sub>	
	512	02	0F <sub>H</sub>	1B <sub>H</sub>	54 <sub>H</sub>	
	1024	03	08 <sub>H</sub>	35 <sub>H</sub>	74 <sub>H</sub>	
	2048	04	04 <sub>H</sub>	-	-	
	4096	05	02 <sub>H</sub>	-	-	
	8192	06	01 <sub>H</sub>	-	-	

### Suchen

Unter Steuerung des Such-Kommandos wird der Les-/Schreibkopf von Spur zu Spur positioniert. Der FDC vergleicht die PCN (gegenwärtige Spurnummer) mit der NCN (neue Spurnummer) und führt wenn eine Differenz entsteht folgende Operation aus:

PCN < NCN - Richtungssignal des FD auf "high" setzen und Schritimpulse aussenden (Step in)

PCN > NCN - Richtungssignal des FD auf "low" setzen und Schritimpulse aussenden (Step out).

Die Schritimpulse werden entsprechend SRT (Schrittratenzeit) im Spezifizierungskommando ausgesendet. Jeder Schritimpuls löst einen Vergleich zwischen PCN und NCN aus. Ist PCN = NCN, wird das SE-Flag (Suchen beendet) im Statusregister 0 auf "high" gesetzt und das Kommando beendet. Sobald der FDC im Nicht-Besetzt-Zustand ist, kann ein anderes Suchkommando gesendet werden und es können in der gleichen Art und Weise parallele Suchaktionen auf bis zu 4 Laufwerken gleichzeitig erfolgen.

### Prüfen des Interruptstatus

Der FDC erzeugt bei folgenden Ursachen ein Interruptsignal:

- a. Bei Eintritt in die Resultatphase und den Kommandos:
  - Lese-Daten
  - Lesen einer Spur
  - Lese ID
  - Lese geschützte Daten
  - Schreibe-Daten
  - Formatiere eine Spur
  - Schreibe geschützte Daten
  - Durchsuchen auf Gleichheit
- b. Die Bereitleitung des FD ändert ihren Status
- c. Ende des Suchkommandos
- d. Während der Ausführungsphase im Nicht-DMA-Betrieb

Interrupts, die durch a. oder d. während der normalen Kommandooperation verursacht werden, sind durch den Prozessor leicht erkennbar. Interrupts, die durch b. oder c. verursacht werden, können mit Hilfe des Sende-Interruptstatus-Kommandos eindeutig identifiziert werden. Wird es gesendet, setzt es das Interruptsignal zurück und identifiziert über die Bits 5, 6 und 7 des Statusregisters 0 die Ursache des Interrupts.

Such. Ende Bit 5	Inter.-Code		Ursache
	Bit6	Bit7	
0	1	1	Die Bereit-Leitung änderte ihren Zustand
1	0	0	Normale Beendigung des Such-Kommandos
1	1	0	Unnormale Beendigung des Such-Kommandos

### Spezifizieren

Das Spezifizierungskommando setzt die Anfangswerte für jeden der 3 internen Zähler. Die HUT (Kopffentladezeit) definiert die Zeit vom Ende der Ausführungsphase eines Lese-/Schreibkommandos bis zum Kopffentladezustand. Dieser Zähler ist programmierbar von 16 bis 240 ms in Schritten von 16 ms (O1 = 16 ms, O2 = 32 ms ... OF = 240 ms). Die SRT (Schrittratenzeit) definiert das Zeitintervall zwischen Schritimpulsen. Dieser Zähler ist programmierbar von 1 bis 16 ms in Schritten von 1ms (F = 1 ms, E = 2 ms, D = 3 ms usw.).

Die HLT (Kopfladezeit) definiert die Zeit zwischen dem "high" werden des Kopfladesignals und dem starten einer Lese-/Schreiboperation. Dieser Zähler ist programmierbar von 2 bis 254 ms in Schritten von 2 ms (O1 = 2 ms, O2 = 4 ms ... FE = 254 ms). Diese Zeitintervalle sind eine direkte Funktion des Taktes (CLK an PIN 19) und es liegt ihnen ein 8 MHz-Takt zugrunde.

### Abfrage Laufwerkstatus

Dieses Kommando wird durch den Prozessor verwendet, im Statussignal der Laufwerke zu erhalten. Sie sind im Statusregister 3 enthalten.

### 11. FDC Kommandosatz

Beachte:

1. Die in dieser Tafel verwendeten Symbole in der Kommando-Mnemonik beschrieben.
2.  $A_0 = 1$  für alle Operationen
3. X = beliebig; wird meistens zu einer 0 gemacht.

Phase	R/W	Datenbus								Bemerkungen
		D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	
1. Lese Daten										
Kommando	W	MT	MFM	SK	O	O	1	1	0	} Kommandocode  } Sektor ID-Information vor der Kommandoausführung
	W	0	0	0	0	0	HDS	DS1	DS0	
	W	_____			C	_____				
	W	_____			H	_____				
	W	_____			R	_____				
	W	_____			N	_____				
	W	_____			EOT	_____				
	W	_____			GPL	_____				
Ausführung	W	_____			DTL	_____				} Datenübertragung zwischen FDD und Hauptsystem
Resultat	R	_____			ST0	_____				} Statusinformation nach der Kommandoausführung } Sektor ID-Information nach der Kommandoausführung
	R	_____			ST1	_____				
	R	_____			ST2	_____				
	R	_____			C	_____				
	R	_____			H	_____				
	R	_____			R	_____				
R	_____			N	_____					

Phase	R/W	Datenbus								Bemerkungen	
		D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>		
<b>2. Lese geschützte Daten</b>											
Kommando	W	MT	MFM	SK	0	1	1	0	0	} Kommandocode	
	W	⊗	⊗	⊗	⊗	⊗	HDS	DS1	DS0		
	W	_____				C	_____				} Sektor ID-Information vor der Kommandoaus- führung
	W	_____				H	_____				
	W	_____				R	_____				
	W	_____				N	_____				
	W	_____				EC1	_____				
	W	_____				GPL	_____				
W	_____				DRL	_____					
Ausführung										} Datenübertragung zwil- schen FDD und Haupt- system	
Resultat	R	Weiter wie bei 1.									
<b>3. Schreibe Daten</b>											
Kommando	W	MT	MFM	0	0	0	1	0	1	} Kommandocode	
	W	⊗	⊗	⊗	⊗	⊗	HDS	DS1	DS0		
	W	_____				C	_____				} Sektor ID-Information vor der Kommandoaus- führung
	W	_____				H	_____				
	W	_____				R	_____				
	W	_____				N	_____				
	W	_____				EOT	_____				
	W	_____				GPL	_____				
W	_____				DTL	_____					
Ausführung										} Datenübertragung zwil- schen dem FDC und Hauptsystem	
Resultat	R	identisch mit 1.									
<b>4. Schreibe geschützte Daten</b>											
Kommando	W	MT	MFM	0	0	1	0	0	1	} Kommandocode	
	W	⊗	⊗	⊗	⊗	⊗	HDS	DS1	DS0		
Weiter wie bei 3.											
<b>5. Lesen einer Spur</b>											
Kommando	W	0	MFM	SK	0	0	0	1	0	} Kommandocode	
	W	⊗	⊗	⊗	⊗	⊗	HDS	DS1	DS0		
Weiter wie bei 3.											
Ausführung										} Datenübertragung zwil- schen dem FDD und dem	

Phase	R/W	Datenbus								Bemerkungen	
		D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>		
Resultat	R	Weiter wie bei 3.								Hauptsystem. Der FDC liest den gesamten Spurinhalte vom Indexloch bis zum EOT	
6. Lese ID											
Kommando	W	0	MFM	0	0	1	0	1	0	Kommandocode	
Ausführung	W	0	0	0	0	0	HDS	DS1	DS0		Die erste korrekte ID-Information der Spur wird im Datenregister gespeichert.
Resultat	R	_____		ST0	_____						
	R	_____		ST1	_____						
	R	_____		ST2	_____						
	R	_____		C	_____						
	R	_____		H	_____						
	R	_____		R	_____						
	R	_____		N	_____					Sektor-ID-Information während der Ausführungsphase.	
7. Formatiere eine Spur											
Kommando	W	0	MFM	0	0	1	1	0	1	Kommandocode	
	W	0	0	0	0	0	HDS	DS1	DS0		Bytes/Sektor Sektoren/Spur Lücke 3 Füllbyte für Datenfelder
	W	_____		N	_____						
	W	_____		SC	_____						
	W	_____		GPL	_____						
	W	_____		D	_____						
Ausführung										FDC formatiert eine vollständige Spur.	
Resultat	R	Weiter wie bei 3.								In diesem Fall hat die ID-Information keine Bedeutung	
8. Durchsuchen auf Gleichheit											
Kommando	W	MT	MFM	SK	1	0	0	0	1	Kommandocode	
	W	0	0	0	0	0	HDS	DS1	DS0		Die Daten werden zwischen dem FDD und dem Hauptsystem verglichen
Ausführung	W	Weiter wie bei 9.									
Resultat	R	Weiter wie bei 3.									

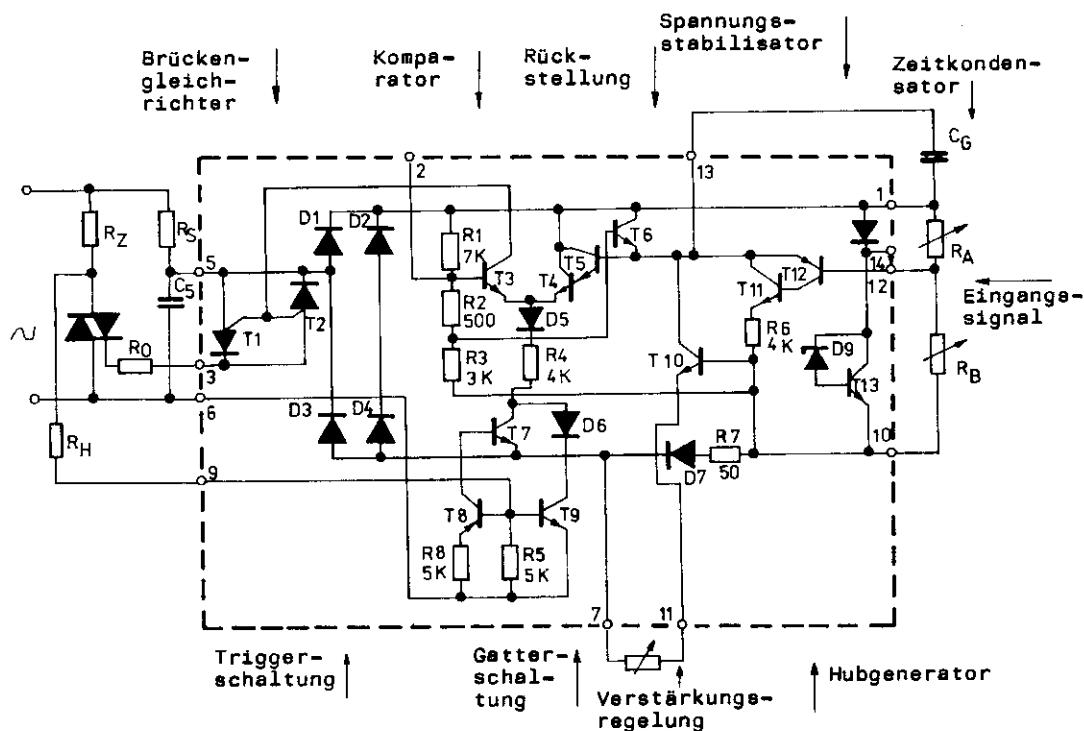
Phase	R/W	Datenbus							Bemerkungen		
		D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>		D <sub>0</sub>	
<b>9. Durchsuchen auf kleiner oder gleich</b>											
Kommando	W	MT	MFM	SK	1	1	0	0	1	} Kommandocode	
	W	0	0	0	0	0	HDS	DS1	DS0		} Sektor-ID-Information vor der Kommandoausführung
	W	_____			C	_____					
	W	_____			H	_____					
	W	_____			R	_____					
	W	_____			N	_____					
Ausführung		_____			EOT	_____					
		_____			GPL	_____					
		_____			STP	_____					
		} Daten werden zwischen dem FDD und dem Hauptsystem verglichen.									
Resultat	R	Weiter wie bei 3.									
<b>10. Durchsuchen auf größer oder gleich</b>											
Kommando	W	MT	MFM	SK	1	1	1	0	1	} Kommandocode	
	W	■	■	■	■	■	HDS	DS1	DS0		
		Weiter wie bei 9.									
<b>11. Nacheichen (Positionierung auf Spur 0)</b>											
Kommando	W	0	0	0	0	0	1	1	1	} Kommandocode	
	W	■	■	■	■	■	■	DS1	DS0		
Ausführung		} Der Kopf wird auf Spur 0 zurückpositioniert.									
<b>12. Prüfen (Abtasten) des Interruptstatus</b>											
Kommando	W	0	0	0	0	1	0	0	0	} Kommandocode Statusinformation am Ende jeder Suchoperation über den FDC.	
Resultat	R	STO									
	R	PCN									
<b>13. Spezifizieren</b>											
Kommando	W	0	0	0	0	0	0	1	1	} Kommandocode	
	W	← SPT →			← HUT →						
	W	← HLT →						→ ND			
<b>14. Abfrage Laufwerkstatus</b>											
Kommando	W	0	0	0	0	0	1	0	0	} Kommandocode	
	W	■	■	■	■	■	HDS	DS1	DS0		
Resultat	R	ST3									
<b>15. Suchen</b>											
Kommando	W	0	0	0	0	1	1	1	1	} Kommandocode	
	W	■	■	■	■	■	HDS	DS1	DS0		
	W	_____			NCN	_____					
Ausführung		} Der Kopf wird auf der zust. Spur positioniert.									



Monolithisch integrierter Schaltkreis für Phasenanstuerungsschaltungen von Triacs und Thyristoren.

Grenzwerte:

Betriebs-Spitzenstrom	$\pm 15/6$	max	36	mA
Ausgangs-Schaltimpuls	$\pm 13$	max	150	mA
Auslöse-Spitzenstrom	$\pm 19$	max	2	mA
Betriebs-Temperaturbereich	$\varnothing a$	max	-40 ... +85° C	



Grundschiung von Phasenanstuerung mit dem MAA 436

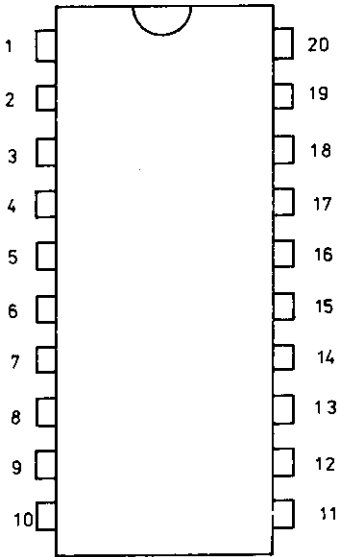
Betriebs-Spitzenspannung $\pm 15/6 = 36$ mA	$\pm 15/6$	13,5 ... 19,5	V
Ausgang-Schaltimpuls $R_0 = 91 \Omega, a = 90^\circ$	$\pm 13$	120	100 ... 150 mA
Auslöse-Spitzenstrom	$\pm 19$	100 ... 230	$\mu$ A
Betriebs-Spitzenspannung 1) 2)	$U_{14/10}$	6 ... 9,5	V
Spitzenspannung 1)	$U_{1/10}$	6,5 ... 10	V
Stromspitze des Sinushubes $R_G = 10K, 15/6 = 15$ mA	$13$	40 ... 100	$\mu$ A
Stromverstärkung 1) $R_G = \infty, 12 = 1 \mu A, 15/6 = 15$ mA	$A = \frac{13}{12}$	> 30	
Referenzpegel 1)	$K_R = \frac{U_{2/10}}{U_{1/10}}$	0,30	0,30 ... 0,36

- 1) Potenziometer P und Widerstand  $R_0$  sind ausgeschalten
- 2) Zwischen Ausführungen Nr. 10 und 14 ist  $R_F, C_F$  - Glied zugeschaltet

**8-Bit-Bustreiber und Speicher**

Diese Schaltkreise sind Bustreiber und Speicher mit Tri-state-Ausgängen für 8 Bit breite Datenworte. Die Daten werden mit der High-Low-Flanke des Strobe-Impulses in die Speicher eingeschrieben. Wenn  $\overline{OE}$  Low ist, liegen die Speicherinhalte an den Ausgängen an, anderenfalls sind die Eingänge hochohmig. Bei STB High wirken die Schaltkreise als durchlässige Bustreiber.

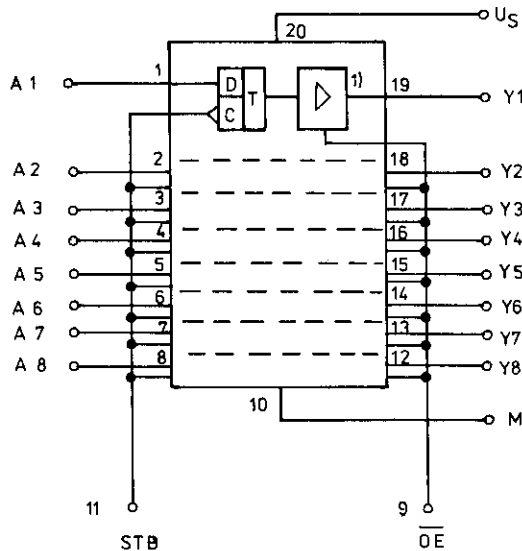
**Achtung:** Während der DS 8282 D die Daten nichtinvertiert weiterleitet, werden sie vom DS 8230D an den Ausgängen invertiert.



Anschlußbelegung

- 1 - 8 - Steuereingänge
- 9 - Output Enable
- 10 - Masse
- 11 - Strobeeingang
- 12 - 19 - Datenausgänge
- 20 - Betriebsspannung

Logisches Schaltbild



### Grenzwerte

		min	max
Betriebsspannung	$U_S$	0	7
Eingangsspannung	$U_I$		5,5 V

### Statische Kennwerte

H-Ausgangsspannung ( $U_S = 4,75$ V)	$U_{OH}$	2,4	V
L-Ausgangsspannung ( $U_S = 4,75$ V)	$U_{OL}$		0,5 V
L-Eingangsstrom ( $U_S = 5,25$ , $U_{IL} = 0,45$ V)	$-I_{IL}$		0,2 mA
H-Eingangsstrom ( $U_S = 5,25$ V, $U_{IH} = 5,25$ V)	$I_{IH}$		50 $\mu$ A
Ausgangsstrom bei tri-state ( $U_S = 5,25$ V)	$-I_{OZ}$		50 $\mu$ A
Stromaufnahme ( $U_S = 5,25$ V)			160 mA

1) Kurzschluß nur an einem Ausgang  
und nicht länger als 1 s.

### Dynamische Kennwerte ( $U_S = 5$ V, $t_B = 25$ °C $\pm 5$ K)

Signalverzögerungszeit ( $U_S = 5$  V)

ST $\rightarrow$ B (DS 8282D)	$t_{PLH}$		55 ns
ST $\rightarrow$ B (DS 8283D)			45 ns
A $\rightarrow$ B (DS 8282D)	$t_{PHL}$		35 ns
A $\rightarrow$ B (DS 8283D)			25 ns
$\overline{OE}$ $\rightarrow$ B (DS 8282D, DS 8283D)	$t_{PZX}$	10	50 ns
$\overline{OE}$ $\rightarrow$ B (DS 8282D, DS 8283D)	$t_{PXZ}$		25 ns

### Betriebsbedingungen

Betriebsspannung	$U_S$	4,75	5,25 V
L-Ausgangsstrom	$I_{OL}$		32 mA
Anschluß B			
H-Ausgangsstrom	$-I_{OH}$		5 mA
Anschluß B			
Impulsweite (D 8282D, D 8283D)	$t_w$	15	ns
Hold-Zeit (D 8282D, D 8283D)	$t_H$	25	ns
Voreinstellzeit ( 8282D, D 8283D)	$t_V$	0	ns

DS 8286D, DS 8287

i 8286, i 8287

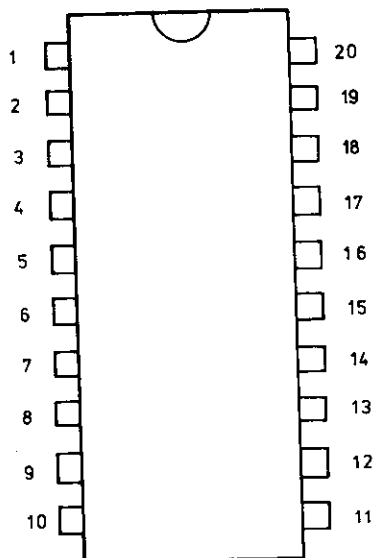
- 8 Bit-bidirektionaler Bustreiber

- 8 Bit-bidirektionaler Bustreiber mit invertierenden Ausgängen

Der Schaltkreis ist ein bidirektionaler Bustreiber für 8 Bit-Wortlänge mit Tri-state-Ausgängen. Mit dem Signal DIR kann die Richtung des Datentransfers festgelegt werden. Bei H-Pegel an DIR und L-Pegel am Eingang  $\overline{OE}$  werden die Daten von den Anschlüssen A an die Anschlüsse B übermittelt; bei L-Pegel an DIR und H-Pegel an  $\overline{OE}$  vollzieht sich der Datentransfer in umgekehrter Richtung.

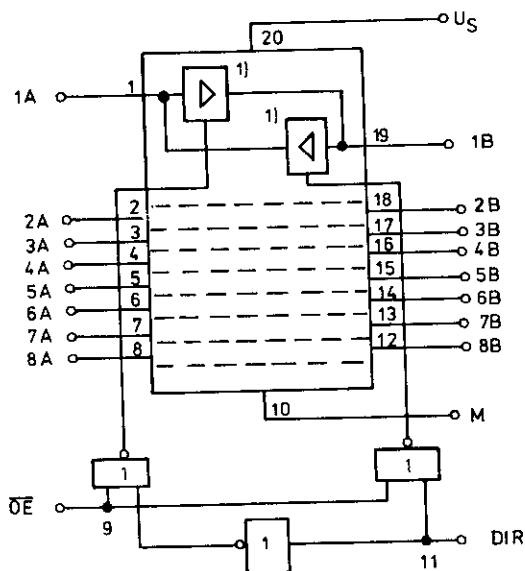
Hohes Potential an  $\overline{OE}$  bewirkt grundsätzlich die Einstellung des Tri-state-Zustandes an allen Ausgängen.

### Anschlußbelegung



- 1 - 8 - Lokale Busdaten
- 9 - Output Enable
- 10 - Masse
- 11 - Transmit
- 12 - 19 - System Busdaten
- 20 - Betriebsspannung

### Logisches Schaltbild



#### Grenzwerte

		min	max	
Betriebsspannung	$U_S$	0	7	V
Eingangsspannung	$U_I$		5,5	V

#### Statische Kennwerte

H-Ausgangsspannung ( $U_S = 4,75 \text{ V}$ )	$U_{OH}$	2,4		V
L-Ausgangsspannung ( $U_S = 4,75 \text{ V}$ )	$U_{OL}$		0,5	V

	min	max	
L-Eingangsstrom ( $U_S = 5,25 \text{ V}$ , $U_{IL} = 0,45 \text{ V}$ )	- $I_{IL}$	0,2	mA
H-Eingangsstrom ( $U_S = 5,25 \text{ V}$ , $U_{IH} = 5,25 \text{ V}$ )		50	$\mu\text{A}$
Ausgangsstrom bei tri-state ( $U_S = 5,25 \text{ V}$ )	- $I_{OZ}$	50	$\mu\text{A}$
Stromaufnahme ( $U_S = 5,25 \text{ V}$ )		160	mA

1) Kurzschluß nur an einem Ausgang und nicht länger als 1s!

Dynamische Kennwerte ( $U_S = 5 \text{ V}$ ,  $v_a = 25 \text{ }^\circ\text{C} - 5 \text{ K}$ )

Signalverzögerungszeit ( $U_S = 5 \text{ V}$ )

A $\rightarrow$ B	$t_{PLH}$		35	ns
	$t_{PHL}$		25	ns
$\overline{OE} \rightarrow$ B	$t_{PZX}$	10	50	ns
	$t_{PXZ}$		25	ns

Betriebsbedingungen

Betriebsspannung	$U_S$	4,75	5,25	V
L-Ausgangsstrom	$I_{OL}$			
Anschluß B			32	mA
Anschluß A			16	mA
H-Ausgangsstrom	- $I_{OH}$			
Anschluß B			5	mA
Anschluß A			1	mA

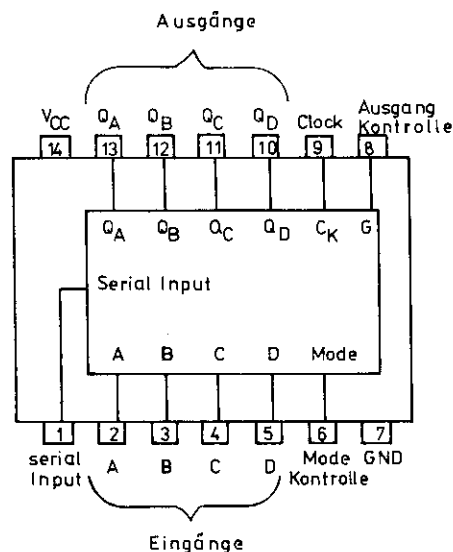
DL 295

SN 74LS 295

4 Bit rechts-shift links-shift Register mit 3-Zustand-Ausgängen

Dieses 4-Bit Register ist gekennzeichnet durch parallele Ein- und Ausgänge, Takt, serielle Arbeitsweise und Ausgangssteuerereingänge. Es ermöglicht 3 Arbeitsweisen:

- Parallele Belastung
- Rechtsverschiebung, Richtung QA  $\rightarrow$  QD
- Linksverschiebung, Richtung QD  $\rightarrow$  QA



Funktionstabelle

Eingänge				Ausgänge						
Mode Kontrolle	Takt	Serial	Parallel				Q <sub>A</sub>	Q <sub>B</sub>	Q <sub>C</sub>	Q <sub>D</sub>
			A	B	C	D				
H	H	X	X	X	X	X	Q <sub>AO</sub>	Q <sub>BO</sub>	Q <sub>CO</sub>	Q <sub>DO</sub>
H	↓	X	a	b	c	d	a	b	c	d
H	↓	X	Q <sub>B</sub> <sup>+</sup>	Q <sub>C</sub> <sup>+</sup>	Q <sub>D</sub> <sup>+</sup>	d	Q <sub>Bn</sub>	Q <sub>Cn</sub>	Q <sub>Dn</sub>	d
L	H	X	X	X	X	X	Q <sub>AO</sub>	Q <sub>BO</sub>	Q <sub>CO</sub>	Q <sub>DO</sub>
L	↓	H	X	X	X	X	H	Q <sub>An</sub>	Q <sub>Bn</sub>	Q <sub>Cn</sub>
L	↓	L	X	X	X	X	L	Q <sub>An</sub>	Q <sub>Bn</sub>	Q <sub>Cn</sub>

Wenn die Ausgangssteuerung L ist, werden die Ausgänge hochohmig; jedoch wird die sequentielle Arbeitsweise der Register nicht beeinflusst.

\* Linksverschiebung erfordert eine externe Verbindung von Q<sub>B</sub> → A, Q<sub>C</sub> → B und Q<sub>D</sub> → C. Serielle Daten werden am Eingang D eingegeben.

Grenzwerte

Betriebsspannung	V <sub>CC</sub>	min	max
Eingangsspannung			7 V
			5,5 V

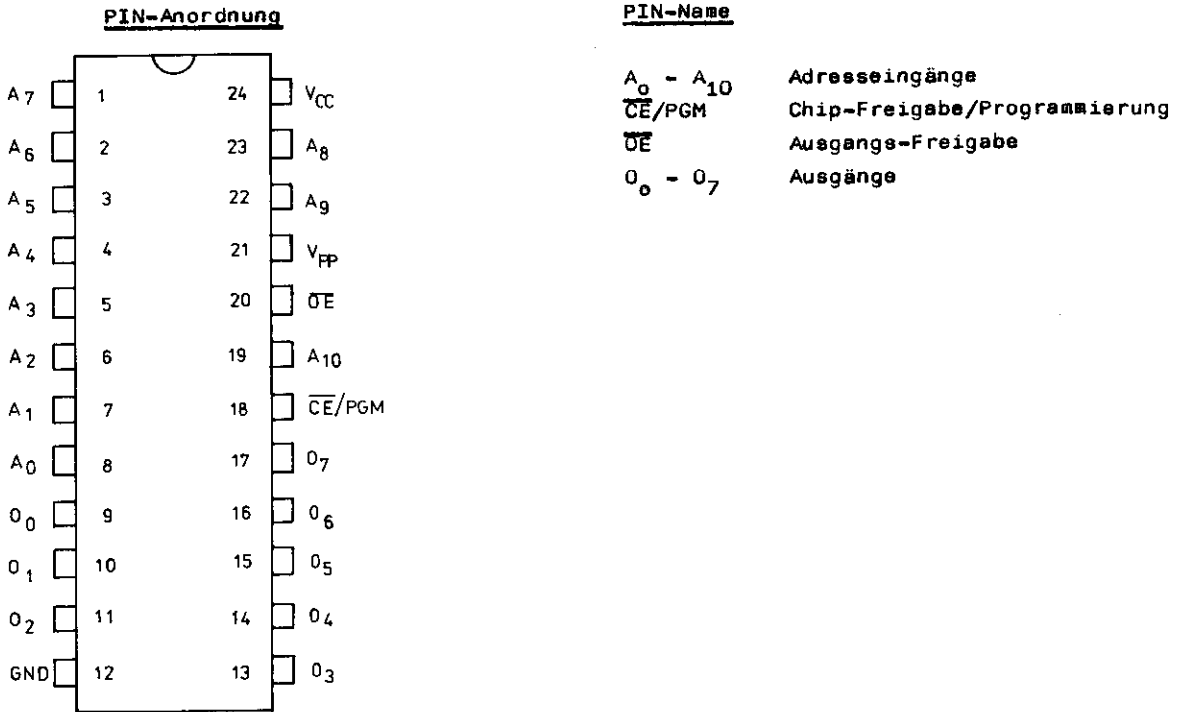
Empfohlene Operations-Bedingungen

Betriebsspannung	V <sub>CC</sub>	4,75	5,25 V
H-Ausgangsstrom	I <sub>OH</sub>		- 2,6 mA
L-Ausgangsstrom	I <sub>OL</sub>		8 mA
Takt-Frequenz	f <sub>clock</sub>	0	20 MHz
Takt-Impuls-Breite	t <sub>w(clock)</sub>	25	ns
Einstellzeit für H.-oder L-Pegel-Daten	t <sub>setup</sub>	20	ns
Haltezeit für H.-oder L-Pegel-Daten	t <sub>hold</sub>	20	ns

Elektrische Kennwerte

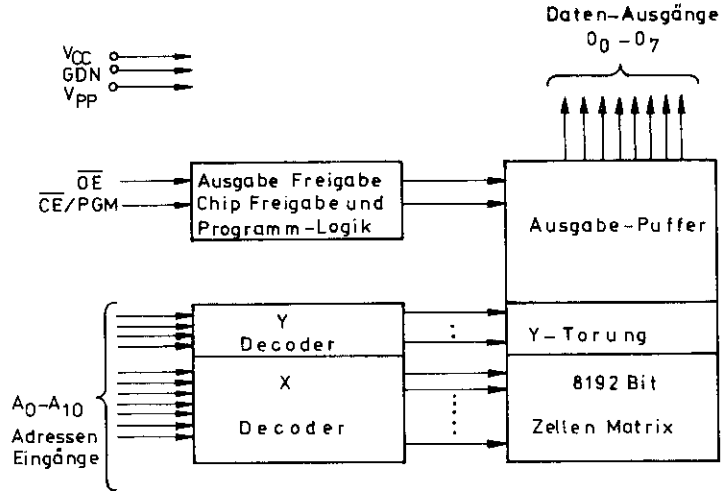
H-Eingangsspannung	V <sub>IH</sub>	2	V
L-Eingangsspannung	V <sub>IL</sub>		0,8 V
Eingangs-Klemmspannung	V <sub>I</sub>		- 1,5 V
H-Ausgangsspannung	V <sub>OH</sub>	2,4	V
L-Ausgangsspannung	V <sub>OL</sub>		0,5 V
H-Eingangsstrom	I <sub>IH</sub>		20 μA
L-Takteingang	I <sub>IL</sub>		- 0,44
L-Sonstige Eingänge			- 0,36
Kurzschluß-Ausgangsstrom	I <sub>OS</sub>	- 5	- 42 mA
Betriebsstrom	I <sub>CC</sub>		20 mA

## 16 K (2 K x 8) UV EPROM

Operations-Auswahl

Mode \ Pins	$\overline{CE}/PGM$ (18)	$\overline{OE}$ (20)	V <sub>PP</sub> (21)	V <sub>CC</sub> (24)	Outputs (9-11, 13-17)
Lesen	V <sub>IL</sub>	V <sub>IL</sub>	+ 5	+ 5	D <sub>OUT</sub>
Bereitschaft	V <sub>IH</sub>	beliebig	+ 5	+ 5	High Z (hochohmig)
Programmierung	getaktet (50 ms) V <sub>IL</sub> zu V <sub>IH</sub>	V <sub>IH</sub>	+ 25	+ 5	D <sub>IN</sub>
Programmierung nachprüfen	V <sub>IL</sub>	V <sub>IL</sub>	+ 25	+ 5	D <sub>OUT</sub>
Programmierung sperrern	V <sub>IL</sub>	V <sub>IH</sub>	+ 25	+ 5	High Z (hochohmig)
Datenausgabe gesperrrt	beliebig	V <sub>IH</sub>	+ 5	+ 5	High Z (hochohmig)

**Block-Diagramm**

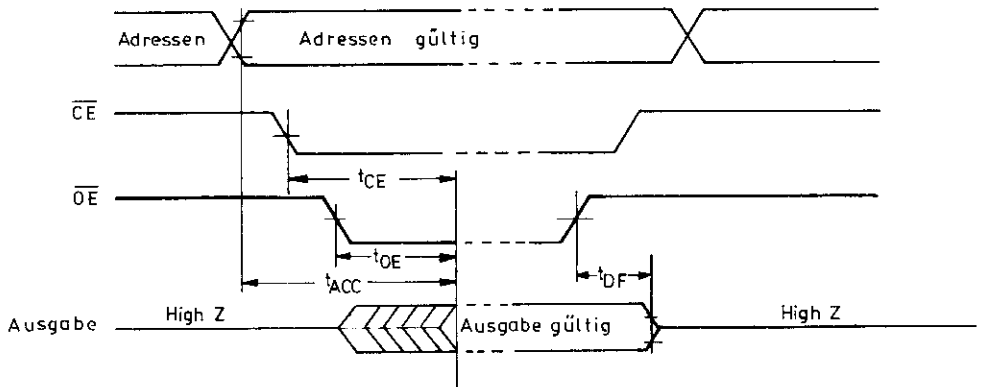


**Operations-Kennwerte für Lese-Operation**

		min.	typ.	max	Bedingungen
Eingangs Laststrom	$I_{LI}$			10 $\mu A$	$V_{IN} = 5,25 V$
Eingangs Verluststrom	$I_{LO}$			10 $\mu A$	$V_{OUT} = 5,25 V$
$V_{PP}$ Strom	$I_{PP1(2)}$			5 mA	$V_{PP} = 5,85 V$
$V_{CC}$ Strom (Bereitschaft)	$I_{CC1(2)}$		10	25 mA	$\overline{CE} = V_{IH}, \overline{OE} = V_{IL}$
$V_{CC}$ Strom (aktiv)	$I_{CC2(2)}$		57	100 mA	$\overline{OE} = \overline{CE} = V_{IL}$
L-Eingangsspannung	$V_{IL}$	- 0,1		0,8 V	
H-Eingangsspannung	$V_{IH}$	2,0		$V_{CC}+1 V$	
L-Ausgangsspannung	$V_{OL}$			0,45 V	$I_{OL} = 2,1 mA$
H-Ausgangsspannung	$V_{OH}$	2,4		V	$I_{OH} = - 400 \mu A$

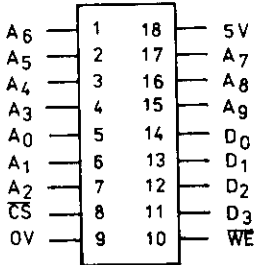
(2)  $V_{PP}$  kann direkt mit  $V_{CC}$  verbunden werden, außer während des programmierens. Der Versorgungsstrom würde dann die Summe aus  $I_{CC}$  und  $I_{PP1}$  sein.

**Impulsformen bei Lesen**





4 KBit-statischer RAM (1024 x 4)



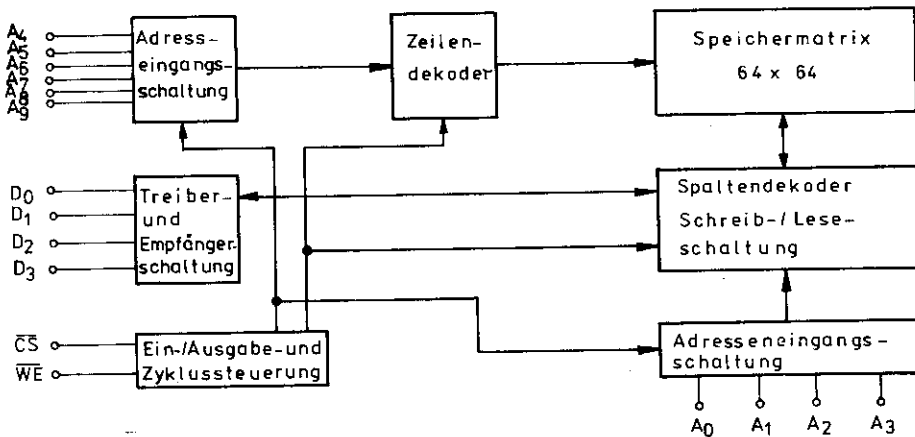
$A_0 \dots A_9$  Adreßeingänge  
 $D_0 \dots D_3$  Datenein-/ausgänge  
 $\overline{WE}$ : Schreib-/Lesesteuerung  
 $\overline{CS}$ : Bausteinauswahl

$\overline{CS}$	$\overline{WE}$	$D_0 \dots D_3$	Ausführung
H	X	$x^1$ )	nicht ausgewählt
L	L	X	Schreiben
L	H	X	Lesen

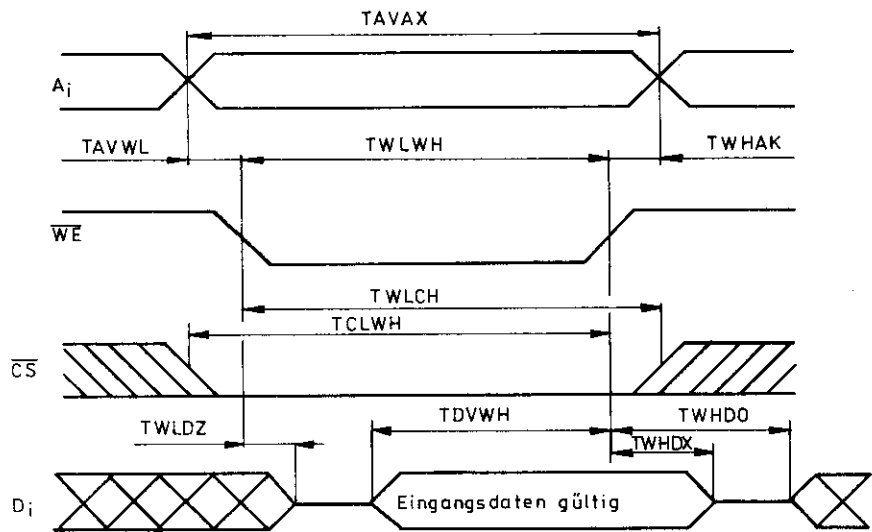
$x$  : L/H  
 $x^1$ ): hochohmig

- Alle Ein- und Ausgänge sind TTL-kompatibel
- Tri-state-Ausgänge
- gemeinsame (bidirektionale) Datenein-/ausgänge
- geringe Zugriffszeit: max. 450 ns (U214 D 45)

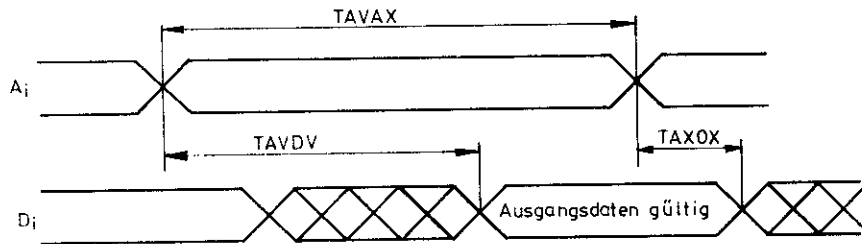
Blockschaltbild des U 214



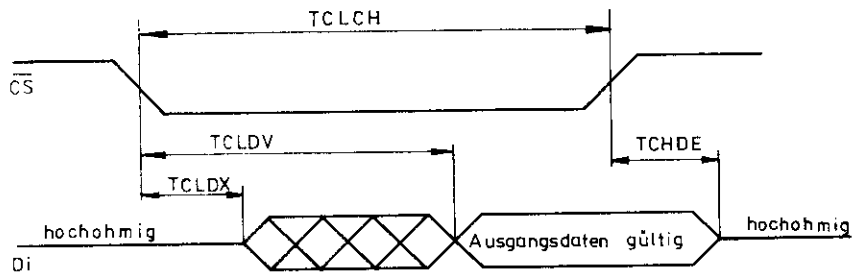
1. Schreibzyklus



2. Lesezyklus ( $\overline{CS} = \text{LOW}$ )



3. Lesezyklus (Adressen liegen über gesamten Lesezyklus gültig an)



# robotron

**VEB Robotron**  
**Buchungsmaschinenwerk**  
**Karl-Marx-Stadt**  
Annaberger Straße 93  
PSF 129  
Karl-Marx-Stadt, DDR – 9010

Exporteur:

**Robotron – Export/Import**  
Volkseigener  
Außenhandelsbetrieb  
der Deutschen  
Demokratischen Republik  
Allee der Kosmonauten 24  
PSF 11  
Berlin, DDR – 1040

Kv 1799/88 V 7 1 1638 N2